半導体デバイス内部の残留ひずみ分布マルチスケール計測

Development of a multi-scale measurement method of local strain distribution in semiconductor devices

○学 佐々木 拓也 (東北大) 正 上田 啓貴 (東北大)

正 鈴木 研 (東北大) 正 三浦 英生 (東北大)

Takuya SASAKI, Graduate student, Tohoku University

Nobuki UETA, Ken SUZUKI and Hideo MIURA, Tohoku University, 6-6-1, Aramaki, Aoba-ku, Sendai, Miyagi

Key Words; Stress Measurement, piezoresistive sensor, residual stress, multi-scale measurement, flip-chip structure

1. 緒言

近年、電子デバイスの高機能化において、従来のスケールリング則が限界に近づきつつあり、高誘電率絶縁膜材や金属ゲート電極、ひずみシリコン、FinFETなどの新しい技術の導入が急がれている。また、現在、トランジスタの微細化は非常に難しく多大なコストがかかるため実装技術にも注目が集まっている。とりわけエリアアレイ型フリップチップ実装構造は、端子を面内に配置できることから高密度化に対応し、低コスト・低消費電力を実現することができる。しかし、フリップチップ実装構造において、パンプ、アンダーフィル、シリコンチップ等構造を構成する各材料間の弾性率、線膨張係数差に起因して、トランジスタ形成面のシリコンチップ界面近傍に周期的な局所残留応力分布が形成されることが明らかとなっている¹⁾。これら半導体デバイス内部の残留ひずみ(応力)はチップの割れやlow-k材の破断など機械的な不良のみならずトランジスタの特性を変動させるなど電気的な不良を引き起こすことが懸念される。

そこで、本研究では開発したピエゾ抵抗型ひずみセンサ²⁾を用い、薄膜堆積工程で生じるナノスケールの残留応力から実装工程で生じるミリスケールの残留応力までマルチスケールで測定し、デバイス製造工程における一貫した残留応力変化の評価法を確立したので報告する。

2. 薄膜堆積工程で生じる残留応力の評価

トランジスタを構成する材料は、ゲート絶縁膜ではシリコン酸化膜から HfO_2 などの高誘電率絶縁膜に変わり、ゲート電極も多結晶シリコンからWなどの金属材料に替わってきている。このような変化は格子不整合などによる残留応力を引き起こしトランジスタの性能を劣化させてしまう危険性がある。本研究では、電極用のWスパッタ膜堆積による残留応力変化を評価した。測定にあたり本膜の堆積によってセンサ形成部に発生する応力分布を有限要素法解析で予測した。解析には汎用コードのCADAS-FEXを使用した。図1に実際のセンサ形状を模擬した解析モデルを示す。各材料は弾性体として近似し解析を行った。また、負荷としてW薄膜の真性応力2.6 GPaを与えた。この値は膜堆積による基板の反り変形測定から決定した実験値である。図1中の赤枠で示した軸に対して斜め方向に配置されたセンサ内ではx, y各座標軸応力値はほぼ等しく約20 MPaの圧縮残留応力が発生していると予測され

た。

次に、開発したピエゾ型抵抗ひずみセンサを用いてWスパッタ薄膜を堆積し、残留応力変化を測定した。図2に薄膜堆積後のセンサ概観図を示す。測定には斜め方向に設置されたR1のセンサゲージを使用した。解析結果に基づき、斜め方向に配置されたセンサでは $\sigma_x = \sigma_y$ と近似して残留応力を算出した。測定には10個のセンサの使用した。測定温度は $30^\circ\text{C} \pm 0.1^\circ\text{C}$ に制御し、また、光、電波などの電磁ノイズを遮断できるボックス内で測定した。その結果、Wスパッタ膜の堆積によりセンサの抵抗値が約2%増加し、約40 MPaの圧縮応力がx, y軸方向に残留していると算出された。この結果は、解析ともほぼ一致していることから、本センサを用いることで薄膜堆積プロセス中に発生する残留応力の評価が可能であることが示された。

Figure 1 Analysis model

Figure 2 Outlook of sensor gauges after W thin-film deposition

3. フリップチップ実装工程で生じる残留応力の評価

電子デバイスの高性能化に伴い多ピン化を実現するために実装形態はチップを薄型化させ積層させた三次元構造が製品化され始めている。更なる多ピン化に向けてエリアアレイ型フリップチップ構造が、現在、注目を浴びている。しかし、薄型化に伴いチップの曲げ剛性が著しく低下して局所変形が生じやすくなり、トランジスタには非常に大きな局所残留応力が発生すると考えられる。そこでフリップチップ実装構造内のトランジスタ形成面に発生する残留応力を解析した。図3に実装構造が従来のワイヤーボンディング(WB)からフリップチップボンディング(FCB)に変更された際の残留応力変化を示す。FCB 構造ではバンプ配列に沿った周期的な残留応力が発生すること、その振幅(Peak to Peak)はトランジスタ形成面において約100 MPa まで達していることが予測された。

このバンプ周期配列に沿った応力分布の発生を実証するために開発したピエゾ抵抗ひずみセンサを搭載した実装構造を試作し、トランジスタ形成面に発生する残留応力を評価した。測定に用いたサンプルを図4に示す。センサチップは約8 mm 角で1チップ内に1420個のセンサが埋め込まれており、その中でバンプ間、バンプ直下の応力分布を測定するために192個のセンサが配線されている。測定のための電極はチップ周辺に配置され、電極部以外はバンプとの絶縁を確保するためにポリイミド膜で保護されている。ダミーチップには電解めっき法によりバンプが形成されておりバンプ径は200 μm 、ピッチは400 μm とした。実装は約200°Cで30分、10 Nの熱加重負荷を加えて行った。また接着には銀ペーストを用いた。

一段積層フリップチップ実装構造内トランジスタ形成面の応力分布測定例を図5に示す。バンプ周期配列に沿った応力分布の発生を確認した。さらにその応力振幅値は約250 MPaにも達することが明らかになった。また、バンプ・アンダーフィル境界近傍では約1 MPa / μm の急峻な応力勾配が発生していることも明らかになった。このような応力分布はチップ面内でトランジスタの性能に大きな分布を生じさせ、製品の信頼性を著しく低下させてしまうことが懸念される。以上の結果は解析結果とも一致し、本センサを用いることで実装プロセス中に発生する残留応力の評価も可能であることを実証した。

4. 結 言

本研究ではピエゾ抵抗型ひずみセンサを用いて、薄膜堆積工程で生じるナノスケールの残留応力から実装工程で生じるミリスケールの残留応力分布までマルチスケールでの計測技術を開発した。本センサチップを用い、W スパッタ薄膜堆積によるシリコンチップ内残留応力変化とフリップチップ実装に伴う残留応力分布の発生を測定した。その結果、本ひずみセンサを用いた計測結果は解析結果ともよく一致していることを確認し、本ひずみセンサの有効性を実証することができた。

参考文献

- 1) 上田 啓貴, 三浦 英生, MES2005 第15回マイクロエレクトロニクスシンポジウム講演文集, (2005), pp. 33-36
- 2) 佐々木拓也, 鈴木 研, 三浦英生, 日本機械学会東北学生会 第37回卒業研究発表講演会講演論文集, (2007), pp. 49-50.

Figure 3 Change of the normal stress along the horizontal direction on a silicon chip surface caused by the change of assembly structure

Figure 4 Outlook of samples for the measurement of the residual stress in the flip chip structure

Figure 5 Residual stress distribution between two bumps in the flip chip structure