高密度低コスト実装技術の現状の課題と今後[†]

塚 田 裕^{*}

Current Issues and Future Direction of Low Cost High Density Packaging Technology

by

Yutaka TSUKADA^{*}

Key words : Flip chip, Build-up, Pattern plating, YAG laser, Underfill, BOAC, Area array, SiP

1 緒 言

樹脂封止フリップチップ実装とビルドアップ配線基板は、1991年に発表された。前者は、大型コンピュータに使用されていたフリップチップ実装を低コスト化するため、セラミック多層基板の代わりに熱膨張係数の高いエポキシ系基板を使用可能とした。チップと基板の間をエポキシ樹脂で封止してフリップチップ接続部への応力を分散することにより、熱膨張係数の高いエポキシ系基板を使用したにも関わらず、接続部の寿命を飛躍的に延長した。ビルドアップ配線基板は、エポキシ系基板においてスルーホール代わりにマイクロビアホールを配線接続に使用するビルドアップ配線層を備え、フリップチップの高密度接続部からの配線処理を可能とし、それまでセラミック多層基板の独壇場であった高密度フリップチップ実装を低コスト分野に解放した。本文はこれらの技術の現状と今後の方向をまとめた。

2 フリップチップ接続

図1は、同一サイズのチップで、フリップチップ接続用(左側)とワイヤボンダ接続用(右側)を比較してある。フリップチップの重要な利点はBOAC (Bond On Active Circuit) と呼ばれ、接続端子をチップのアクティブな回路上に形成できることである。接続のためにチップ

側端子に用意されるはんだバンプは蒸着やめっきで形成され、基板へは機能面を下にして搭載され、はんだバンプが溶融して接続が達成される。バンプ形成時やチップの接続時のいずれにおいてもチップの端子には圧力がかからない。一方、ワイヤボンダチップは、ワイヤの接続時、端子に超音波と圧力がかかるので、アクティブな回路上に端子を置くと下の回路が破壊される。したがって、チップの一部に専用の領域を設けて端子を配置しなければならないので、端子は一般的にチップの外周にのみ配列される。面配置可能なフリップチップと、外周配置のみのワイヤボンダチップでは密度と性能に大きな差が生じる。フリップチップの特性上の優位性は次のような項目である。

(1) 単位面積当たり、多数の端子を接続できる。

面配置が可能なので信号端子を多く設置でき、高密度の半導体チップの端子接続を処理することができる。また、低コストアプリケーションに対しては、小さなチップから多数の信号線を引き出すことができるため、チップそのものを最小で使用し、コストを下げられる。

(2) チップ内部配線を短く信号減衰を最小限に抑えられる。

端子をチップどこにでも配置できるので、チップ内部の配線を短くできる。ワイヤボンダでは内部から外周端子まで線を引き出さねばならず、チップ上の細く薄い配線のため抵抗が高く、減衰が大きくなり信号伝達に支障をきたす。

(3) スイッチングノイズを低く抑えられる。

信号端子に加えて、電源端子も多く配備できるので、低インダクタンスの電源環境を備え、今日の半導体チップの大きな問題である同時スイッチングノイズを抑えることができる。

以上のように、高密度で電気性能が優れるフリップチップ実装は、高性能システムに対する優位性に加えて、近年、低コストアプリケーションにおいての要求も大きくなってきた。

図1 チップ側端子の比較

左のフリップチップ端子はピッチ 250 μ m で、右のワイヤボンダ端子はピッチ 150 μ m である

[†] 原稿受理 平成 17 年 7 月 27 日 Received July 27, 2005

^{*} 京セラ SLC テクノロジー(株) 先端パッケージング研究所 〒520-2362 野洲市市三宅, Advanced Packaging Lab., KYOCERA SLC Tech. Corp., Ichimiya, Yasu, 520-2362

図2は、樹脂封止フリップチップ実装とビルドアップ配線基板を使用した、典型的な半導体パッケージの断面写真である。この十年ほど、PCのプロセッサやASICなどの半導体チップを実装するこのようなBGA*と呼ばれるパッケージが、低コスト高密度実装分野の技術をリードしてきた。チップから出た信号線は、フリップチップ接続部を通り、基板上の端子からビルドアップ層の配線に入る。マイクロビアホールを経由して次の層に移り、ビルドアップ各層を通過し、スルーホールを経由して基板の裏面に出る。裏面のビルドアップ各層を同様に通り抜けた後にBGA接続部に至る。BGA接続は第二次接続と呼ばれ（フリップチップ接続は第1次接続）、マザーボード端子との接続を果たす。チップと基板の間隙はエポキシ樹脂で封止され、チップと基板の熱膨張係数の違いによって生じる応力を吸収する。

図2 典型的なフリップチップパッケージ

BGAパッケージと呼ばれる半導体実装部品のチップ搭載部分の断面である。

3 フリップチップ用配線基板

フリップチップ実装は、チップの面に何列も配置された端子により接続を行うため、これを受ける配線基板の端子周り設計が重要なポイントである。図3は、現在最先端の150 μm ピッチフリップチップ端子配線について、基板のライン/スペースが25 $\mu\text{m}/25\mu\text{m}$ のルールで、信号線をチップ搭載エリア内から外に引き出す場合のパターンを示す。基本的には、(a)のように1ピッチあたり常に2本の線を引き出すことができる。(b)のように1端子を削除すると、2ピッチあたり5本の線を引き出すことができ、1ピッチあたり2.5本になるので、(a)の場合よりも多く引き出せ、かつ、内部の3列目の端子から線を引き出せる。製造能力によりライン/スペースが20 $\mu\text{m}/20\mu\text{m}$ を使用できれば、(c)のように2端子を削除して、2ピッチあたり6本、つまり1ピッチ3本を引き出し、4列目までにアクセスできる。このように、製造可能な配線ルールと設計手法を駆使することにより、チップの端子配線を基板内で処理する。当然、ファインピッチの配線ルールを使用するほど基板のコストは上がる。また、電源端子の配置によって信号引き出し線も影響を受けるので、実際は図で示されるより複雑である。フリップチップ実装においては、チップ設計と基板設計の共同作業が重要で、それぞれ勝手に設計したのでは、コストの高い基板が必要になったり、細い配線で不必要に電気特性を劣化させるような事態が生じる可能性がある。

配線の形成はライン/スペースが20 $\mu\text{m}/20\mu\text{m}$ が最も先端の生産レベルで、現状の材料や装置類で15 $\mu\text{m}/15\mu\text{m}$ まで到達できると考えられる。最も大きな生産上の課題は、コンタミネーションコントロールで、10 μm 前後の浮遊塵埃の対策が歩留まりに大きく影響を与える。さら

図3 信号引き出し配線

基板の半導体チップを搭載する端子部分の図で、面に数列配置された端子から信号配線を基板内に引き出すパターンを示す

* BGA: Ball Grid Array の略で、はんだボールをアレイ上に配置してマザーボードとの間を接続するパッケージ部品の形態。

に、このように細線化されてくると、次のような従来技術の問題点が明確になってくる。図4に、パターンめっきの断面模式図を示す。絶縁層表面に粗化工程によりアンカーの凹凸を形成し、無電解銅めっきを施して電解銅めっきの通電層とする。その上にパターンレジストを貼り、フォトマスクを使用して露光現像し、最終的に必要な回路パターンを形成する。取り去った部分に銅めっきを立ち上げるので、レジストに沿った細密な配線形成ができる。この構造での障害は、銅めっきと樹脂層の接着強度を確保するための樹脂表面凹凸である。この凹凸が大きすぎると、シード層である無電解銅めっきをエッチングする時に、同時に配線の外形がエッチングされる。その寸法余裕を確保するために、パターンめっきレジストをさらに細くしなければならないため、細線化に限界を生じる。また、信号が1GHz程度になると、表皮効果の影響で電流は導体表面の1 μm 程度の厚さを流れるので表面の凹凸は電気特性上の障害にもなる。配線の接着強度を確保するための凹凸は、可能な限り小さくする必要があるが、配線の剥離強度が低下して、製造中や信頼性上問題となる可能性がある。新たな銅めっきの接着メカニズムが必要である。

設計上の要求と工程能力から配線幅とピッチが決定されると、式(1)によって、必要な特性インピーダンス Z_0 に対し絶縁層厚さが求められる。

$$Z_0 = \left(\frac{377}{E_r} \right) \left(\frac{H}{W_{\text{eff}}} \right) \left(\frac{1}{2 + 2.8(H/W_{\text{eff}})^{3/4}} \right) \quad (1)$$

ここで Z_0 : 特性インピーダンス, E_r : 誘電率

H : 絶縁層厚さ, W_{eff} : 有効ライン幅

絶縁層厚さが決まると、層間接続のビアホールが設計できる。図5は、式(1)より求められる $Z_0 = 50\Omega$ になるライン幅と絶縁層厚さの関係を示す。基板の一般配線幅を30 μm とし、横軸のライン幅30 μm から引いた線と $Z_0 = 50\Omega$ の交点から横軸で絶縁層厚さを求めると34 μm となる。次に絶縁層厚さ34 μm に対し、ビアホールのアスペクト比(ビア深さ/ビア直径)が0.7になるビア直径を横軸から読み取ると48 μm となる。アスペクト比0.7は、ビア外部とビア底部のめっき厚さの差異がある許容範囲

図4 パターンめっき断面

図はパターンめっき用レジストを露光するマスク、露光/現像後のレジスト、電解めっきで形成される銅配線の位置関係を示す。

図5 配線幅とビア直径の関係

配線幅と絶縁層の厚さによる特性インピーダンスと、同じ指標を用いた絶縁層厚さとビアホール直径によるビアホールアスペクト比の関係を示す。

に入る条件として設定されており、大きすぎると底部のコーナー部のめっきが薄くなりすぎ、信頼性上の問題を起こす。ドリルは、ビームの径や発振周波数による加工精度の関係から50 μm 以下はUVレーザーが主流である。

基板のコア部のスルーホールについては、依然、機械ドリルが主流であるが、狭ピッチ化が必須であり、直径100 μm 以下では、やはりレーザードリルに移行していくであろう。その場合、コア部にはガラス強化繊維があり、エネルギーの吸収率から、YAGの第4高調波266nmのレーザーが必要である。ビアホールはガラス繊維がないので、現時点では第3高調波355nmで良いが、ビアホール直径が20 μm より小さくなると、ビーム径の関係からやはり266nmに移行すると考えられる。

4 フリップチップ接続部構造

接続部の構造には、基板側端子の設計により図6(a)と(b)に示す二つの方式がある。(a)は基板側端子がSMD(Solder Mask Defined)構造で、端子の周辺部をはんだ保護膜でカバーし、その開口部の大きさが基板端子が定義される。一方、(b)に示すNSMD(Non Solder Mask Defined)構造は、端子がはんだ保護膜の開口部の内側に位置している。SMDでは、接続部の基板とはんだの接合部分がくびれた状態になっており、応力集中するが、基本的に接続部応力はアンダーフィルの効果で分散されており、信頼性上問題はない。開口部が狭く定義されている分はんだ接続部の高さが高くなり、わずかに残るチップと基板間の熱膨張係数差による応力分布も低いレベルにある。また、アンダーフィルの流れも良い。しかし、チップ側パンプの大きさや高さ、はんだ保護膜の厚さや開口部直径のばらつきにより、チップパンプがはんだ保護膜開口部に引っかかり、チップの接合時に接続不良を起こすことがある。端子に予備はんだをすると改善されるが、狭い開口部にはんだペーストを一定量塗布する技術が必要で、狭ピッチでは困難になる。

NSMDの場合は基板端子全体が開口部内部に露出し、チップパンプが基板の端子に接触することを妨げる要因が減る。そのためチップ搭載は容易で歩留まりは高い。

図6 フリップチップ接続部設計

写真は上部がチップ。白色部がはんだで、下の基板端子に接続する。端子ピッチは225 μm 。

特に予備はんだで処理した端子であれば、歩留まりは100%を達成できる。ただし、基板端子直径が実質大きくなっているため、同一はんだ量で接続部の全体の高さが低くなる。また、開口部と開口部の間のはんだ保護膜はダムの役割を果たさねばならないので、フォトエッチングで開ける開口部の加工解像度の高さが必要である。

いずれの構造においても、今後、端子ピッチが狭くなると、精度や材料強度の面から大きな壁に突き当たると考えられ、新たな方式を考慮する必要がある。

5 材料特性

表1は、このパッケージに使用されているビルドアップ層、ベースコア、はんだ保護膜、アンダーフィルの各材料特性を表す。ビルドアップ層材料はシリカ系フィラーが入ったエポキシ樹脂で、誘電率は比較的低く3.4である。一方、ベースコアは、エポキシ樹脂にガラスファイバーが加わっているため誘電率は高く4.2となるが、ベースコアは構造材の役割と電源層なので大きな問題はない。はんだ保護膜はフィラー量が多いので、誘電率はビルドアップ材とベースコア材の間になっている。一般的にエポキシ樹脂はセラミックなどと比較して誘電損失が大きいので、今後改良されるべき課題である。また、ビルドアップ層とベースコアの樹脂の熱膨張係数は銅よりかなり大きく、基板の内部応力を下げるためには低熱膨張化へ改良が必要である。今後、チップの絶縁層が電気特性向上の犠牲として脆弱化していくので、アンダーフィル封止前のストレスを低下する必要がある。基板全体の低熱膨張化は必須である。現状、表1の材料で造られた基板は15mm角程度のチップを搭載して、JEDEC^{*1} レベル3のプリコンディショニングを施した後に信頼性試験をクリアすることができる。

表1 材料特性

項目	ビルドアップ	ベースコア	はんだ保護膜	アンダーフィル
電気特性				
誘電率	1GHz 3.4	4.2	3.8(1MHz)	3.5(1MHz)
誘電正接	1GHz 0.022	0.018	0.026(1MHz)	0.6(1MHz)
絶縁耐圧	V/ μm >118	-	>100	>51
表面抵抗	ohm >E14	>E15	>E12	-
体積抵抗率	ohm-cm >E15	>E16	>E14	>E16
機械特性				
熱膨張率	ppm/°C 95	15/50(xy/z)	60	32
ガラス転移点	°C 165	190	100	137
ヤング率	GPa 3.0	23	2.7	9
引張強度	MPa 75.5	550	50	140
ポアソン比	0.35	0.18	0.31	0.33
破断強度	% 2.5	-	3.3	3.0
その他の特性				
熱伝導率	W/mk 0.19	0.29	0.23	0.67
水分吸収率	% 1.3	0.08	1.4	1.2

6 電気特性

今日、チップ間の信号伝達でもっとも大きな障害は、信号の減衰である。減衰は配線の導体抵抗損失と絶縁層の誘電損失で生じる。一般的にCMOSチップでは、ドライバからレシーバへの減衰が3dB以内であれば信号は伝達される。仮に、クリティカルな配線の長さが5cmとすると、1cmあたり、0.6dBの減衰であれば、使用可能である。図7は、4チップでSiP^{*2}を構成したときの実装形態である。チップは15mm角、端子数が信号、電源あわせて2500で、高密度ASICのなかでも大きなサイズを4個搭載すると仮定する。35mmBGA、21mmBGA、ベアチップ実装(FCA)、ベアチップ両面実装(両面FCA)について、レシーバ入力点での信号減衰をシミュレーションで比較した。図8に10GHz信号の場合を示す。35mmBGAの信号波形は崩れて、電圧振幅は0.6Vである。3dBは電圧振幅が約70%なので、35mmBGAではレシーバは正しく動作しない。また信号遅れも1周期以上あった。一方、21mmBGAは、波形は崩れているが、レシーバにおける信号振幅はインプットの約80%あり信号は伝達される。ただし、遅れは依然1周期程度発生する。ベアチップ実装では、信号の振幅は80%を上回り、信号の遅れも半周期以内で回路要素が削減された結果が現れている。ベアチップの両面実装では、波形もドライバ出力の波形に近く、レシーバにおける信号の振幅は100%に近い。また、遅れも1/8周期以内で、きわめて良好な信号をレシーバが受ける。40GHzを超える周波数でも安定した動作を期待できる結果が得られた。反射その他の回路要素の影響は考慮していないので実際とは異なる面もあるが、パッケージ全体を小さくすることが如何に重要であることを示している。配線をファイン化すると導体抵抗が上がるが、配線距離を短縮すれば相殺することができ、誘電損失も低下する。

7 実装構造

単体パッケージの場合、パッケージを封止樹脂の硬化温度から常温までの約100°Cの温度変化を与えると、チップと基板の熱膨張係数の違いから図9のように反る。¹⁾このパッケージをマザーボードに搭載した場合には、この

*1 JEDEC: Joint Electron Device Engineering Council の略称。電子部品標準化に関する米国の業界団体。

*2 SiP: System in Package の略称。複数のチップを搭載し、ひとつのパッケージでシステムを構成するもの。

図7 パッケージのタイプによる SiP の構成

同一サイズのチップを4種類のパッケージのタイプに実装した場合を示す。チップ間のクロック信号のクリティカルパスを表示する。

図8 10CHzにおける減衰

図9 パッケージ全体の反り

変形による応力で各 BGA 接続部の寿命が異なる。基板厚さが 0.8mm 程度の BGA では、基板周辺は多数の BGA 接続部により支えられるので、中央部の接続部に応力集中が起こる。基板が薄くなると局所的な変形を抑える剛性が減少するので、チップのコーナー直下付近の接続部寿命が短くなる。一般に BGA 接続部はアンダーフィルを施さないで、直接、製品寿命に影響する。この問題を解消するには前述の低熱膨張基板が必要であるが、あまり熱膨張係数が低すぎると、マザーボードとの間に熱

膨張係数の差異が生じて基板周辺部の BGA 接続部寿命が問題となる。全体的な熱応力設計が重要になる。

8 接続端子ピッチ動向

図 10 は、ITRS* のデータの一部をグラフ化したものである。²⁾パッケージに対する要求と題される項目のうちの、実装における各種接続ピッチのロードマップである。データは上から二次接続の BGA (Ball Grid Array)、次に FBGA (Fine pitch BGA) もしくは CSP (Chip Scale Package) で、これは入出力端子数の少ない、チップのサイズに近い BGA を意味する。次にシリコンサブストレートはチップと基板のフリップチップ接続、続いて LCD (Liquid Cristal Display) は液晶ディスプレイのドライバーチップである。ワイヤボンドの端子に金ボールパンを使用したフリップチップで、ワイヤボンドチップを使用した周辺配置フリップチップと言ってよい。WB は通常のワイヤボンドで、一般的なボールボンドとウエッジボンドが示されている。

BGA 端子ピッチは、800 μ m から 500 μ m ピッチに到達する。サイズの小さなチップを使用する FBGA では、二次接続である BGA ピッチが、一次接続のフリップチップ

図10 端子ピッチのロードマップ

* ITRS: International Technology Roadmap for Semiconductors の略。各国の半導体工業会が協同で作成するロードマップ。

接続ピッチに近づきつつある。面配置端子フリップチップの端子ピッチは、過去数年、毎年縮小が延期される状態で、鉛フリー化の問題も含めて壁にあたっている。周辺配置フリップチップの LCD は、端子ピッチ狭小化が急速に進みワイヤボンドのピッチに近づきつつある。ワイヤボンドと同様に、超音波による金-金接合によるため、前述のように、チップのアクティブ回路上に端子を形成することができない。ワイヤボンドそのものはチップの生産量も減少に転じており、今後著しい改良は見込まれない。

この領域における課題は、面配置フリップチップと周辺配置フリップチップのピッチにおいて、年々ギャップが大きくなっていることである。極小ピッチの面配置フリップチップの技術が確立される必要がある。

9 結 言

半導体チップは、ムーアの法則で言う 1.5 年で倍の密度増加が正しいとすると、過去 10 年で 128 倍密度が上がったことになる。それに比較して、チップの接続技術や配線板技術などの実装技術はどうであろうか。樹脂封止フリップチップ実装やビルドアップ配線基板をもってしても、過去 10 年でたかだか 10 倍程度である。このよ

うに密度の上昇に差が出ると、半導体チップの性能を阻害する実装、半導体チップそのものよりコストの高い実装などが存在しかねない。エレクトロニクス実装の進歩に対し、実装技術が障害となるような事態にならないためには、半導体チップから引き離されつつある密度を、半導体チップと同じ傾きのロードマップで実現する方向に向けなければならない。半導体チップは、密度を上げることによって性能を上げコストを下げることに成功してきた。実装も密度を上げることにより性能を上げコストを下げるができるはずで、そのためには既存の技術を組み合わせるとか、変型を作るという小手先ではなく、材料から工程、試験など全ての面において、科学的なアクションをベースに現状の課題を解決する取り組みが必要であろう。

参 考 文 献

- 1) Y. Tsukada, H. Nishimura, M. Sakane and M. Ohnami, "Fatigue analysis of solder joints in flip chip bonding", Journal of Electronic Packaging, ASME, Vol.122, pp.207-213 (2000).
- 2) <http://public.itrs.net/>