ワイヤボンド加圧下における Ultra Low-k デバイスの ボンドパッド下部構造の FEM 応力解析

FEM Analysis of Stress in the Structures under Bond Pad of Ultra Low-k Device

久田 隆 史*・阿比留 聖**・山田 靖 治*・青木 豊 広*

福 本 信 次**・松 嶋 道 也**・藤 本 公 三**

Takashi HISADA, Hijiri ABIRU, Yasuharu YAMADA, Toyohiro AOKI,
Shinji FUKUMOTO, Michiya MATSUSHIMA and Kozo FUJIMOTO

(Received May 8, 2013)

The mechanical integrity of wirebonds is sensitive to structures under the bond pads of ultra low-k dielectric devices. The authors calculated homogenized material properties of two basic wiring structures with three different wiring pitches in the device. Stress in the ULK layer under the bond pad was analyzed using 3D finite element method (FEM) models of ball bond, Al pad, dielectric film stacks and Si substrate with twelve different variations. The analyses results indicate that higher density of Cu wiring and via reduces stress in the ULK layer. The results also indicate that thicker FTEOS layer, thicker SiO₂ layer or thicker Al pad reduces stress in the ULK layer.

Key Words: Chip Package Interaction, Wirebonding, Mechanical Integrity, Low-k Dielectric

1. 緒 言

半導体集積回路の微細化によって顕在化するメタル配線層での RC (Resistive-Capacitive) 遅延を低減するため、層間絶縁膜の誘電率を低減する技術開発が行われてきた。層間絶縁膜は古くから用いられてきた SiO₂ から FTEOS (Fluorinated Tetraethyl Orthosilicate)、Low-k、ULK (Ultra Low-k) と呼ばれる材料によって低誘電率化が進展しており、一般的に誘電率が低いほど機械的強度も低くなる。そのため Low-k 材や ULK 材を用いたチップでは、パッケージング工程中、パッケージング後の 2 次実装あるいは製品使用時にパッケージからかかる応力によってチップ内部のメタル配線層が破断する課題があり多くの研究開発成果が報告されている¹⁻³⁾。ワイヤボンドを用いる場合では、Fig. 1 に示すようにワイヤプル試験において正常モードであるワイヤネック切れ (a)、ではなく、異常モードであるボンドパッドがメタル配線層から剥がれる不良モード (b)、がよく知られている^{4,5)}。

著者らは 32 nm 世代のチップを用いてパッド剥がれの発生率とパッド下部構造の関係を調べ、2D FEM (Finite Element Method) により最大主応力の発生箇所とパッド剥がれの破断箇所との相関関係を見出した⁶⁾。またボールボン

ド・Al パッドを含まずに配線層上面から一様な応力を負荷した場合の 3D FEM による応力解析から、パッド下部の配線構造体の複合弾性率とパッド剥がれの発生率の相関を求めた^{7,8)}。本来、パッド剥がれの原因となる絶縁層内の応力場は、絶縁層内の微細配線構造を再現したモデルによって解析を行うことが望ましい。しかしワイヤボンドの接合のスケールでデバイスの微細配線を忠実に再現したモデルで

Fig. 1 Fracture modes in wire pull testing.

* 日本アイ・ビー・エム株式会社 IBM 東京ラボラトリー (〒 212-0032 川崎市幸区新川崎 7 番 7 号 かわさき新産業創造センター 新館研究棟) IBM Tokyo Laboratory, IBM Japan, Ltd. (NANOBI, 7-7 Shinkawasaki, Saiwai-ku, Kawasaki, Kanagawa 212-0032 Japan)

** 大阪大学大学院工学研究科 マテリアル生産科学専攻 (〒 565-0871 吹田市山田丘 2-1)

Division of Materials and Manufacturing Science, Graduate School of Engineering, Osaka University (2-1 Yamadaoka, Suita, Osaka, 565-0871 Japan)

Fig. 2 Half model of wirebond, Al pad, wiring layers and Si substrate.

は、解を得られるシミュレーション条件を設定するまでに多くの試行が必要であり、またひとつのモデルの解析時間も非常に長くなる。それに対して配線層の構造を均質化した複合特性を用いて応力を調べると、繰返し性のある配線パターンではワイヤブル試験でのパッド剥がれとの相関が見られ、簡便に積層配線構造の比較評価を行う方法として有用である。

本研究ではボールボンド部、アルミパッドを含む3D FEMモデルを用いて、絶縁膜の厚みや配線密度を変化させた場合にワイヤボンド荷重によりパッド下部の絶縁層にかかる応力の変化と、応力を低減できるパッド下部構造について調べた。

2. ワイヤボンド荷重により発生する応力の均質化モデルによる解析

2.1 3D モデル

Fig. 2 にワイヤボンド・アルミパッド・配線層およびシリコン基板のモデルを示す。解析空間としてワイヤボンドを中心にX方向に50 μm、Y方向に25 μmの領域を設定したハーフモデルを用いた。ボール径は27 μm、ワイヤ径15 μm、キャピラリのボールとの接触面の最大径25 μm、ボール厚み7 μmで、35 μmピッチのワイヤボンドを想定した。

パッド下部の配線層は、Fig. 3 に示す2種類の積層を解析対象とした。層構成はシリコン基板の上にlow-k、ULK、FTEOS、SiO₂、Alパッドの順で積層されたものである。1xと示した層は最も微細な配線ルールを適用する配線層で最下層にlow-k材、その上の4層にULK材を適用する。2xと8xの層はそれぞれ1xの2倍と8倍の配線ルールを適用すると仮定し、2x層にULK、8x層にFTEOSを用いる。本稿では1x層を5層・2x層を2層・8x層を1層積層した構成を5-2-1と表記し、1x層を5層・2x層を2層・8x層を2

Fig. 3 Cross-sections of film stacks in back-end-of-line (BEOL) layers.

Table 1 Material properties.

Materials	Elastic modulus (GPa)	Poisson's ratio
Au ball	78	0.33
Al pad	48	0.33
Cu wiring	110	0.33
SiO ₂	70	0.20
FTEOS	66	0.18
Low-k	9	0.28
ULK	4.6	0.28
Cap dielectric	104	0.28
Si	165	0.22

層積層した構成を5-2-2と表記する。

2.2 配線層の均質化モデルと複合特性の算出

各構成材料のバルク特性をTable 1に示す。ここではバルク材料を等方材料として扱う。Alパッド、Cu配線は半導体工程でそれぞれ化学気相成長、めっきによって形成される。筆者らの過去の実験結果、解析結果との整合性を考慮し表中の数値を採用した。また絶縁膜材料についても同様に表中の数値を用いた。1x、2x、8xの各配線層における配線構造としてFig. 4に示すような2種類の構造を検討する。Cu配線に用いるデュアル・ダマシン工法では配線とビアを一度のめっきで形成し、Cuの絶縁膜への拡散を防止するためビア層の底部に薄いキャップ絶縁膜を配するのが一般的である。配線とビアを合わせた1層の厚みをhとし、そのうち配線部分の厚みをh1、ビア部分の上層の絶縁膜の厚みをh2、ビア部分のキャップ絶縁膜の厚みをh3と定義した。

Fig. 4 Cu line and via structures for homogenization, (a) Via stack and (b) Serpentine.

Fig. 5 Composite elastic modulus of various combination of different dielectric films and wiring structures.

Table 2 Dimensions of Cu line and via (unit: nm).

		8x	2x	1x
h		1600	800	200
$h1$		960	240	120
$h2$		520	100	40
$h3$		120	60	40
Via stack	$w1$	1760	440	220
	$w2$	400	100	50
	$s1$	VS-1	1760	440
		VS-2	3520	880
		VS-3	5280	1320
Serpentine	$w3$	1760	440	220
	$s2$	Serp-1	1760	440
		Serp-2	3520	880
		Serp-3	5280	1320

Fig. 4(a) はビア・スタックと呼ぶ構造で正方のメタル配線パターンの中央にビアを配置したもので、Fig. 4(b) はサーペンタインと呼ぶビアを持たない配線のみのパターンである。Table 2 はこれらの寸法を示す。この中で、評価モデルのバリエーションとして配線間スペース ($s1, s2$) をメタル配線の 1 倍・2 倍・3 倍とした条件を与え、ビア・スタック構造・サーペンタイン構造でそれぞれ VS-1、VS-2、VS-3、Serp-1、Serp-2、Serp-3 と呼ぶ。2x、8x の各層の厚みは、1x の厚みのそれぞれ 2 倍、8 倍としているが、キャップ絶縁膜の厚みはこれよりも低い倍率を用いている点には注意を要する。

1x 層に Low-k と ULK、2x 層に ULK、8x 層に FTEOS の

絶縁材料を用い、ビア・スタック、サーペンタインそれぞれに 3 種類ずつの構造の組み合わせで、ANSYS Multiscale. Sim[®] を用いて均質化モデルを作成し複合則によりこれらの構造それぞれで弾性率とポアソン比の複合特性を求めた。ここでは、1x Low-k 層、1x ULK 層、2x ULK 層および 8x FTEOS 層それぞれで、Fig. 4 に示すような配線部絶縁膜、ビア部絶縁膜、キャップ絶縁膜、Cu 配線および Cu ビアで構成されるビアスタックおよびサーペンタインの基本構造を使って均質化を行なった。

Fig. 5 に求められた複合弾性率を示す。この図では 1x 層の low-k 材での結果は省略した。バルク材料は等方であるが、配線構造の非対称性によって X、Y、Z 方向のそれぞれの弾性率 E_x 、 E_y 、 E_z は異なる数値が得られる。ビア・スタックについては X、Y 方向が対称のため E_x と E_y は同じ数値となる。1x 層と 2x 層を比較すると 2x 層の弾性率のほうが低くなる。これは 2x 層のほうが弾性率の高いキャップ絶縁膜の体積比率が小さいためである。VS-1、VS-2、VS-3 の比較と Serp-1、Serp-2、Serp-3 の比較から、弾性率の高い Cu の配線密度を高くする（配線間隔を狭くする）ほど複合弾性率が高くなるのが分かる。

2.3 ワイヤボンド荷重により発生する応力

2.3.1 解析マトリックス

Au ボール、Al パッド、SiO₂ 膜、Si 基板にはバルクの材料特性を適用し、1x、2x、8x 層には均質化モデルで求めた複合特性を用いて、ワイヤボンド荷重によって発生する応力を ANSYS Mechanical[®] Ver.14 で解析した。本研究で調べたモデルのマトリックスを Table 3 に示す。モデル 1、2、3 は、1x、2x、8x 各層をビア・スタックとし、その配線スペースを変化させた VS-1、VS-2、VS-3 を用いるものである。同様にモデル 4、5、6 はサーペンタインの配線スパー

Table 3 Model matrix of various structures.

Model type	Structures in 1x, 2x and 8x	SiO ₂ THK	8x layer stack count	Al THK
1	VS-1	1.4 μm	1 L	2.1 μm
2	VS-2	1.4 μm	1 L	2.1 μm
3	VS-3	1.4 μm	1 L	2.1 μm
4	Serp-1	1.4 μm	1 L	2.1 μm
5	Serp-2	1.4 μm	1 L	2.1 μm
6	Serp-3	1.4 μm	1 L	2.1 μm
7	VS-1	0.7 μm	1 L	2.1 μm
8	VS-1	2.1 μm	1 L	2.1 μm
9	VS-1	1.4 μm	0 L	2.1 μm
10	VS-1	1.4 μm	2 L	2.1 μm
11	VS-1	1.4 μm	1 L	1.2 μm
12	VS-1	1.4 μm	1 L	4.0 μm

スを変化させた Serp-1、Serp-2、Serp-3 を用いるものである。モデル 7 と 8 は配線構造を VS-1 に固定し、Al パッド下の SiO₂ の厚みを変化させたものである。モデル 9 と 10 は同じく配線構造を VS-1 に固定し、8x 層を用いないものと 2 層入れたものとなる。モデル 11 と 12 は VS-1 構造で Al パッドをそれぞれ 1.2 μm と 4.0 μm としたものである。

それぞれのモデルでボールボンドのキャピラリ接触面に対してボンディング中にかかる荷重を想定して 68.6 mN を与え、パッド下部の配線絶縁膜に発生する応力を調べた。Fig. 6 はモデル 1 の第一主応力のコンター図であり、Z 方向の変位は強調表示されている。Fig. 7 はモデル 1 の FTEOS 層 (a)、2x ULK 層 (b)、1x ULK 層 (c) のボールボンドの中心からの応力分布を示す。コンター図からの判別は難しいが、8x FTEOS 層内での第一主応力は、引張り応力として働き、ボールボンド中心から 5 μm ほど外側で最大となっている。これに対し 2x ULK、1x ULK の層内では最大の第一主応力はボールボンドの中心に位置し、圧縮応力となる。また 1x ULK 層の最大主応力は 2x ULK 層の最大主応力よりも高い。ここではモデル 1 の応力分布のみ示したが他のモデルでも同じ傾向が見られた。以下の配線構造、配線密度および積層構造の影響は ULK 層で最大主応力の発生している 1x ULK 層を対象に検討する。

2.3.2 配線構造と配線密度の影響

Fig. 8 はモデル 1 から 6 までのボールボンドの中心部の下部の 1x 層内での第一主応力を示したものであり、すべて圧縮応力である。ここでは相対比較のためモデル 1 の最大主応力を基準として任意単位でプロットした。モデル 1、2、3 のビアスタックの配線間隔を変化させた比較では、配線間隔が広がる、すなわち 1x、2x、8x の各層で複合弾性

Fig. 6 Contour diagram of first principal stress of model-1.

(a) Stress distribution from the center of FTEOS layer

(b) Stress distribution from the center of 2x ULK layer

(c) Stress distribution from the center of 1x ULK layer

Fig. 7 Stress distribution from the center of model-1.

率が低くなるほど応力が大きくなりほぼ直線の関係が見られる。また同様の関係がモデル 4、5、6 のサーペンタインでも得られる。ビアスタックとサーペンタインでは配線間隔の変化に対する応力の変化の程度が異なっている。Fig. 5 でビアスタックとサーペンタインで E_z の変化に大きな差は見られないため、応力の変化の程度が異なるのは X、

Fig. 8 First principal stress (compressive stress) in 1x ULK layer under the center of ball bond (model-1, 2, 3, 4, 5 and 6).

Fig. 10 First principal stress (compressive stress) in 1x ULK with variable 8x FTEOS thickness (model-1, 9 and 10).

Fig. 9 First principal stress (compressive stress) in 1x ULK with variable SiO₂ thickness (model-1, 7 and 8).

Fig. 11 First principal stress (compressive stress) in 1x ULK with variable Al pad thickness (model-1, 11 and 12).

Y 方向での構造の対称性の違いに起因しているものと推察される。VS-1 と Serp-1 ではほぼ同じ最大主応力であるが、配線間隔の広い VS-3 と Serp-3 を比較すると VS-3 の方が 9.9 % 高い最大主応力となる。配線密度の低い配線ではビア接続を行わないサーペンタイン構造が応力抑制に有利であることが分かる。

2.3.3 積層構造の影響

第一主応力に対する Al パッド直下の SiO₂ の厚みの影響はモデル 1、7 および 8 の比較となる (Fig. 9)。SiO₂ 厚みが 1.4 μm から 0.7 μm になると応力が 6.5 % 高くなり、SiO₂ 厚みが 1.4 μm から 2.1 μm になると応力が 6.5 % 低くなるため SiO₂ の厚みが増すと 1x ULK 層内の最大主応力が減少する相関関係が見られる。同様に 8x FTEOS 層の比較をモデル 1、9 および 10 で行う (Fig. 10) と FTEOS 層が厚いほど 1x ULK 層で応力が低下することが分かる。モデル 1 に比べ

とモデル 10 は FTEOS の厚みが 2 倍になっており、1x ULK 層に発生する応力は 14 % 低くなっている。また FTEOS 層のないモデル 9 はモデル 1 に比べて 14 % 応力が高く、FTEOS の厚みと 1x ULK 層内の最大主応力の間に相関関係が見られる。ULK 層の上部に配する SiO₂、FTEOS は 2x ULK に比べて Ez で 7 倍程度弾性率が高く、これらの層の厚みを大きくすることで 1x ULK 層内に発生する第一主応力を低減できることが分かる。

Fig. 11 は Al パッドの厚みと 1x ULK 層の最大主応力の関係を示したものである。モデル 1 の 2.1 μm の Al パッドの場合に比べてモデル 11 の 1.2 μm の場合では 25 % 最大主応力が高くなるのに対して、モデル 12 の 4.0 μm の場合では 13 % 最大主応力が減少する。

ここでも Al パッドの厚みが増すにつれて 1x ULK 層の最大主応力が減少する相関が認められる。

SiO₂、FTEOS、Alパッドそれぞれの厚みを増すとULK層内での最大主応力を低減できることが分かった。しかしSiO₂、FTEOSの厚みを増すとそれぞれの配線ルールも大きくなり配線密度が低下するため実際のデバイス設計ではSiO₂、FTEOSの厚みを無制限に増やすことはできない。また厚いAlパッド上のワイヤボンドではAlスプラッシュが大きくなりやすく、特にファインピッチのボンディングでプロセスウィンドウが小さくなる懸念があるためAlパッドを無制限に厚くはできない。このためデバイスの配線ルールやワイヤボンドピッチの仕様を踏まえてULK層の応力低減を図る各層厚みの最適化が必要となる。

3. 結論

Low-k、ULKを層間絶縁膜に用いるチップのボンドパッド下部の層構成・配線構造を変化させたときの各層の複合特性を均質化モデルから算出し、3D FEMモデルでワイヤボンド荷重によって1x ULK層内に発生する応力をFEM解析により求めた。ビアスタック構造、サーペントイン構造ともに配線密度が高い方が応力を低減できる。配線密度が低い場合にはビアスタック構造よりもサーペントイン構造の方が応力が低い。SiO₂、FTEOS、Alパッドそれぞれの厚みを増すとULK層内での最大主応力を低減できる。

本研究で調べた繰返し性のある基本的な配線構造は均質化によって複合特性を求める方法に適しているが、特異性・局所性の高い配線パターンでは均質化で求める複合特性から応力を推定することができない場合もあり得る。そのようなケースでは詳細なマイクロモデルでの解析が必要となる。

参考文献

- 1) W. Landers et al., "Chip-to-package interaction for a 90 nm Cu / PECVD low-k technology," Proceedings of the IEEE 2004 International Interconnect Technology Conference, 2004, pp. 108-110.
- 2) C. Muzzy et al., "Chip Package Interaction Evaluation for a High Performance 65 nm and 45 nm CMOS Technology in a Stacked Die Package with C4 and Wirebond Interconnections," Proceedings of the 2008 Electronic Components and Technology Conference, 2008, pp. 1472-1475.
- 3) X. H. Liu et al., "Chip-Package-Interaction Modeling of Ultra Low-k/Copper Back End of Line," Proceedings of the IEEE 2007 International Interconnect Technology Conference, 2007, pp. 13-15.
- 4) Yoon-joo Kim et al., "Low-k Wire Bonding," Proceedings of the 2006 Electronic Components and Technology Conference, 2006, pp. 1616-1622.
- 5) Chu-Chung (Stephen) Lee et al., "Overview of Metal Lifted Failure Modes During Fine-Pitch Wirebonding Low-k/Copper Dies with Bond Over Active (BOA) Circuitry Design," Proceedings of the 2007 Electronic Components and Technology Conference, 2007, pp. 1775-1780.
- 6) T. Hisada, et al., "Analysis on Wirebond Mechanical Integrity of Ultra Fine Pitch Wirebond on Ultra Low-k Device," Proceedings of the 2011 International Conference on Electronics Packaging, 2011.
- 7) T. Aoki, et al., "Evaluation of Cu Line and Via Structures underneath Wirebond Pad in 32 nm Ultra Low-k Device," Proceedings of the 13th International Conference on Electronics Materials and Packaging, 2011, EMAP2011FP-74.
- 8) 久田隆史、青木豊広、"ナノインデンテーション法によるUltra Low-k デバイスのボンド・パッド下部構造の機械的特性の評価"、第18回エレクトロニクスにおけるマイクロ接合・実装技術シンポジウム論文集、vol. 18 (2012), pp.223-228.