有機絶縁膜を用いたはんだ充填シリコン貫通ビア

Solder-filled Through Silicon Via with Organic Insulator

堀部 晃啓*・末岡 邦昭*・青木 豊広*
小原 さゆり*・森 裕幸*・折井 靖光*
Akihiro HORIBE, Kuniaki SUEOKA, Toyohiro AOKI,
Sayuri KOHARA, Hiroyuki MORI and Yasumitsu ORII

(Received April 6, 2016)

We have developed a new wafer stacking technology with solder-base through silicon vias fabricated by ViaS (vertical integration after stacking) process. The technology will provide a low cost solution of 3D integration which can fit to high volume and cost sensitive products such as IoT applications. The structure consists of organic insulator by vapor deposition polymerization and solder as conductor formed by molten solder filling technique. In this paper, we report the process flow, key technologies, a demonstration result, mechanical modeling, and analysis results of the interface interaction between the polymer insulator and the solder via metal.

Key Words: 3D Integration, Through Silicon Via, Solder, Polymer Insulator, Vapor Deposition Polymerization

1. 緒言

これまで長きに渡り半導体素子の集積化に膨大な叡智が注がれてきた。その集積化がいよいよ物理限界に近づくなか、半導体の新たな集積方法として3次元積層技術が注目されており、3次元積層を実現するにあたり必要となるTSV (through silicon via) の研究が非常に活発に行われている。近年ようやく幾つかの具体的な応用事例が現れつつある¹⁾⁶⁾。しかし、その用途はいまだ限定的で、広く応用されるには至っていない。その主な理由として技術導入のコストが挙げられる。特にウエハの多層積層においては、現在の複雑で高価なTSV工程を経た複数のTSVウエハを重ね合わせていく手法では、コストの大幅な増加と共に極端なYield悪化の懸念があり、コストに敏感な低価格・大量生産の製品への導入が極めて困難となっている。また、3次元デバイスの複雑な構造と、製造工程での熱履歴によってデバイス内部への内部応力が高くなり、半導体素子の動作への影響も懸念される⁷⁾¹⁰⁾。この課題を解決するために、ウエハをあらかじめ積層し、積層されたウエハに一括穴開けし、一括穴埋めを行うViaS (vertical integration after stacking) テクノロジーを開発した^{11),12)}。この技術では、薄ウエハのハンドリングや銅メッキ、シードメタル層の成膜、無機絶縁膜の高温成膜、ウエハ間に必要なバンプ形成など高価なプロセスが不要となると共に、多段積層された中の任意の

ウエハに電氣的アクセスを取ることが可能であり、シリコンウエハとはんだとの絶縁には蒸着重合法による高分子絶縁膜を用いている。本論文では、その高分子絶縁膜の信頼性を評価するために高分子絶縁膜の形成方法および高分子膜の金属に対するバリア性について検討を行う。

2. ViaS 工法による3次元ウエハ積層プロセス

ViaS 工法では Fig.1 に示すように、まず貫通ビアを形成する場所のウエハ層間絶縁膜のみを除去する。この際、厚いウエハに貼り合わせてから積層したウエハ側のみを順次薄化することにより、薄いウエハを直接ハンドリングする必要がなくなる。また、恒久的に貼り合わせられるウエハなのであることから極めて薄く加工することも可能となる。続いて、積層されたウエハに対してレジストを形成し、ドライエッチングによって一気に貫通穴を形成する。続く絶縁膜形成では高分子膜を真空蒸着重合法により貫通穴内部の全面に極めて均一な膜厚で成膜を行うことができる。はんだビアの形成にはIBMが開発したIMS (Injection Molded Solder) テクノロジー^{13),14)}により、ビア内部まで熔融はんだを充填している。

3. 高分子絶縁膜形成

ViaS のデモンストレーションでは高分子絶縁膜としてParylene-Cを用いた。装置はSpecialty Coating Systems社製

* 日本アイ・ピー・エム株式会社 東京基礎研究所 (〒212-0032 神奈川県川崎市幸区新川崎 7-7 NANOBIC 1001)
IBM Research-Tokyo (NANOBIC 1001, 7-7 Shin-Kawasaki, Saiwai-ku, Kawasaki, 212-0032 Japan)

のバリレン蒸着装置 PDS-2010 を使い、Parylene-C のダイマーを分解するための炉の温度は 690 °C、真空度は 35 Pa 以下、サンプルチャンバーの温度は常温とした。2.5 g のダイマーを原料として成膜を行い、約 3 時間（炉の昇温、および減圧時間を含む）で原料の全量が気化し、チャンバー内のサンプル表面に約 1.3 μm 厚のバリレン膜が形成された。Fig.2 に示すようにこの膜はサンプルの最表面からビア底面に至るまで、膜厚の均一性が非常に高いことが確認された。これは貫通穴の形状が例えば側壁がオーバーハングするような異形の穴が形成されたとしても全面に均一な厚みの膜が形成できることが確認されている。

Fig.1 ViaS process flow.

Fig.2 Polymer insulator deposition by VDP. (aspect ratio = 5.4)

4. はんだ注入によるビア形成

ViaS 構造の導体部分には従来の電解めっきによる銅を用いず、融点が 200 °C 前後の鉛フリーはんだを充填する。はんだは銅と比較して導電性やエレクトロマイグレーション耐性には劣るが、融点が低いことから電解めっきを用いずに、IMS 技術 (Fig.3, 4) により溶融させたはんだ金属を直接ビアに充填することができる。試作したサンプルでは SnBi (融点 139 °C) を使い、185 °C のプロセス温度にて充填をおこなった。はんだ充填前の開口部内を減圧するバキュームアシスト機能を使用することにより、アスペクト約 3 (ビア深さ/ビア開口径) のビア底部までボイド無くはんだが充填されていることが確認できた。このはんだ充填技術を用いることにより、異なる深さ、径、あるいは密度のビアを有するウエハに対しても容易に金属はんだを充填できる。また、はんだ材料に関しては、めっきでは作製が困難な多元系のはんだも用いることができ、様々な融点やその他の物性値を持つはんだ材料が選択可能である。さらには、真空蒸着重合合法同様、この IMS 技術を用いることにより異形のビアに対してもはんだを充填するが可能であることから、両技術を併せ用いることにより、これまで

Fig.3 Schematic illustration of IMS process.

Fig.4 IMS process demonstration for via filling. (30 μm - ϕ , aspect = 3)

TSVの形成において重要な課題であった無機絶縁膜およびシード金属の側壁への均一な膜形成の可否を懸念することなく TSV を容易に形成することが可能となった。

5. ViaS 構造のデモンストレーション

Fig.5 に ViaS 構造のデモンストレーションサンプルの断面写真を示す。このサンプルでは 50 μm 厚に薄化した2枚のシリコンウエハに対して一括してビアエッチング、高分子絶縁膜形成、はんだによるビア充填を行っている。ViaS 構造では、任意のウエハの配線層とビア部との間に電気接続を形成するが、中間のウエハに電極がある場合、その電極部はビア形成の際にエッチストップとなるため、その直下のシリコンはエッチングされず、階段状のビア穴が形成される。このように ViaS 構造では従来の TSV のような柱形状ではなく階段状の異形のビア形状になるが、前述したように蒸着重合法による高分子絶縁膜と IMS によるはんだ注入技術を採用することにより、非常に conformality の高い厚い絶縁膜と熔融はんだの充填による TSV が形成できる。今回のデモンストレーションでは、はんだと高分子膜の密着性を高めるために、はんだ注入前に接着層としてスパッタ法により高分子膜内壁に Ti/Cu を成膜した。また、このプロセスでは TSV 形成のために薄いウエハを直接ハンドリングするプロセスを必要としないため各層のウエハの厚みを 50 μm よりさらに薄化することが容易であり、更なる細径ビアの形成あるいはウエハの多層化が可能になることも期待される。

6. 高分子絶縁膜中の金属拡散現象

前述のように ViaS 構造では、蒸着重合法による高分子絶縁膜を採用しているため、異形のビア構造であってもビア内壁の全域にわたって非常に均一かつ厚い膜を容易に形成することができる。しかし、従来絶縁膜として採用されていたシリコン酸化膜の場合、シリコン中での拡散係数が大きい銅原子の拡散を絶縁膜だけで防ぐことができず、さらにバリアメタルを形成しているが、特に異形のビア構造となる ViaS においては物理蒸着によるバリアメタルの形成が困難となる可能性があるため絶縁膜そのものがバリア性を有することが望ましい。そこで、高分子絶縁膜への金属原子の拡散特性を評価するために、シリコンウエハ上に高分子絶縁膜と金属膜を積層させた評価サンプルを作成し、はんだ (SnBi) の充填温度である 185 $^{\circ}\text{C}$ で 45 時間熱処理した後の高分子膜中の金属原子の拡散状態を SIMS (Secondary Ion Mass Spectroscopy) により分析を行った。その結果、Fig.6 に示すように銅では長時間の高温熱処理後、金属と高分子の界面から polyimide 膜中に約 400 nm の深さまで銅原子が観測されたが、それ以上の深さでは検出されなかった。しかし、polylene-C ではおよそ 1.3 μm の膜厚内すべての領域で銅原子が確認された。これに対し、錫の場合は polyimide

Fig.5 ViaS demonstration with 2-layer-silicon-stack.

(a) Cu diffusion in polymer insulators.

(b) Sn diffusion in polymer insulators.

Fig.6 Metal diffusion in various polymer insulators.

膜中では約 500 nm、polylene-C では約 100 nm の深さまでは検出されるが、それ以降は検出されなかった。以上より ViaS 構造において高分子絶縁膜による錫原子のバリア性が確認された。また、はんだや接着層に含まれる錫以外の金属元素に関しては高分子絶縁膜によるバリア性を確認する

ことにより適切なはんだ組成と高分子膜の選択を行う必要があることが示唆された。さらに、前節のデモンストレーションサンプルにおいては、はんだの高分子膜に対するの接着層として Ti/Cu 層を形成したが、この金属拡散の結果から、接着層がない場合においても溶融はんだ注入プロセスにおいて錫元素がいくらか高分子中に拡散することから金属—高分子間に連続的な中間層が形成され、両者間の接着に寄与することも推察される。

7. ビア近傍のシリコンの内部ストレス

一般的に TSV 構造を形成する場合、導体金属とそれを取り囲むシリコンの熱膨張率が異なるため、シリコン内部にストレスが発生し、そのストレスが大きい場合、ビア近傍の半導体素子の動作への影響が懸念される⁷⁾。Fig.7 に FEM (Finite Element Method) によるモデリング結果を示す。解析では銅の TSV はアニール温度を想定した 300 °C、SnAgCu に関しては凝固温度近傍の 180 °C をそれぞれストレスフリーとなる参照温度とし、室温 (25 °C) での Si 基板内の応力を求めた。ここでは 20 μm 径のはんだ TSV と 2 μm 厚の高分子絶縁膜を持つ ViaS 構造では、同径の銅 TSV と 0.2 μm のシリコン酸化膜を持つ従来構造の TSV に対して、TSV 周囲のシリコンのストレスが大幅に低減されることが確認された。

Fig.8 に Cu / SiO₂ (0.2 μm)、Cu / parylene (2 μm)、SnAgCu / SiO₂ (0.2 μm)、SnAgCu / parylene (2 μm) の各構造におけるシリコン中のストレス値を示す。Cu / SiO₂ (0.2 μm) の場合が一番高く、Cu / parylene (2 μm)、SnAgCu / SiO₂ (0.2 μm)、SnAgCu / parylene (2 μm) の順番で Si の応力が低くなる。この結果より、はんだと高分子絶縁膜のどちらか一方を採用した場合においても従来の無機絶縁膜を持つ銅 TSV の場合に比較しシリコン内のストレスが大きく低減されることがわかる。次に高分子絶縁膜の熱膨張係数と弾性率を変化させた場合、Si の内部応力にどのように影響するかを検証した。Fig.9 に示されるように高分子絶縁膜の弾性率および熱膨張係数が小さくなるほど Si 内部のストレスが低くなる傾向にあることがわかる。この結果から、高分子絶縁膜の選択において前述の金属元素のバリア性能と併せて機械特性を考慮することによりシリコン内部のストレス低減にも寄与できることが示唆された。

8. まとめ

ViaS テクノロジーには以下のメリットが期待される。

- (1) プロセスステップの大幅な削減による設備投資およびプロセスコストの削減、Yield の向上
- (2) 高分子膜の厚膜化の容易性およびはんだと高分子膜の機械特性に起因するシリコン内部のストレス低減
- (3) 真空蒸着重合合法による高分子絶縁膜および IMS により充填されるはんだのビア内壁への高い形状追随性によ

Fig.7 FEM modeling result

Fig.8 FEM modeling result

Fig.9 FEM modeling result

る異形ビアにおける短絡回避や導体金属の未充填リスクの低減

- (4) 高分子膜の錫原子に対するバリア性
 - (5) 溶融はんだ充填法に伴うはんだ構成金属の選択枝の自由度 (低拡散元素の選択やはんだ物性の調整可)
- また、高分子絶縁膜が錫原子の拡散を防ぐ機能を有し、少なくとも錫原子に対して追加のバリア膜の導入が不要であることからさらなる製造コストの低減が期待される。今後は実際の各アプリケーションでのニーズを踏まえて、はんだ組成の最適化と、添加する錫以外の金属元素の高分子膜への拡散特性の調査および新たな高性能高分子絶縁膜の可

能性についても検証を行っていく予定である。

9. 結言

この ViaS テクノロジーの実現により、これまでコストの観点で TSV による 3 次元積層化が困難であった領域にまで 3 次元化の恩恵を届けることが可能となることが期待される。とりわけ今後 IoT の分野ではさらなる小型化および高性能化が必要とされるが、小型の異種デバイスの集積化を考える場合、製造コストおよびフットプリントの観点でウエハレベルでのプロセス技術が大幅なコスト削減を可能とし、その用途を拡大する。この ViaS テクノロジーはそのウエハレベルでの 3 次元集積化における初期投資と製造コストの大幅な削減を可能にする。今後はこの ViaS テクノロジーによる具体的な製品に向けた技術開発に取り組む予定である。

謝 辞

フォトマスク作製のためのレーザー直描装置、シリコンおよび誘電体エッチング装置、金属スパッタ装置、蒸着重合装置の利用における技術支援とアドバイスを頂きました 4 大学 (慶應義塾大学、早稲田大学、東京工業大学、東京大学) ナノ・マイクロファブリケーションコンソーシアムの皆様に心より感謝を申し上げます。

参考文献

- 1) M. G. Farooq, et al.: "3D copper TSV integration, testing and reliability", in Proc. IEEE Int. Electron Devices Meeting (IEDM), Washington, DC, Dec. 5-7, (2011) 7.1.1-7.1.4.
- 2) C. Kothandaraman, et al.: "Copper through silicon via (TSV) for 3D integration", in Proc. IEEE Reliability Physics Symposium (IRPS), Anaheim, CA, Apr. 15-19, (2012) 2B.1.1-2B.1.4.
- 3) J. U. Knickerbocker, et al.: "2.5D and 3D technology challenges and test vehicle demonstrations", in Proc. IEEE Electronic Components and Technol. Conf. (ECTC), San Diego, CA, May 29–Jun. 1, (2012) 1068-1076.
- 4) P. Batra, et al.: "Three-dimensional wafer stacking using Cu TSV integrated with 45nm high performance SOI-CMOS embedded DRAM technology", in Proc. IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), Monterey, CA, Oct. 7-10, (2013) 1-2.
- 5) J. P. Gambino, et al.: "Through-silicon-via process control in manufacturing for SiGe power amplifiers", in Proc. IEEE Electronic Components and Technol. Conf. (ECTC), Las Vegas, NV, May 27-31, (2013) 221-226.
- 6) W. Lin, et al.: "Prototype of multi-stacked memory wafers using low-temperature oxide bonding and ultra-fine-dimension copper through-silicon via interconnects", in Proc. IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S), Monterey, CA, Oct. 7-10, (2013) 1-3.
- 7) M. Murugesan, A. Horibe, et al.: "Wafer Thinning, Bonding, and Interconnects Induced Local Strain/Stress in 3D-LSIs with Fine-Pitch High-Density Microbumps and Through-Si Vias", in Proc. IEEE Int. Electron Devices Meeting (IEDM), San Francisco, CA, Dec. 6-8, (2010) 2.3.1-2.3.4.
- 8) Y. Morikawa, et al.: "Novel TSV Process Technologies for 2.5/3D Packaging", in Proc. IEEE Electronic Components and Technol. Conf. (ECTC), Orlando, FL, May 27-30, (2014) 1697-1699.
- 9) M. Murugesan, et al.: "Replacing the PECVD-SiO₂ in the Through-Silicon Via of High-Density 3D LSIs with Highly Scalable Low Cost Organic Liner: Merits and Demerits", in Proc. IEEE Electronic Components and Technol. Conf. (ECTC), Orlando, FL, May 27-30, (2014) 636-640.
- 10) B. Tung, et al.: "Investigation of Low-temperature Deposition High-uniformity Coverage Parylene-HT as a Dielectric Layer for 3D Interconnection", in Proc. IEEE Electronic Components and Technol. Conf. (ECTC), Orlando, FL, May 27-30, (2014) 1926-1931.
- 11) A. Horibe, K. Sueoka, et al.: "Through Silicon Via Process for Effective Multi-Wafer Integration", in Proc. IEEE Electronic Components and Technol. Conf. (ECTC), San Diego, CA, May 26-29, (2015) 1808-1812.
- 12) K. Sueoka, A. Horibe, et al.: "Vertical integration after Stacking (ViaS) Process for Low-cost and Low-stress 3D Silicon Integration", in Proc. IEEE 2015 International 3D Systems Integration Conf. (3DIC 2015), Sendai, Japan, Aug 30-Sep.2, (2015).
- 13) J-W. Nah, et al.: "Injection molded solder - A new fine pitch substrate bumping method", in Proc. IEEE Electronic Components and Technol. Conf. (ECTC), San Diego, CA, May 26-29, (2009) 61-66.
- 14) J-W. Nah, et al.: "Wafer IMS (Injection Molded Solder) - A new fine pitch solder bumping technology on wafers with solder alloy composition flexibility", in Proc. IEEE Electronic Components and Technol. Conf. (ECTC), Florida, USA, May 27-30, (2014) 1308-1313.