先端 LSI に向けた直接接合極薄ランタン アルミネートゲート絶縁膜

鈴木正道・富田充裕・山口 豪・小山正人

(株) 東芝研究開発センター LSI 基盤技術ラボラトリ ☎ 212-8582 神奈川県川崎市幸区小向東芝町 1

(2006 年 9 月 28 日受理)

Ultra-thin LaAlO_3 Gate Dielectrics Directly Deposited on Si Substrates for Advanced LSIs

Masamichi SUZUKI, Mitsuhiro TOMITA, Takeshi YAMAGUCHI and Masato KOYAMA

Tohiba Corporation, Corporate Research and Development Center, Advanced LSI Technology Laboratory
1 Komukai Toshiba-cho, Saiwai-ku, Kawasaki, Kanagawa 212-8582

(Received September 28, 2006)

For the development of advanced LSIs, ultra-thin high-k gate dielectrics with a direct interface between a high-k film and a Si substrate will be necessary to achieve equivalent oxide thickness (EOT) of 0.5 nm or less. LaAlO_3 that has both a high dielectric constant of 25 and good interfacial thermal stability with Si, has been considered to have a high potential for realizing such a small EOT value. In this study, a LaAlO_3 gate dielectric with both ultra-thin EOT and low leakage current was successfully fabricated by optimizing the deposition process of the dielectric. We found that the deposition of LaAlO_3 at high temperature is quite important for the excellent characteristics of LaAlO_3 gate dielectric.

1. は じ め に

Si-LSI の微細化, 高集積化のためには, 従来のゲート絶縁膜材料である SiO_2 , SiON に替えて, 一般的に high-k 膜と称される高い誘電率をもつゲート絶縁膜を用いることにより, 物理膜厚を厚くしたまま SiO_2 換算膜厚 (EOT: Equivalent Oxide Thickness) を薄くすることが, 増大するリーク電流を抑制するために不可欠である。EOT $\sim$ 1 nm 程度の膜厚が必要となる high-k ゲート絶縁膜の適用第一世代としては, Hf をベースとした酸化膜材料, HfO_2 , HfSiO , HfSiON などが有望視されており, その実用化に向けた開発が世界中で盛んに行われている¹⁾。しかしながら, 2005 年版の国際半導体技術ロードマップ²⁾によれば, Si-LSI の微細化は, 2011 年ごろにはゲート絶縁膜に対して, EOT=0.5 nm 以下までの薄膜化を要求してくる。このような極めて薄い EOT 値を実現させるためには Si 基板との界面における SiO_2 界面層の生成を抑制しなければならない。なぜならば, EOT=0.5

nm という膜厚は, SiO_2 ほんの数原子層に相当しているからである。よって, Si-LSI の微細化による高性能化を進めていくには, 誘電率の高いゲート絶縁膜を Si 基板との界面で直接接合させたヘテロ界面構造, およびそのプロセスを構築することが重要である。しかしながら, Hf 系酸化物を適用した場合には, Si 基板との界面反応層形成を完全に抑制することは困難である。

我々は, この直接接合の実現, さらにそれによる極薄 EOT ゲート絶縁膜の実現に向けて, 高い誘電率や大きなバンドギャップに加え, Si との界面で高い熱安定性を持つ材料である LaAlO_3 (ランタンアルミネート: 以下 LAO) を適用した。本稿では, 極薄 EOT と低リーク電流値を両立するランタンアルミネートゲート絶縁膜の特性と, それを実現するために重要な高温成膜プロセスの効果について述べる。

2. 実 験

全ての LAO 膜は, 希釈 HF 処理により自然酸化膜を除去, 水素終端された n 型 Si 基板 (100) 上へ, Pulsed Laser Deposition (PLD) 法によって成膜された。その際,

レーザーは波長 248 nm の KrF エキシマレーザー、ターゲットは Φ 25 mm $\times$ 5 mm の大きさの LaAlO_3 単結晶を用いた。また、成膜はチャンバーのベースプレッシャー ($\sim 4 \times 10^{-7}$ Torr) で行った。基板温度は試料によって室温 $\sim$ 700 $^{\circ}\text{C}$ まで変化させて行った。成膜後の後熱処理 (PDA: Post Deposition Anneal) は、 N_2 中および界面層生成の影響を調べるため、真空中で実施した。電気特性は、電子ビーム蒸着法で堆積させた Mo を上部電極、Al を裏面コンタクトとした MIS キャパシターを用いて評価した。

3. 結果・考察

3.1 極薄 EOT, 低リーク電流を実現する直接接合 LAO ゲート絶縁膜

“はじめに”で述べたように、LAO は Si 基板上で熱力学的に安定な化合物であり、Si 上に堆積させても SiO_2 を生成させ難い化合物である。Fig. 1 には一例として 600 $^{\circ}\text{C}$ で約 30 nm の厚さで成膜した LAO 膜と Si 基板との界面構造を表す断面 TEM (Transmission Electron Microscope) 像を載せる。誘電率が低い SiO_2 層が Si 基板との界面に存在する場合は、薄いコントラストとしてそれが観測されるが、Fig. 1 においてそれが観測されないことは、LAO が Si 基板と直接接合していることを示している。さらに、界面反応が起きていないことから、界面の平坦性も良いことがわかる。このような界面構造は、LAO の成膜温度に依存せず、室温 $\sim$ 700 $^{\circ}\text{C}$ の温度範囲

Fig. 1. X-TEM image of LaAlO_3 dielectric directly deposited on Si substrate.

Fig. 2. X-TEM image of Mo/ LaAlO_3 /Si substrate gate stack.

で成膜された場合に、いずれも Fig. 1 と同様の TEM 像が得られることが確認されている。

Fig. 2 には 700 $^{\circ}\text{C}$ で約 2 nm の LAO 膜を成膜した後、 N_2 中 200 $^{\circ}\text{C}$ 、5 分の熱処理を施し、さらにゲート電極として Mo を堆積させた後の TEM 像をのせる。Fig. 1 で観測された TEM 像と同様に、ゲート電極材料である Mo を堆積後のゲートスタック構造においても直接接合が実現できていることがわかる。Fig. 3 に、Fig. 2 におけるスタック構造において、Mo を堆積させる前に測定した Si2s XPS (X-ray Photoelectron Spectroscopy) スペクトルを載せる。Fig. 3 において観測されるのは、束縛エネルギー 150 eV 付近の Si 基板、すなわち金属状態の Si に帰属されるピークのみであり、界面層を形成する Si 酸化物層に起因したピークは観測されない。このことは、Fig. 2 の TEM 像の結果と矛盾しないと同時に、基板の Si が LAO 膜中へ拡散することなく直接接合を実現できていることを示している。

Fig. 4 には、Fig. 2 の TEM 像に示した直接接合 LAO ゲート絶縁膜を用いたキャパシターのキャパシタンス-ゲート電圧 (C-Vg) 特性、およびリーク電流-ゲート電圧 (Jg-Vg) 特性を載せる。ここに示した C-V 特性は 200 kHz と 1 MHz の 2 種類の周波数で測定された特性を用いて、2 周波法³⁾によって校正された。

Fig. 4 に示されるように、C-Vg カーブのヒステリシ

Fig. 3. Si 2s spectrum of LaAlO_3 /Si structure.

Fig. 4. C-Vg, Jg-Vg characteristics of the MIS capacitor shown in Fig. 2.

Fig. 5. Relationship between EOT and J_g for LAO in this work, reported Hf-based dielectrics and SiO_2 .

Fig. 6. O1s loss spectrum for LAO (a) and valence band spectrum for LAO/Si structure (b).

スは無視できるほど小さく、なおかつ蓄積容量は最大で $6 \mu\text{F}/\text{cm}^2$ を越える値を実現した。このカーブを、“理想カーブ”⁴⁾でフィッティングした結果も実線として同図に示す。このフィッティング結果から、EOTは0.31 nmという極めて薄い値が得られた。EOT値と膜厚から算出されるこのLAO膜の誘電率は約25であり、LAOのバルクの誘電率値と一致する。この結果もまた、このLAO膜が直接接合であることを支持している。また、 J_g - V_g 特性では、 $V_{fb}+1 \text{ V}$ におけるリーク電流値が $0.1 \text{ A}/\text{cm}^2$ と極めて小さい値が得られた。

Fig. 5は、本研究におけるLAOゲート絶縁膜のEOT、 J_g の関係を、 SiO_2 およびHf系High-k膜^{5~9)}と比較したものである。この図から、EOT=0.5 nm以下の領域においては SiO_2 に対して、およそ100万分の1にまでリーク電流を抑制できていることがわかる。さらに、Hf系High-k膜ではEOT: 0.5 nm以下のデータは得られていないが、EOT: 0.5~1 nmまでのデータで比較すると、少なくとも10分の1以下にまでリーク電流を抑制できていることがわかる。

LAOにおいてこの優れた特性を与える要因は、LAOとSi界面での伝導帯オフセット (ΔE_c) がHf系High-k膜よりも大きいことにあると推測された。そこで、XPSを用いて、LAO/Si構造のエネルギーバンドプロファイルの評価した。その際、バンドギャップは厚さ10 nm

Fig. 7. Energy-band diagram of LaAlO_3/Si gate stack structure determined with XPS.

程度の膜を用いたO1sロススペクトルを、価電子帯オフセット (ΔE_v) は厚さ3 nm程度の膜を用いた価電子帯スペクトルをそれぞれ用いて、いずれも検出角度 90° で評価した。前者では厚い膜厚の試料を用いることで、Si基板を検出しない測定が可能であり、後者では膜厚が薄いためにSi基板のシグナルを同時に検出できる。

Fig. 6 (a)には、O1sロススペクトルを、Fig. 6 (b)には価電子帯スペクトルを載せる。

O1sスペクトルのピークトップとロススペクトルの立ち上がり位置のエネルギー差から得られるバンドギャップ値は6.5 eVであった。この値は、LAO薄膜に対して報告されているバンドギャップ値と同等であった^{10~12)}。また、Fig. 7に示したように、Siの価電子帯スペクトルとLAOの価電子帯スペクトル、それぞれの立ち上がりエネルギー位置の差から得られる ΔE_v は3.0 eVであった。さらに、 ΔE_c はバンドギャップ値(6.5 eV)から ΔE_v (3.0 eV)、さらにはSiのバンドギャップ値(1.1 eV)を引くことで、2.4 eVと導出された。またこの手法の正確性を検証するために、参考文献12)に記載されているSi 2pとAl 2pの内殻準位スペクトルを用いた方法で ΔE_v を導出したところ、同じ値3.0 eVが得られた。

上記結果から得られたLAO/Si構造のエネルギーバンドプロファイルを図7に載せる。この図に示すように、例えば HfO_2 で報告されている $\Delta E_c=1.91 \text{ eV}$, $\Delta E_v=2.22 \text{ eV}$ という値¹³⁾と比して、 ΔE_c と ΔE_v の値が大きく、かつバランス良くSiとのヘテロ接合を形成していることがわかる。

3.2 高温成膜プロセスの電気特性への影響

Fig. 8には、室温(Room Temperature)で成膜されたLAO膜(以下ではRT-LAOと記述する)と、 700°C の高温(High Temperature)で成膜されたLAO膜(以下ではHT-LAOと記述する)、それぞれのC- V_g カーブにおけるヒステリシスの N_2 中での熱処理の温度依存性を載せる。熱処理時間は全ての温度条件において同一で、5

Fig. 8. Hysteresis values in CV curve for RT- and HT-LAO as a function of N₂-5 min-PDA temperature.

Fig. 9. J_g at V_g=V_{fb}+1 V for RT- and HT-LAO as a function of N₂-5 min-PDA temperature.

分間実施した。Fig. 8 に示したように、as-depo.状態の RT-LAO には大きなヒステリシスが存在するのに対し、同じく as-depo.状態の HT-LAO で観測されるのは小さなヒステリシスのみであった。さらに、この HT-LAO における小さなヒステリシスは 200°C 以上の熱処理で完全に消失するのに対し、RT-LAO における大きなヒステリシスは、300°C の熱処理後でさえも残っていた。この結果は、HT-LAO と比して RT-LAO には、熱処理により修復され難いトラップが存在していることを示している。

さらに、Fig. 9 に示したように、Fig. 8 と同様な熱処理温度依存性の傾向がリーク電流においても観測されている。Fig. 9 は、RT-LAO にはリーク電流増大をもたらす多くの欠陥が存在しているのに対し、HT-LAO に含まれるリーク電流増大をもたらす欠陥は容易に修復されることを示唆している。

以上説明したヒステリシス、リーク電流をもたらすトラップ/欠陥は、必ずしもその起源が同一であるとは言えない。しかし今回の結果から、成膜温度の高温化により、初期欠陥密度の低減が図られるとともに、PDA による膜中欠陥の修復が容易化することが判明した。

3.3 高温成膜プロセスの界面層生成抑制への効果

“はじめに” で述べたように EOT=0.5 nm 以下の特性を有するゲート絶縁膜の実現のためには、低誘電率界面

Fig. 10. Vacuum annealing temperature dependence of Si 2s XPS spectra for RT-LAO (a) and HT-LAO (b). The insets show that TEM images after annealing at 400 °C.

層の生成を抑制することが重要である。たとえ、絶縁膜堆積時に界面層が生成していなくても、その後の熱プロセスにおいて界面層が生成しては意味がない。この場合、界面層生成の起源は LAO 膜中から供給される酸素にある。本節では、この現象に対する高温成膜プロセスの効果として、真空中での熱処理温度依存性を評価した結果について述べる。

実験としては、RT-LAO, HT-LAO それぞれに対して、真空中 (4×10^{-7} Torr) で 400~600°C の温度で 5 分間の熱処理を施し、その後 XPS Si 2s のスペクトルを測定することで界面層生成の挙動を調べた。真空中の熱処理を施す前、すなわち as-depo.状態においては、界面層は成膜温度にかかわらず生成していないことが TEM 像により確認されている。しかしながら、真空中の熱処理にともなう界面層の生成挙動は、成膜温度に依存して大きく異なる。Fig. 10 (a), (b) に RT-LAO, HT-LAO それぞれの Si2s XPS スペクトルの真空中熱処理温度依存性を載せる。また、inset には、400°C 熱処理後の TEM 像も載せる。

Fig. 10 において、as-depo.状態では界面層生成を示す Si 酸化物に起因するピークは、RT-LAO, HT-LAO において観測されないが、RT-LAO は熱処理を施すことにより、そのピークが明らかに観測され、その強度は熱処理温度とともに大きくなっていった。これに比べて、HT-LAO では、今回の熱処理温度範囲において、界面層の生成は抑制できている。この結果は、inset に示した TEM 像においても同様に観測されており、RT-LAO では界面層生成を示す白いコントラストをもつ層が観測されている。成膜温度に依存したこれらの挙動の違いは成膜時の原子結合状態の違いに起因していると考えられる。そしてその違いは酸素のそれにおいて顕著に現れていた。Fig. 11 に RT-および HT-LAO の as-depo.状態の O1s XPS スペクトルを載せる。まず HT-LAO の O1s ピークはほぼ対称な形状を有しており、そのピークは単結晶 LaAlO₃ のそ

Fig. 11. O 1s spectra of the as-deposited films of RT- and HT-LAO. The arrow shows the peak energy of O 1s spectrum for LaAlO_3 single-crystal.

れと一致していたことから、ここでは、均一な酸素の結合状態で膜が形成されていることを示唆している。これに対し、RT-LAO のそれには、高束縛エネルギー側にシヨルダーピークが観測される。さらに RT-LAO に熱処理を施した場合、このピーク形状は高温成膜のそれに近づくことが確認されていることから、このシヨルダーピークを形成する成分が熱処理中に離脱して界面層を形成すると考えられた。

そこで、このシヨルダーピークを構成する成分についての知見を得るため、TDS (Thermal Desorption Spectroscopy) により RT-LAO, HT-LAO それぞれの真空中熱処理中の膜中からの脱離成分の分析を試みた。TDS 分析結果における両試料の違いは、Fig. 12 に示した、質量数 17, 18 すなわち OH, H_2O のスペクトルにおいて顕著に現れた。RT-LAO, HT-LAO において 200°C 近辺で現れる共通のピークは、試料表面に吸着している水分に帰属される。ここで着目すべきは 400°C 近辺で現れるピークで、これは、膜中の OH (質量数 17), H_2O (質量数 18) に帰属される成分であり、RT-LAO のこのピークの強度は HT-LAO の 10 倍程度にもなる。すなわち、室温で LAO を成膜した場合、膜中には多量の OH 基、 H_2O が存在しており、これが 400°C の熱処理中に脱離、そして Si 基板と反応することが界面層生成の一因であると考えられる。

また、TDS スペクトルでは 400°C 以上ではピークが観測されないのに対し、RT-LAO の XPS Si 2s のスペクトルでは熱処理温度 600°C になると Si 酸化物ピークの顕著な増大が、熱処理温度 400°C で見られたピークから 1 eV 程度低束縛エネルギー側の 152 eV 近傍で観測されている。 SiO_2 から 1 eV 程度の低束縛エネルギー側へのシフトは La, Al, Si, O から構成されるシリケートであることが報告されていることから¹⁴⁾、RT-LAO においては、 600°C の熱処理により Si が LAO 膜中へ拡散してシリケートを形成している可能性が高い。

Fig. 12. TDS spectra of mass 17 (a) and 18 (b) for RT-LAO and HT-LAO.

以上のように、RT-LAO の XPS 実験におけるシリコン酸化物ピークには、LAO 膜中残留 OH, H_2O によるシリコン基板再酸化と、基板から LAO 膜への Si 拡散に伴うシリケート形成、の 2 つの異なる過程からなる、2 種のシリコン酸化物が含まれている。そして強固な構造をもつ HT-LAO ではいずれの過程によるシリコン酸化物の生成も抑制できる。

Fig. 12 の TDS 測定で観測された成膜温度の違いによる OH 成分の違いは Fig. 8 のヒステリシスの挙動と相関があると推測される。OH 基が脱離した場合、そこがキャリアトラップとなる可能性があるからである。今回の実験では、Fig. 8 では残存酸素を含む大気圧 N_2 中の熱処理で保持時間 5 分であったのに対し、TDS 測定では超高真空中で $1^\circ\text{C}/\text{秒}$ で昇温していることから、Fig. 8 と Fig. 12 のデータを直接比較をすることができないが、同じ熱処理条件で評価すれば、膜中 OH 基とヒステリシスとの相関が明確になると思われる。

4. まとめと今後の展望

Si 基板と直接接合し、EOT ~ 0.31 nm, リーク電流 (@ $\text{Vfb} + 1$ V) $= 0.1$ A/ cm^2 という極めて優れた性能をもつ LAO ゲート絶縁膜をプロセス最適化により実現した。重要なプロセスは成膜温度を高温に設定することであり、室温で成膜した場合に比して、高温で成膜した場合

①膜中の欠陥量を少なくする。

②熱処理中の界面層生成を抑制できる。

という効果があることがわかった。

本稿で述べたように、ランタンアルミネートは EOT やリーク電流といったゲート絶縁膜としての基礎的な特性において極めて高いポテンシャルを有していることがわかった。ただし、本稿で述べた直接接合のようなヘテロ界面においては界面準位密度が高く、キャリア移動度が低くなってしまうことが予想される。今後は、このヘテロ界面でのキャリア移動度の評価を、そこで発生する欠陥の修復プロセスの開発¹⁵⁾とともに進めていく。

文 献

- 1) 例えば M. Koyama, A. Kaneko, T. Ino, M. Koike, Y. Kamata, R. Iijima, Y. Kamimuta, A. Takashima, M. Suzuki, C. Hongo, S. Inumiya, M. Takayanagi and A. Nishiyama: IEDM Tech. Dig. (2002) p. 849.
- 2) International Technology Roadmap for Semiconductors 2005 edition. ([http://www.itrs.net/Links/2005 ITRS/Home 2005.htm](http://www.itrs.net/Links/2005%20ITRS/Home%202005.htm)).
- 3) K.J. Yang and C. Hu: IEEE Trans. Electron Devices **46**, 1500 (1999).
- 4) N. Yasuda, T. Yamaguchi, Y. Nishikawa, H. Satake and N. Fukushima: Ext. Abstr. IWGI (2001) p. 212.
- 5) S.D. Gendt, J. Chen, R. Carter, E. Cartier, M. Caymax, M. Claes, T. Conar, A. Delabiel, W. Deweerd, V. Kaushik, A. Kerber, S. Kubicek, J.W. Maes, M. Niwa, L. Pantisano, R. Puurunen, L. Ragnarsson, T. Schram, Y. Shimamoto, W. Tsai, E. Rohr, S.V. Elshocht, T. Witters, E. Young, C. Zhao and M. Heyns: Ext. Abstr. IWGI (2003) p. 10.
- 6) M. Koike, T. Ino, Y. Kamimuta, M. Koyama, Y. Kamata, M. Suzuki, Y. Mitani, A. Nishiyama and Y. Tsunashima: IEDM Tech. Dig. (2003) p. 107.
- 7) M.I. Gardner, S. Gopalan, J. Gutt, J. Peterson, H.-J. Li and H.R. Huff: Ext. Abstr. IWGI (2003) p. 170.
- 8) S.J. Lee, H.F. Luan, W.P. Bai, C.H. Lee, T.S. Jeon, Y. Senzaki, D. Roberts and D.L. Kwong: IEDM Tech. Dig. (2000) p. 39.
- 9) C. Choi, C.Y. Kang, S.J. Rhee, M.S. Abkar, S.A. Krishna, M. Zhang, H. Kim, T. Lee, F. Zhu, I. Ok, S. Kovesnikov and J.C. Lee: Symp. VLSI Tech. (2005) p. 226.
- 10) A.-D. Li, Q.-Y. Shao, H.-Q. Ling, J.-B. Cheng, D. Wu, Z.-G. Liu, N.-B. Ming, C. Wang, H.-W. Zhou and B.-Y. Nguyen: Appl. Phys. Lett. **83**, 3540 (2003).
- 11) X.-B. Lu, Z.-G. Liu, Y.-P. Wang, Y. Yang, X.-P. Wang, H.-W. Zhou and B.-Y. Nguyen: J. Appl. Phys. **94**, 1229 (2003).
- 12) L.F. Edge, D.G. Schlom, S.A. Chambers, E. Cicerella, J. L. Freeouf, B. Hollaönder and J. Schubert: Appl. Phys. Lett. **84**, 726 (2004).
- 13) H.Y. Yu, M.F. Li, B.J. Cho, C.C. Yeo, M.S. Joo, D.-L. Kwong, J.S. Pan, C.H. Ang, J.Z. Zheng and S. Ramanathan: Appl. Phys. Lett. **81**, 376 (2002).
- 14) X.B. Lu, Z. G. Liu, G.H. Shi, H.Q. Ling, H.W. Zhou, X.P. Wang and B.Y. Nguyen: Appl. Phys. **A 78**, 921 (2004).
- 15) A. Takashima, Y. Nishikawa, T. Schimizu, D. Matsushita, M. Suzuki, T. Yamaguchi and N. Fukushima : EXT. Abst. Solid State Device Meeting (2006) p. 214.