原子層堆積法と Ti キャップアニールによる極薄 SiO₂ 換算膜厚を持つ high- k ($k=40$) HfO₂ ゲートスタックの形成

森田行則・右田真司・水林 亘・太田裕之

産業技術総合研究所 ナノエレクトロニクス研究部門 ☎ 305-8569 茨城県つくば市小野川 16-1

(2012 年 7 月 17 日受付; 2012 年 8 月 22 日掲載決定)

Extremely Scaled Equivalent Oxide Thickness of High- k ($k=40$) HfO₂ Gate Stacks Prepared by Atomic Layer Deposition and Ti Cap Anneal

Yukinori MORITA, Shinji MIGITA, Wataru MIZUBAYASHI and Hiroyuki OTA

NeRI AIST, 16-1 Onogawa, Tsukuba, Ibaraki 305-8569

(Received July 17, 2012; Accepted August 22, 2012)

We fabricate ultra-thin HfO₂ gate stacks of very high permittivity value by using atomic layer deposition (ALD) and Ti-cap post deposition annealing. The HfO₂ layer is directly deposited on hydrophilicized Si surface by ALD. A cubic crystallographic phase is generated in ALD-HfO₂ by short time annealing with Ti capping layer. The Ti layer absorbs residual oxygen in HfO₂ layer. The reduced oxygen concentration during annealing suppresses the growth of the interfacial SiO₂ layer. The dielectric constant of ALD-HfO₂ is enhanced to ~ 40 , and extremely scaled ~ 0.2 nm equivalent oxide thickness of total gate stack is obtained.

KEYWORDS : high- k , HfO₂, Si, EOT, atomic layer deposition

1. は じ め に

大規模集積回路 (Large scale integration : LSI) 中に作り込まれている MOSFET (Metal-oxide-semiconductor field-effect transistor) のゲート絶縁膜には従来二酸化シリコン (SiO₂) が用いられてきたが, 近年の微細化にともなうゲート絶縁膜の薄膜化により, ゲート電極からチャネルへの直接トンネル電流に起因する消費電力増大が深刻となった。スケーリング則を維持したままこの問題を解決するため, HfO₂, HfAlO, HfSiO 等の「高誘電率 (high- k) ゲート絶縁膜」が用いられるようになった。これはゲート絶縁材料の誘電率を大きくすることで SiO₂ 換算膜厚 (Equivalent oxide thickness : EOT) をスケーリング則に従い薄膜化しつつ, 実際の絶縁膜厚を増加させて直接トンネル電流を低減しようという手法である。

しかし, high- k ゲート絶縁膜の導入以降もデバイスの微細化は進行し, 22 nm 以降の技術ノードで必要とされるゲート絶縁膜の EOT は 0.5 nm 以下に達する。低誘電率の SiO₂ 界面層を挿入せずに, 比誘電率が 13~26 程度の high- k 材料を直接 Si 上に堆積したとしても, 絶縁層厚さは高々 2 nm 程度となり, ゲート電極からチャネルへの直接トンネル電流の低減が high- k ゲートスタックにおいても課題となる¹⁻⁶⁾。0.5 nm 以下の EOT 領域でスケーラビリティを確保するためには, 従来の high- k 材料よりもさらに誘電率の大きな「higher- k ($k>30$)」材料を用いる必要がある⁷⁻¹⁹⁾。

直接接合 higher- k ゲートスタック形成手法として我々は, 酸素制御 cap-PDA (Post deposition annealing) 法を開発した¹⁹⁾。この手法は, HfO₂ 上に酸素吸収効果の高い Ti cap 層を堆積し, 急速加熱処理を行うことによって界面 SiO₂ 層の形成を抑制すると同時に, monoclinic-HfO₂ 結晶相 (m -HfO₂) よりも高誘電率の cubic-HfO₂ 結晶相 (c -HfO₂) を形成する技術である。今回我々は, 原

子層堆積法 (Atomic layer deposition: ALD) で形成した直接接合 HfO_2 層に対しこの手法を適用し、極限的に低減された EOT を持った higher- k ゲートスタック形成を目的として実験を行った²⁰⁾。

2. 実 験

Fig. 1, 2 に HfO_2 の誘電率増大手法の概念を示す^{10, 12, 19, 20)}。Fig. 1 (a), (b) は、Si 基板上にスパッタを用いて HfO_2 層と TiN 層を堆積した直後 (a), および TiN キャップアニールを行った後 (b) の透過電子顕微鏡による断面像 (X-TEM) である。また、Fig. 1 (c), (d) はそれぞれ (a), (b) に対応する X 線回折 (XRD) スペクトルである。熱処理前はアモルファスであった HfO_2 ($a\text{-HfO}_2$) が、TiN キャップ層を堆積した状態で急速短時間加熱処理を行うと、高誘電率の cubic 相 ($c\text{-HfO}_2$) に結晶化しているのがわかる。しかしながら、X-TEM 像から、熱処理後には界面に厚い SiO_2 層が形成されており、ゲートスタック全体では EOT はそれほど低減されてはいない。これは、アモルファスから cubic 相への結晶化の際に放出された酸素が HfO_2/Si 界面を酸化したものである。界面層増膜を抑制し、より薄膜化された EOT を得るために、改良された酸素制御 cap-PDA

Fig. 1. (color online). Concept of permittivity enhancement in HfO_2 gate stacks by the cap-PDA technique. (a) and (b) show X-TEM images of HfO_2 gate stacks before and after cap-PDA with a TiN capping layer, respectively. The gate stack structures are also shown. (c) and (d) show XRD spectra for TiN-capped HfO_2 before and after cap-PDA, respectively. By using abrupt and short-time annealing with a capping layer, amorphous HfO_2 crystallizes into the cubic phase. The dielectric constant of cubic HfO_2 is enhanced to be ~ 50 . However, a SiO_2 interfacial layer (IL) grew simultaneously because of the oxygen released during crystallization.

法では TiN ではなく酸素吸収効果の大きい Ti をキャップ層として用いる。Ti は、Ti 酸化物を形成することなくおよそ 30 at% の酸素を吸収することが知られている²¹⁾。Fig. 2 (b) のように、熱処理中に発生した酸素を直接 Ti 層に吸収させることで、界面 SiO_2 層の形成を抑制する¹⁹⁾。

Fig. 3 は実験の手順である。基板には p-Si(001) を用いた。犠牲酸化膜をフッ酸処理により剥離し、さらに表面水素を除去、 H_2O 暴露により表面結合を OH 基で終端させた後、ALD 法を用いて 2.1~5.0 nm の HfO_2 層を Si 基板上に直接堆積した⁵⁾。用いたプリカーサは TDMAH ($\text{Hf}[\text{N}(\text{CH}_3)_2]_4$) および水、堆積温度は 250°C である。引き続きスパッタを用いてキャップ層として Ti と TiN ゲート電極を堆積し、アニールを行った。TiN を Ti 上に堆積する際、窒素プラズマへの暴露、TiN/Ti 界面での

Fig. 2. Concept of IL suppression by the cap-PDA in the present study. In (a), TiN hardly absorbs oxygen, and then, oxygen released from HfO_2 oxidizes Si substrate. In (b), the improved oxygen-controlled cap-PDA uses a Ti capping layer, which has strong oxygen absorptivity. Reduction of oxygen during PDA suppresses SiO_2 IL formation.

Fig. 3. Sample preparation procedure in this experiment. The HfO_2 layer was directly deposited on OH-terminated Si without a SiO_2 IL. Source and drain regions were preferentially formed for the gate last FET.

合金化等の影響で、ある程度の Ti 層は窒化される。正確な Ti 膜厚は、Ti と窒素の比率が連続的に変化する影響もあり、決定するのが困難である。本実験では Ti の堆積膜厚をそのまま変数として用いた。

一般的に、熱平衡状態で加熱処理を行った HfO_2 では、低温で熱的に安定な monoclinic 相 ($m\text{-HfO}_2$) が形成される^{12, 22, 23)}。低温で準安定な cubic 相形成のためには、熱処理中の温度保持時間を短くする、すなわち急速加熱で目標温度に達した後、速やかに加熱を停止し、試料を冷却することが重要である。今回は、急速加熱後の到達温度を処理温度とした。Ti キャップアニールの後、ゲート電極のパターニングを行い、電気特性を測定した。

Ti 等の、酸素吸収効果の大きい金属キャップ層を HfO_2 に堆積し熱処理を行った場合に、キャップ層から注入された酸素空孔が界面 SiO_2 を分解し、EOT を薄膜化する “Interlayer scavenging” と呼ばれる現象があることが知られている^{1, 3, 4, 24~26)}。我々の行った検証によると、この手法での SiO_2 の分解は制御が難しく、過剰な SiO_2 分解による Si-Hf 間のシリサイド化が界面の電気特性を著しく劣化させる危険があることがわかった。そこで、今回の実験では、Ti 堆積膜厚とアニール温度を制御し、Interlayer scavenging を避けるように条件設定を行った¹⁹⁾。

3. 実験結果

ALD 法により堆積した HfO_2 膜に対する Ti キャップアニールの物理的効果を検証した。Fig. 4 は HfO_2 膜厚 (a) 2.4, (b) 3.2 nm での Ti キャップアニール後の断面 TEM 像である。Ti 堆積膜厚は約 6 nm、アニール温度は 910°C である。(a) および (b) のどちらの場合でも界面 SiO_2 層は観察されず、熱処理後も HfO_2/Si の直接接合ゲートスタックが維持されている。Fig. 5 は 2.4 nm の HfO_2 に対し Ti キャップアニールを行った後に (a) 表面側および (b) 裏面側からの二次イオン質量分析による深さ方向元素分析結果である。(a) では酸素および Si, (b) では Ti の深さ方向での濃度 (atoms/cm^3) を示している。 910°C での Ti キャップアニール後には、TiN/Ti 膜中での酸素原子濃度が増加しているのがわかる。この酸素は熱処理中に HfO_2 から放出されたものと考えられ、Ti 層が効率的に酸素原子を吸収していることを示している。Si 原子の深さ方向分布に関しては、熱処理前と後に変化はない。このことは、 HfO_2/Si 界面で SiO_2 の分解に起因する Si 原子放出および TiN/Ti 中への拡散がないということで、Interlayer scavenging が回避されていることの証拠といえる¹⁹⁾。

また、(b) の Ti 濃度の分析結果では、cap-PDA 後におよそ $2 \times 10^{20} \text{ atoms}/\text{cm}^3$ の Ti 原子が HfO_2 中に拡散していることがわかる。この濃度は HfO_2 中に約 1% の Ti が添加されたことに相当する。この値は非常に低濃度で、Ti の HfO_2 中への拡散が HfO_2 の結晶化には影響を及ぼさないと考えられる^{27, 28)}。

Fig. 6 は膜厚 (a) 2.4 および (b) 3.2 nm の HfO_2 を Ti キャップアニール処理した後の XRD スペクトルである。膜厚 2.4 nm では $c\text{-HfO}_2$ が主に存在している。しかし、膜厚を 3.2 nm まで増加させると、cubic 相とともに monoclinic 相 ($m\text{-HfO}_2$) も生成されることが示されている。

次にキャパシタの電気特性を測定した。Fig. 7 は TiN/Ti/ HfO_2/Si ゲートスタックの容量-電圧 (C-V) 測定結果である。Ti キャップアニール温度は 910°C 、Ti の堆積膜厚は 6 nm である。測定結果は 500 kHz および 1 MHz での測定結果から 2 周波補正を行ったものを示した。 HfO_2 の堆積膜厚を減少させるに従い容量値が大き

Fig. 4. X-TEM images of the TiN/Ti/ALD- HfO_2 /Si gate stacks after the cap-PDA at 910°C . No SiO_2 IL is observed, and the HfO_2 layers crystallize in both the 2.4 and 3.2 nm cases. (See Fig. 6.)

Fig. 5. (color online). (a) Front- and (b) back-side SIMS of the TiN/Ti/ALD- HfO_2 /Si stacks, confirming the distribution of O, Si and Ti atoms. The cap-PDA temperature was 910°C .

Fig. 6. (color online). In-plane XRD for 2.4 and 3.2 nm ALD-HfO₂ after the cap-PDA at 910°C. The indexed c and m peaks indicate the cubic and monoclinic phases of HfO₂, respectively. The signals from TiN crystals are also observable.

Fig. 7. (color online). C-V curves of TiN/Ti/ALD-HfO₂/Si nMOS gate capacitors. The data were frequency-corrected with 500 kHz and 1 MHz. The Ideal C-V curve is simulated by MIRAI-ACCEPT.

くなっている。特に HfO₂ 2.4 nm では、理想的 C-V 曲線とのフィッティングから 0.25 nm というきわめて薄い EOT が推定される²⁹⁾。

Fig. 8 は EOT 0.25 nm のゲートスタックのインピーダンス測定結果である。ゲート電圧は -0.4 および -0.8 V とした。複素インピーダンスの実部と虚部の測定結果とともに、それぞれのシミュレーション結果をプロットしてある。シミュレーションには、Fig. 8 右に示した high-*k* 膜および界面単位、表面容量に対応するインピーダンス成分の直列接続モデルを用いた¹⁵⁾。測定結果に対するフィッティングはきわめて良く一致しており、本実験における EOT=0.25 nm の見積りの正当性を示している。

Fig. 9 は HfO₂ の物理膜厚 (T_{Phys}) と、キャパシタの容量値から算出した EOT との関係である。HfO₂ 膜厚はエリブソメータで測定した。HfO₂ の膜厚が 2.6 nm 以下ではゲートスタックの EOT はきわめて薄い値を示し、比誘電率はおよそ 40 と推定される。しかし、膜厚が 2.6 nm を超えると EOT は急激に増大し、比誘電率は約 18 まで悪化する。これらの値は断面 TEM 測定の結果と一

Fig. 8. (color online). Z-*f* measurements of TiN/Ti/ALD-HfO₂/Si gate stacks of 0.25 nm EOT. Simulated curves are also plotted on the basis of the three-component device model shown on the right. The simulated curves agree with the measured Z-*f* values. This validates the 0.25 nm EOT in this experiment.

Fig. 9. (color online). EOT- T_{Phys} plot for the TiN/Ti/ALD-HfO₂/Si gate stacks. Two different trends of the dielectric constant can be recognized.

致する。約 40 という大きい比誘電率は HfO₂ の結晶構造が cubic 相となったことに起因すると思われる。また、厚い膜厚での比誘電率の劣化は、XRD 分析の結果見られた monoclinic 相の発生による膜全体の比誘電率の低下を示唆している (Fig. 6)。

Fig. 10 は TiN/Ti/HfO₂/Si キャパシタのリーク電流密度 (J_g) のゲート電圧依存性である。HfO₂ の EOT は 0.22~0.95 nm である。EOT を減少させるに従い J_g が増加するのがわかる。**Fig. 11** は TiN/Ti/HfO₂/Si キャパシタの J_g -EOT プロットである。 J_g は $V_{\text{FB}} = -1$ V での値を用いた。比較のため、比誘電率が約 13 の直接接合 HfO₂ ゲートスタックでの値もプロットしてある⁶⁾。 $k=13$ の HfO₂ ゲートスタックのリーク電流に比較して、 $k=40$ の higher-*k* HfO₂ ゲートスタックでは約 3 桁の低減

Fig. 10. (color online). J_g - V_g plots for the TiN/Ti/ALD- HfO_2 /Si gate stacks. The EOT values of the gate stacks are 0.22, 0.25, 0.38, 0.4, 0.62 and 0.95 nm.

Fig. 11. (color online). J_g -EOT plots for the TiN/Ti/ALD- HfO_2 /Si gate stacks. The trend of direct-contact HfO_2 gate stacks ($k=13$) is also plotted for comparison.

を示している。これは比誘電率の増大により HfO_2 の物理膜厚を増加させることができたので、それによる直接トンネル電流低減によるものであると考えられる。

4. 考 察

Fig. 6 に示したように、膜厚 2.4 nm の HfO_2 を 910°C で Ti キャップアニールすると、堆積直後はアモルファスであった膜が cubic 相に結晶化する。しかし、 HfO_2 膜厚が 3.2 nm では、cubic 相とともに monoclinic 相が生成されている。この膜厚に依存した結晶化傾向は Fig. 9 の EOT- T_{Phys} プロットからも示され、低誘電率の monoclinic 相の生成は膜全体の比誘電率の低下の一因である可能性が高い。

以前の研究において、ALD 法ではなくスパッタを用いた HfO_2 膜に対し Ti キャップアニールを行ったところ、膜厚 5~15 nm のいずれの膜厚でも cubic 相に結晶化するのが確認された^{10, 12, 19)}。このことは、 HfO_2 膜の厚膜化それ自体は cubic 相への結晶化を妨げることはないことを示している。このスパッタ HfO_2 膜に対する実験では Ti のほかに酸素吸収効果を持たない TiN でも同様

の cubic 相への結晶化が観察された。すなわち、キャップ層の材質および酸素吸収にも依存しない。

考えられる原因としては、ALD 由来の膜中不純物の影響があげられる。ALD で堆積した膜に対しては、プリカーサ中の未反応の官能基や残留した H_2O を除去するための PDA が重要である。しかし今回の実験では Ti キャップ堆積後に PDA を行っているため、キャップ層がこれらの脱離を阻害し、その結果残留した不純物が不安定な cubic 相への結晶化を阻害している可能性がある。膜厚が厚いほど膜中の不純物は増加し、結晶化の初期において cubic 相形成を阻害してより安定な monoclinic 相の形成を促進する。広い T_{Phys} の領域に渡って cubic 相への結晶化を促すためには、膜中に存在する ALD 由来の不純物低減が重要であると考えられる。

今回の実験では HfO_2 の物理膜厚は最も薄い値で約 2 nm であった。この物理膜厚をさらに薄膜化した場合、直接トンネルによるリーク電流が指数的に増加すると予想される。よって、さらに EOT のスケールを試みる場合、膜の誘電率を増大させることは理に適っている。しかし、誘電率の増大に基づく弊害も指摘されている。たとえば、 $k > 25$ の高誘電率ゲートスタックで、トランジスタの短チャネル効果による性能劣化が顕著化することが報告されている³⁰⁾。また、Si の導電帯に対する実効障壁高さ (Φ_B) が低下し、却ってリーク電流が増加することが報告されている^{13, 31, 32)}。今回の実験で用いた $c\text{-HfO}_2$ に関しては、そのバンドギャップおよび Φ_B は $m\text{-HfO}_2$ と大きく変わらないことが過去の実験で示されている¹²⁾。また、今回測定した Fig. 11 の J_g -V 特性に対し Fowler-Nordheim プロットを行い、 $m\text{-HfO}_2$ の Φ_B を推定したところ、 $m\text{-HfO}_2$ での値とおおよそ一致することがわかった^{32, 33)}。しかし、一般的には誘電率の増加に伴い Φ_B は低下する傾向にある。誘電率と Φ_B との関係に注意を払い、今後の higher- k 材料の開発を行うことが重要である。

5. ま と め

ALD 法により形成した HfO_2 ゲート絶縁膜を cubic 相へ結晶化させることにより、“higher- k ” HfO_2 ゲートスタックを形成した。 SiO_2 界面層を持たない直接接合ゲートスタック構造で、 HfO_2 の比誘電率約 40、EOT 約 0.2 nm を実現した。

謝 辞

産業技術総合研究所ナノデバイスセンターからの技術支援に感謝の意を表す。本研究は新エネルギー・産業技術総合開発機構 (NEDO) からの委託により半導体

MIRAI プロジェクトにおいて実施された。また、本研究は MIRAI high- k グループのすべてのメンバーの多大な貢献に基づくものである。

文 献

- 1) C. Choi, C.Y. Kang, S.J. Rhee, M.S. Abkar, S.A. Krishna, M.H. Zhang, H. Kim, T. Lee, F. Zhu, I. Ok, S. Kovesnikov and J.C. Lee : Symp. VLSI Tech. Dig. (2005) p. 226.
- 2) N. Miyata : Appl. Phys. Lett. **89**, 102903 (2006).
- 3) T. Ando, M.M. Frank, K. Choi, C. Choi, J. Bruley, M. Hopstaken, M. Copel, E. Cartier, A. Kerber, A. Callegari, D. Lacey, S. Brown, Q. Yang and V. Narayanan : IEDM Tech. Dig. (2009) p. 394.
- 4) K. Choi, H. Jagannathan, C. Choi, L. Edge, T. Ando, M. Frank, P. Jamison, M. Wang, E. Cartier, S. Zafar, J. Bruley, A. Kerber, B. Linder, A. Callegari, Q. Yang, S. Brown, J. Stathis, J. Iacoponi, V. Paruchuri and V. Narayanan : Symp. VLSI Tech. Dig. (2009) p. 138.
- 5) Y. Morita, A. Hirano, S. Migita, H. Ota, T. Nabatame and A. Toriumi : Appl. Phys. Express **2**, 011201 (2009).
- 6) Y. Morita, S. Migita, N. Taoka, W. Mizubayashi and H. Ota : Ext. Abstr. SSDM (2009) p. 52.
- 7) K. Kita, K. Kyuno and A. Toriumi : Appl. Phys. Lett. **86**, 102906 (2005).
- 8) M. Suzuki, M. Tomita, T. Yamaguchi and N. Fukushima : IEDM Tech. Dig. (2005) p. 445.
- 9) Y. Zhao, K. Kita, K. Kyuno and A. Toriumi : Appl. Phys. Lett. **89**, 252905 (2006).
- 10) Y. Watanabe, H. Ota, S. Migita, Y. Kamimuta, K. Iwamoto, M. Takahashi, A. Ogawa, H. Ito, T. Nabatame and A. Toriumi : ECS Trans. **11** (2007) p. 35.
- 11) H. Arimura, N. Kitano, Y. Naitou, Y. Oku, T. Minami, M. Kosuda, T. Hosoi, T. Shimura and H. Watanabe : Appl. Phys. Lett. **92**, 212902 (2008).
- 12) S. Migita, Y. Watanabe, H. Ota, H. Ito, Y. Kamimuta, T. Nabatame and A. Toriumi : Symp. VLSI Tech. Dig. (2008) p. 152.
- 13) J. Robertson : J. Appl. Phys. **104**, 124111 (2008).
- 14) M.M. Frank, S. Kim, S.L. Brown, J. Bruley, M. Copel, M. Hopstaken, M. Chudzik and V. Narayanan : Microelectron. Eng. **86**, 1603 (2009).
- 15) C.Z. Zhao, S. Taylor, M. Werner, P.R. Chalker, J.M. Gaskell and A.C. Jones : J. Vac. Sci. Technol. B **27**, 333 (2009).
- 16) S. Kim, S.L. Brown, S.M. Rossnagel, J. Bruley, M. Copel, M.J.P. Hopstaken, V. Narayanan and M.M. Frank : J. Appl. Phys. **107**, 054102 (2010).
- 17) S. Migita, Y. Morita, W. Mizubayashi and H. Ota : IEDM Tech. Dig. (2010) p. 269.
- 18) H. Arimura, S.L. Brown, A. Callegari, A. Kellock, J. Bruley, M. Copel, H. Watanabe, V. Narayanan and T. Ando : IEEE Electron Device Lett. **32**, 288 (2011).
- 19) Y. Morita, S. Migita, W. Mizubayashi and H. Ota : Jpn. J. Appl. Phys. **50**, 10PG01 (2011).
- 20) Y. Morita, S. Migita, W. Mizubayashi and H. Ota : Jpn. J. Appl. Phys. **51**, 02BA04 (2012).
- 21) M. Hansen : "Constitution of Binary Alloys", (McGraw-Hill, New York, 1958) p. 1068.
- 22) Y. Nakajima, K. Kita, T. Nishimura, K. Nagashio and A. Toriumi : ECS Trans. **28** (2010) p. 203.
- 23) Y. Nakajima, K. Kita, T. Nishimura, K. Nagashio and A. Toriumi : Symp. VLSI Tech. Dig. (2011) p. 84.
- 24) S.Q. Wang and J.W. Mayer : J. Appl. Phys. **64**, 4711 (1988).
- 25) S.W. Russell, J.W. Strane, J.W. Mayer and S.Q. Wang : J. Appl. Phys. **76**, 257 (1994).
- 26) V. Misra, G.P. Heuss and H. Zhong : Appl. Phys. Lett. **78**, 4166 (2001).
- 27) S.J. Rhee, C.S. Kang, C.H. Choi, C.Y. Kang, S. Krishnan, M.H. Zhang, M.S. Akbar and J.C. Lee : IEDM Tech. Dig. (2004) p. 837.
- 28) M. Li, Z. Zhang, S.A. Campbell, W.L. Gladfelter, M.P. Agustin, D.O. Klenov and S. Stemmer : J. Appl. Phys. **98**, 054506 (2005).
- 29) N. Yasuda, H. Ota, T. Horikawa, T. Nabatame, H. Satake, A. Toriumi, Y. Tamura, T. Sasaki and F. Ootsuka : Ext. Abstr. SSDM (2005) p. 250.
- 30) G.C.F. Yeap, S. Krishnan and L. Ming-Ren : Electronics Letters **34**, 1150 (1998).
- 31) 小池正浩, 西山 彰 : 特開 2000-58831 (2000).
- 32) J. Robertson : J. Vac. Sci. Technol. B **18**, 1785 (2000).
- 33) Z. Weinberg : J. Appl. Phys. **53**, 5052 (1982).