LSIの配線技術と表面科学

中 村 友 二

(株) 富士通研究所 ㊚ 243-0197 神奈川県厚木市森の里若宮 10-1

(2014 年 2 月 25 日受付 ; 2014 年 3 月 10 日掲載決定)

LSI Interconnect Technology and Surface Science

Tomoji NAKAMURA

Fujitsu Laboratories Ltd., 10-1 Morinosato-Wakamiya, Atsugi, Kanagawa 243-0197

(Received February 25, 2014 ; Accepted March 10, 2014)

Significant advances in LSI interconnect technologies over the past two decades are overviewed especially for comparing Cu/Low- κ interconnects with previous Al interconnects. Cu damascene processes, Low- κ dielectric and barrier metal materials, and typical reliability failures such as the electro-migration (EM), the stress-migration (SM) and the time-dependent dielectric breakdown (TDDB) are described as key concerns about the miniaturization of Cu/Low- κ interconnects.

KEYWORDS : Cu interconnects, Low- κ dielectrics, damascene process, electro-migration, stress-migration

1. は じ め に

パソコン, 携帯電話, スマートフォン等に代表される現代のデジタル電子機器の普及は, その心臓部であるマイクロプロセッサ (MPU) やアプリケーションプロセッサ, メモリ LSI やセンサ LSI の高性能化と低価格化に依るところが大きい。これらの性能向上は, その構成要素であるトランジスタおよび配線の 30 年以上に渡る微細化により推し進められてきた。たとえば, 電源電圧を一定にして, トランジスタの基本寸法であるゲート長, ゲート幅をそれぞれ 1/2 に縮小すると, トランジスタ内部での信号の遅れ (ゲート遅延) が 1/2 となり, 動作速度の高速化が可能となる¹⁾。

Fig. 1 は国際半導体技術ロードマップ ITRS (International Technology Roadmap for Semiconductors) に記された LSI 多層配線の断面模式図と, 最小配線寸法の推移とを示している²⁾。図中の 1999~2009 で示された線は, それぞれの年に改訂された 15 年先までの配線幅の要求値である。この要求シナリオ (微細化の目標値) に沿って中期, 長期の開発が進められてきた。2009 年の線が

1999 年より下にずれているのは, この 10 年間に LSI 配線の微細化が ITRS の要求値を前倒しして, より積極的に推し進められてきたことを示している。

このように寸法が縮小化され, 単位面積に詰め込めるトランジスタの数が増すと, より大規模な回路を一つのチップ上に形成することが可能になる。それが電子機器の小型化, 低価格化を牽引してきたわけだが, トランジ

Fig. 1. (color online). Minimum line-width of Cu interconnects according to ITRS (International Technology Roadmap for Semiconductors) 1999, 2004, and 2009. Insertion is a schematic cross-section of multi-layer Cu interconnects.

Fig. 2. (color online). Schematic cross-sections (a) Al wiring, (b) Al wiring with W-vias, and (c) Cu/Low- κ wiring.

スタや受動部品を結線する配線パターンは複雑化しその数が増大する。配線幅や間隔の縮小だけではスペースが足りず、配線の多層化が必要となり、現在その数は10層以上まで達している。また微細化に伴う配線断面積の縮小による抵抗 R の増加と、近接する配線間隔の縮小による静電容量 C の増加により、配線を伝わる信号のRC遅延がトランジスタ内部の遅延と比べて無視できない値となる^{3,4)}。そこで R と C を低減するための方策として、約15年前から配線金属をAlからCuに、絶縁材料を SiO_2 より比誘電率 k の低い材料（以下Low- κ と記す）に置き換え、ロードマップに沿った配線の微細化を実現してきた。

以下本報告では、長年LSI配線に用いられてきたAlと SiO_2 がCuとLow- κ に置き換えられた背景とそれに伴って生じた新たな課題・問題点について、プロセス、信頼性の観点から述べる。また今後の展開として、これまでのウェハ上の微細化とは異なる、チップ間を短距離で接続するための実装配線技術について述べる。

2. LSI配線の微細化とCu/Low- κ 技術

LSIの微細化・高集積化にともなう新しい配線材料の導入は、所望の配線形状、その電気特性と信頼性を実現するために必要とされた。特にCu配線はその高い信頼性と低抵抗率が期待されたが、所望の加工形状を得るため、新たな加工技術“ダマシン技術”を用いることになった。本章では比較のため、まずAl配線の微細化に伴う問題点について述べ、次にCu配線の場合を紹介する。どちらも、表面・界面（粒界）を介した原子輸送に起因する信頼性問題を解決するため、不純物を添加してその制御を行った。

2.1 Al配線の微細化問題と対策

LSIの配線金属は20年以上にわたって、Alが用いられてきた。断面構造の例をFig. 2 (a)に示す。Alをスパッタリング法でウェハ全面に成膜後、露光技術でレジ

ストマスクを形成し、不要な部分をエッチングで除去して配線パターンを形成する。配線とSi基板との電気的接続（コンタクト）や、配線を多層化する際の上下層間の接続（ビア接続）を行う場合は、下地となる層間絶縁膜に孔を開け、その上にAlを全面にスパッタ成膜する際、同時に孔の内部まで成膜させる。したがって下地表面の段差があっても均一な厚さの成膜が可能な“段差被覆性”が必要となる。一方絶縁膜は、Al配線パターンを隙間なく被覆・保護し、さらにその上で行われる次の露光プロセスのため、表面の凹凸をできるだけ平坦化させる役割がある。しかしコンタクト孔やビア孔が微細化し、その段差が高アスペクト化すると、孔の中に均一な厚さのAl薄膜をスパッタ成膜することが難しくなる。また配線パターンやビア孔の凹凸の上に成膜された絶縁膜の表面凹凸を、マスクパターンの解像度に対応した焦点深度より小さくすることも難しくなる。そこで孔の埋め込みにはCVD-W成膜が、絶縁膜の平坦化には化学機械研磨（Chemical Mechanical Polishing : CMP）が導入され、Fig. 2 (b)が示すような断面構造を形成することで、微細な多層配線形成が可能となった。

配線形状の微細化は、微細形状を加工する難しさに加え、その信頼性にも大きな影響を及ぼした。現象の詳細は後述するが、金属中を高密度の電流が流れることで生じるエレクトロンマイグレーション（EM）現象により、配線内を金属原子が移動し、原子流の連続性がとぎれる場所でボイドが成長することや⁵⁾、配線を構成する材料の熱膨張係数差に起因する応力の緩和に伴って生じるストレスマイグレーション（SM）現象により、弱い粒界から原子が移動して断線すること⁶⁾が大きな問題となった。どちらも結晶粒界が原子の移動通路となるため、Alの結晶粒径を大きくして配線内部の粒界3重点を減らす、あるいは $\text{Si}^{7)}$ 、 $\text{Cu}^{8)}$ 、 $\text{Ti}^{9)}$ 、 $\text{Sc}^{10)}$ 等の不純物を添加して原子の移動を抑制する等の対策が行われた。またAl配線の下面あるいは上面にTi、TiN等のバリアメタルを

積層し、Si 基板と Al 配線との反応の抑制、Al 配線部が局部的に断線した際の電流バイパス¹¹⁾や、Al 多結晶膜の粒径や配向性の制御に用いられた。しかし、これらの方法はエッチング加工性の低下と配線抵抗の増加を伴い、配線材料としての Al の魅力を半減させた。また原子の移動しやすさは、低融点材料の宿命でもあるため、高融点かつ抵抗率の低い Cu 配線への材料変更につながった。

2.2 Cu 配線形成技術

Cu は Al よりも低抵抗率であるが、ドライエッチングする際の生成物（ハロゲン化物）の蒸気圧が低いため、エッチングによるパターン形成が実用上困難であった^{12,13)}。それを可能としたのはダマシンプロセスの導入によるところが大きい¹⁴⁾。ダマシン法とは、層間絶縁膜と配線間絶縁膜（以下、層間絶縁膜と記載）にあらかじめ配線用の溝とビア孔を形成しておき、そこに金属を埋め込んで配線を形成する手法で、日本では古くから工芸技法の一つである“象嵌”として知られている。主要工程は Fig. 3 に示すように、(a) 層間絶縁膜の堆積、(b) 所定の領域にビア孔と配線溝を形成、(c) バリアメタルと Cu シード膜の成膜後、電解めっきによる Cu 膜の成膜・埋め込み、(d) CMP による余分な Cu 膜の除去、および Cu 表面上へのバリア絶縁膜の成膜からなる。以上の工程を繰り返すことで Fig. 2 (c) のような多層 Cu 配線構造を形成できる。

Al 配線では Al をエッチングして配線パターンを形成したが、Cu 配線では層間絶縁膜への溝・孔のエッチング (Fig. 3 (b)) が配線パターン形成の鍵となる。レジスト材料と層間絶縁材料とで大きなエッチング選択比が得られる場合はエッチングマスクとしてレジスト材料そのものを用いる。しかし層間絶縁膜が Low- κ 材料の場合、十分な選択比が得られない場合が多いため、Low- κ 材料をエッチングするマスク（ハードマスク）を成膜し、パターンニングする。

Cu は SiO₂ 系の層間絶縁膜中を正イオンとなって容易に拡散するため、Cu 配線の表面をバリア層で覆い、絶縁膜中への Cu の進入を阻止する必要がある。Cu 配線の導入当初から、配線の側面と底面にバリアメタル、上面に SiN_x あるいは SiC_xN_yH_z などのバリア絶縁膜を被覆することが一般的であった。しかし Cu の酸化膜が不安定なため、Cu 表面やバリア絶縁膜との界面を介した Cu の動きやすさが信頼性の低下につながることから^{15~17)}、Co 系金属膜を Cu 表面に選択的に成膜する技術が開発されている^{18,19)}。側面と底面のバリアメタルは、溝と孔を形成した Low- κ 絶縁膜上 (Fig. 3 (b)) にスパッタリング成膜される。その厚さ分だけ Cu 配線の実効断面積

Fig. 3. (color online). Dual damascene process flow for Cu interconnects.

Fig. 4. (color online). Effective dielectric constant of inter-level insulator according to ITRS 1999, 2001, 2003, 2007, and 2012.

を減少させ、配線抵抗を増加させるため、低抵抗率かつ薄膜でのバリア性能等、多くの課題と制約条件を抱えており詳細を 2.4 節で述べる。

2.3 Low- κ 絶縁膜技術

配線の微細化と相まって絶縁膜の低誘電率 (Low- κ) 化が必須となる中、1999 年から ITRS にその要求値が示されている。Fig. 4 は 1999 年～2012 年までの ITRS に示された実効比誘電率 k の要求値の推移を示している。配線幅のロードマップ (Fig. 1) と大きく異なる点は、当初の低誘電率化シナリオがまったく実現されず、目標とする k 値は年を追うごとに延伸された点である。配線幅の微細化は ITRS の要求値よりも前倒しされたが、Low- κ 化との両立は非常に難しかったため、配線間容量や配線遅延が増えないように配線形状 (高さ、長さ) など設計パラメータを変更することで性能向上のシナリオを維持してきた。微細化と Low- κ 化が LSI 配線の問題に及ぼす影響を、設計要因と材料・プロセス要因に分け

Fig. 5. Impacts of interconnect miniaturization and Low- κ materials on electric properties, yield, and reliabilities.

て Fig. 5 に示す¹⁵⁾。

絶縁膜の比誘電率 k は膜を構成する分子・原子の分極率と密度に依存し、低分極化と低密度化により、Low- κ 化が実現される²⁰⁾。低分極化の手法として、分極率の低減に効果のある元素（フッ素など）を添加するか、分極率の小さな有機高分子膜を用いる方法が用いられる。SiO₂ ($k=3.9\sim4.3$) にフッ素を添加した SiOF²¹⁾ では $k=3.4\sim3.8$ が得られるが、遊離 F の影響が顕著になる $k=3.6$ 程度が実用化の限界とされている。また、ポリアールエーテル (PAE) のような有機膜が開発され、 $k=2.6\sim3.0$ が得られている²²⁾。一方、低密度化の手法では、SiO₂ に水素 (H) をドーブした水素化シルセキオキサン (HSQ) で $k=2.7\sim3.3$ ²³⁾、Si-CH₃ や Si-CH₂-Si 構造が含まれるプラズマ CVD の SiOC²⁴⁾ で $k=2.7\sim3.1$ が得られている。さらなる Low- κ 化 (<2.5) を達成するためには、絶縁膜の内部に比誘電率がほぼ 1 の孔（空孔と呼ぶ）を導入する多孔質化が必要である²⁵⁾。必然的に膜密度や機械的強度が低下し、配線を構成する隣接材料間の物性値の不整合が増す。またプラズマ耐性が低下し、ビア孔・配線溝のエッチング加工 (Fig. 3 (b)) やアッシングなどのプラズマ処理を受けると、構成要素であるシロキサン結合の Si-O 骨格に結合している有機基が切断される²⁶⁾。これにより誘電率の高い変質層が生成され、そのシラノール基に起因する膜の親水化により、誘電率の上昇や電気的特性の劣化、その後に形成される界面の変質・密着強度低下を引き起こす。たとえばエッチング後の Low- κ 膜表面には吸着した水分に加え、エッチング時に生成されるフッ素系のデポ（堆積）物の残渣が存在するため、その上のバリアメタルやシード Cu の酸化・変質が促進される可能性がある^{27, 28)}。これらの界面変質層は、コンタクト不良、耐圧低下、信頼性の低下、膜の剥離・クラック等の原因になるため、ヘキサメ

チルジシラザン (HMDS) などのシラン化合物によるプラズマダメージの回復処理が報告されている。ダメージ層内の Si-OH を Si-CH₃ に変えて疎水性を高めることができ、リーク電流の回復にも効果がある^{29, 30)}。

2.4 バリアメタル技術

Cu 多層配線材料のバリアメタル材料として主に Ta/TaN が用いられてきたが、さらなる信頼性向上が必要となり、新たなバリア材料や、界面改善プロセス、結晶粒界強化のための不純物添加技術が提案されている。代替あるいは Ta/TaN に追加するバリアメタル材料として Ti³¹⁾ や Ru³²⁾、バリア絶縁膜との界面の強化には CoWP¹⁸⁾、CoWB¹⁹⁾ 等の金属膜（メタルキャップと呼ぶ）が検討されている。メタルキャップ膜は十分な厚さがあれば Cu 上面からの外方拡散を抑制できる。しかし横方向への拡がりにより、隣接配線との耐圧・絶縁信頼性の低下が懸念されるため、厚さ数 nm の膜で Cu 表面を被覆し、その上にバリア絶縁膜を成膜するのが現実的となっている¹⁹⁾。

バリアメタルの役割は、Cu の拡散バリア性に加え、Low- κ 膜中の水分・酸素の浸入を防ぐバリア機能や、バリアメタル上に成膜されるシード Cu 膜とのぬれ性を向上させるライナー機能が重要となっている。特に Ru は Cu とのぬれ性に優れ、その後にスパッタ成膜されるシード Cu 薄膜が均一に被覆されるため、電解めっき Cu の埋め込み性能が向上する。

Al 配線で添加不純物を結晶粒界に析出させて信頼性を向上させたように、Cu 配線でも Al³³⁾、Ag³⁴⁾、Mn^{35, 36)} 等をシード Cu 膜に添加し、その後の配線形成工程の加熱処理で Cu 配線全体に拡散させることで EM, SM 耐性の改善が確認されている。Ti はバリアメタルとして成膜するが、その一部が内部に拡散し、粒界や配線上面に析出して信頼性を向上させる³¹⁾。信頼性改善効果は、Cu 内に分布する不純物濃度が高いほど大きい。配線抵抗率の増加という副作用を伴う。不純物添加による配線抵抗の上昇と、EM 寿命改善については本特集号：横川氏の論文に詳細が記されている。

シード Cu 膜に添加された Mn は、その後の加熱処理により酸化マンガン薄膜を Cu 表面に自己整合的に形成する^{35, 36)}。バリアメタルの成膜工程を削除できる可能性があること、既存のバリアメタルと併用した場合に大きな信頼性改善が確認されていること³⁷⁾から実用化に向けた開発が積極的に進められている。CuMn 合金配線については、本特集号：野上氏の論文に詳細が記されている。

2.5 Cu 配線の微細化とサイズ効果

15 年前 LSI 配線材料を Al から Cu に変更した大きな

Fig. 6. (color online). Dependence of copper resistivity on the line width in different line-height (h) samples.³⁸⁾ Solid lines are calculated using the FS-MS model with the parameters of $\rho_0 = 1.68 \mu\Omega\text{cm}$, $p = 0$, $R = 0.43$, $\lambda = 39 \text{ nm}$.

理由の一つはその抵抗率にあったが、微細化の進展とともにその魅力が薄らぎつつある。配線断面積に占めるバリアメタルの割合の増大、不純物添加による抵抗率の増加に加え、微細化に伴う電子の散乱要因の寄与が無視できない値になったためである。

Fig. 6 は、高さが異なる Cu 配線の抵抗率の幅依存性を示している³⁸⁾。実線は Fuchs-Sondheimer (FS) と Mayadas-Shatzkes (MS) のモデル^{39, 40)}に基づいて計算した結果である。Cu 配線の薄膜・細線化により抵抗率が上昇し、幅が 100 nm より細くなると抵抗率が 50% 以上増加する。Cu 中の電子の平均自由工程： $\lambda \sim 39 \text{ nm}$ に対し、配線幅や厚さが λ と同程度の長さになったことで、表面散乱（バリアメタルやバリア絶縁膜との界面での散乱）の影響が無視できなくなったためである。抵抗率上昇の割合は界面を構成する材料やその形成方法にほとんど依存せず、電子は界面でランダムに散乱される ($p = 0$) と考えられる。微細金属配線の抵抗率上昇の挙動とその機構については本特集号：和田氏の論文に詳細が記されている。

3. Cu/Low- κ 配線の信頼性と表面・界面

3.1 エレクトロマイグレーション (EM)

Al 配線の EM 現象は発生機構の物理モデル、加速劣化試験および寿命予測方法まで 40 年にわたる長年の蓄積がある^{5, 6)}。Cu 配線も EM 寿命を直接的に決定づけるのは配線内でのボイドの成長速度であり、それは配線の多層構造、微細構造（結晶粒分布）、表面・界面の拡散速度およびボイドの初期成長を引き起こす何らかの要因（核形成サイト）に依存する。EM によって生じる原子流の速度は、 $(D_{\text{eff}}/kT) F_e$ で表される。 D_{eff} ：実効的な拡散係数、 k ：ボルツマン定数、 T ：温度、 F_e ：EM を引き

Fig. 7. (color online). Examples of stress induced voids. There are typically two types of voids, just under vias and inside vias.

起こす駆動力 $Z^*e\rho j$ (Z^* ：有効電荷、 e ：電荷素量、 ρ ：電気抵抗率、 j ：電流密度) D_{eff} は結晶粒界、Cu/バリアメタル界面、Cu/バリア絶縁膜界面などすべての拡散経路についての総和となる。拡散係数 D は一般に $D = D_0 \exp(-E_a/kT)$ (E_a ：活性化エネルギー) で表される。

EM の加速試験は実使用条件より高い電流密度 j あるいは試験温度 T で行われ、故障した配線の累積故障時間分布は対数正規分布もしくはワイブル分布に従う。試験した試料の半分の故障に至るまでの時間（平均故障時間：MTF）は、Black が 1969 年に発表した経験的な評価式 $\text{MTF} = A j^{-n} \exp(E_a/kT)$ (n ：指数) でよく近似される。Cu 配線の EM 寿命予測にも用いられ、 E_a からボイド成長における主要拡散経路が予測される。Cu 結晶粒界の E_a ： $\sim 1 \text{ eV}$ は Al： $\sim 0.6 \text{ eV}$ より大きいいため EM 耐性の大幅な向上につながると当初期待されたが、導入直後の実力は E_a ： $0.6 \sim 0.9 \text{ eV}$ と予想を大きく下回った。Cu 配線の形成方法や構成材料がおおむね同じでも発表機関によって E_a の値が大きくばらついていた。Cu 内部よりも Cu を覆うバリア絶縁膜、バリアメタルとの界面が主な拡散経路となっており、その界面状態が材料の組み合わせ、構造、形成方法等に依存することを示唆している¹⁶⁾。界面の改善プロセスとその効果については、野上、横川の報告に記されている。

3.2 ストレスマイグレーション (SM)

SM 現象は、通電をしなくても高温で放置するだけで Al 配線が断線する現象として 1984 年に報告され、配線に生じた引っぱり応力を緩和するための拡散クリープ現象と考えられている⁴¹⁾。Cu 配線でもその断線寿命の放置温度依存性がある温度 ($150 \sim 200^\circ\text{C}$) で最短となり、それより高温側、低温側とともに長くなる傾向を示すため、Cu 配線と周囲の絶縁膜との熱膨張率の差に起因する SM 故障と考えられている。しかしその断線形状は Al の故障モードと大きく異なり、Fig. 7 に示すように太幅配線と接続した細いビア近傍でボイドが成長して断線に至ることから Stress Induced Voiding: SIV と呼ばれる^{42, 43)}。現象の理解と対策に関する多くの報告があ

Fig. 8. (color online). Weibull distributions of typical SIV failures for patterns A, B, and C. F in vertical axis is cumulative failure rate of Cu interconnects. Patterns A, B, and C are two-level test structures as shown by top view illustration.

るが、配線寿命と応力や拡散係数の関係、配線形状やプロセス依存など、統一的な現象理解はまだ得られていない。以下ビアと接続した配線形状に強く依存するSIV不良の事例を紹介する。

配線形状の異なる3種類の試験パターンで高温放置試験を行い、得られた累積故障率の時間依存（ワイブル分布）をFig. 8に示した⁴⁴⁾。パターンAは幅 $W1$ 、長さ $30\mu\text{m}$ の配線を上層（M2）と下層（M1）に配置し、 $0.14\mu\text{m}$ 径のビアで直列接続したチェーン構造、パターンBは幅 $3\mu\text{m}$ 、長さ $20\mu\text{m}$ の配線から幅 0.14 または $0.42\mu\text{m}$ 、長さ $5\mu\text{m}$ の細幅配線が突出した構造で、上下層をビア接続したチェーン構造、パターンCは幅 0.14 または $0.42\mu\text{m}$ 、長さ $200\mu\text{m}$ の下層配線をビアと上層配線で図のように接続した構造である。

Fig. 8が示すようにSIV不良は太幅配線で顕著に見られ、幅 $W1$ が広いほど短時間で発生する。太幅配線から突出した細幅配線（パターンB）と接続するビアでも、太幅配線と同様の故障が発生するが、検出するまでに要する時間が突出し配線の幅、長さ、太幅配線形状等に依存する。さらにビア径とほぼ同じ幅を持つ細幅配線（パターンC）でもSIV不良が生じる。ただし太幅配線の故障モードより潜伏期間が長く、 $4000\sim 10000$ 時間を経過後に故障が検出され、その後の故障率は急激に増加する。

SIVのモデルは、電解めっき成膜したCu中の過剰空孔が、引っ張り応力の勾配でビア直下に拡散してボイドを形成すると考えられている⁴²⁾。陽電子消滅測定によれば、電解めっき成膜したCu配線中には約 10^{19}cm^{-3} の空孔型欠陥が存在する⁴⁵⁾。プロセス起因のボイド初期核がビア直下に形成され、かつ拡散速度の大きな移動経路となる粒界の存在が、短時間のボイド成長の要因と考えられる⁴⁶⁾。

プロセス的な対策は、バリアメタル条件、バリア絶縁膜の前処理と界面制御、メタルキャップ化、めっきCuの成膜・アニール条件が試みられている。これらは界面や粒界でのCuの動きやすさを抑制するもので、前述のEM対策と同じ方針である。しかしバリア絶縁膜/Cu界面のプロセスがEMとSMに相反する効果を及ぼす報告例⁴⁷⁾もあり、ボイド成長に関して不明な点も多い。また加速試験や寿命推定方法に関する統一的な理解も不十分なため、太幅配線や突出し細幅配線に接続するビアを複数個に増やすなど、配線レイアウト上の対策も行われている⁴⁸⁾。

3.3 経時絶縁破壊 (TDDB)

Cu配線導入当初より SiO_2 絶縁膜中へのCu拡散やそれに伴う経時絶縁破壊（Time-Dependent Dielectric Breakdown: TDDB）信頼性の低下が不安視されていたが、Low- κ 化に伴って問題は深刻化した。絶縁破壊現象は通常電界依存タイプが知られており、電界を徐々に増加していくと、ある電界で急激に電界破壊を起こす。一方TDDBは、瞬間的な絶縁破壊を起こさない低い電界をある長時間加え続けると、リークが増え絶縁破壊を起こす現象である。

ゲート酸化膜のように均一な薄い絶縁膜でのTDDB現象については、その故障モードや破壊メカニズムについて多くの報告があり、Cu/Low- κ 配線のTDDB故障モデルも当初はLow- κ 膜中の絶縁破壊現象として検討された⁴⁹⁾。しかしFig. 2(c)の断面図に示されるように、電界が加わる絶縁膜は均一ではなく、バリア絶縁膜/(ハードマスク)/Low- κ 膜の界面が、隣接する配線間に存在

する。この界面はCMP研磨で平坦化されるため、TDDB信頼性はダマシン加工プロセスの影響を強く受ける。

TDDB評価は、まず所定の温度加速条件で近接配線間に比較的高い電圧を加え、絶縁破壊までの時間と印加電界の関係を求める。それを実使用条件（電界強度、温度）に外挿して寿命を推定する。TDDB加速試験による破壊箇所は、そのほとんどがLow- κ 膜とバリア絶縁膜との界面である^{50,51)}。またバリア絶縁膜の成膜前の表面清浄化で信頼性が向上するという報告や⁵⁰⁾、Cu配線を覆うバリアメタルやバリア絶縁膜との界面を強くすることでEM、SMのみならずTDDB寿命も改善することから³⁷⁾、Low- κ 膜/バリア絶縁膜界面のリーク経路のみならず、配線表面からのCuの供給されやすさもTDDB信頼性を支配していると考えられる。

今後、配線間隔が狭くなるだけでなく、配線両端の微細な凹凸形状：Line Edge Roughness (LER)により配線間隔のゆらぎを生じ、局所的な電界集中の影響が顕著になるため、TDDB信頼性問題は今後ますます深刻になると予想される⁵²⁾。加工プロセスの改善だけでは対応困難になると考えられ、より正確なTDDB寿命の評価と予測を行うための物理モデルがますます重要となる。

4. 実装技術による高機能化とCu配線技術

スケーリングトレンドに則したトランジスタの微細化が物理的限界に近づいていることに加え、露光プロセスなどの加工技術や、信頼性を確保するための構造設計の課題解決が困難になりつつある。その対策の一つとして異種機能のデバイスを高密度に集積するなど、More than mooreの技術開発が活発になっている。この技術の代表として、従来のLSIチップを3次元に積層する3次元実装や、LSIチップをSiインターポーザ基板上で配線接続する2.5次元実装などが報告されている^{53~55)}。また個片化されたLSIチップを樹脂でウェハ状に再構築し、チップ間を配線接続する擬似SoC (System on Chip)技術も報告されている^{56~57)}。3次元実装技術では、LSIを上下に積み重ね、貫通Siビア (TSV: Through-Si-Via)を用いて積層されたチップ間を電氣的に接続する。配線距離の短縮で負荷容量が低減され、データ転送速度を向上できる。またチップ間の接続ピン数を増やし、1ピンあたりのデータ転送速度を下げることで、チップあたりの消費電力を下げるができる。

TSVを用いた3次元 (3D) 積層デバイスを実現するためには、デバイスの構造設計にかかわる課題や、TSVの形成、ウェハ・チップの薄化とそのハンドリング、裏面処理、および積層プロセスといった製造プロセス課題

まで、数多くの課題解決が必要である。特に3D積層デバイスの歩留り、コスト、信頼性はその積層化プロセス課題に強く依存する。3D積層化プロセスは、TSV形成、薄化/搬送、裏面処理、およびウェハ (ダイ) のボンディング/積層 (ダイ) のボンディング/積層工程からなる。ここで各工程の課題・難易度は、それぞれの工程の順番・組み合わせに強く依存する。たとえばTSVをトランジスタ工程の直後、配線工程の前に形成する“Via middle”では、ウェハプロセスで用いられる装置や条件を利用できるが、Si基板内に大きな体積のTSVを内在させることによる、機械的なストレスや変形のリスクを生じる。一方、TSVをウェハプロセス工程後に形成する“Via last”の場合、仮接着あるいは永久接着状態でのTSV加工が必要となるため、TSV形成プロセスの低温化など新たな課題が生じる。たとえばバリア絶縁膜の成膜温度を低温化すると、膜密度、バリア性能、絶縁耐性が低下することが報告されている⁵⁸⁾。

5. ま と め

微細化が進むCu/Low- κ 多層配線技術に関し、従来のAl配線との比較を踏まえながら、Cu配線形成、Low- κ 絶縁膜、バリアメタル、抵抗率のサイズ効果について概括した。またその信頼性について、代表的な故障モードであるEM、SM、TDDBのメカニズム、物理モデルと現状の対策プロセスを紹介し、最後に、実装技術による高密度、高機能化技術として3次元積層化プロセスの課題について紹介した。さらなる微細化が進むチップ内のCu/Low- κ 配線と、その出力を隣のチップまで接続する2.5次元・3次元の実装配線技術は、ボーダレスな技術としての重要性が高まりつつある。これらは電氣的、機械的な“接続”技術であり、その本質は、粒界や表面・界面の状態を把握し、制御することにある。

文 献

- 1) G.E. Moore : IEEE IEDM (Int. Electron Devices Meeting) Tech. Dig. (1975) p. 11.
- 2) International Technology Roadmap for Semiconductors, <http://semicon.jeita.or.jp/STRJ/ITRS/index.html>
- 3) 吉川公磨 : 応用物理 **68**, 1215 (1999).
- 4) 大崎明彦 : 応用物理 **72**, 1162 (2003).
- 5) 河崎尚夫 : 応用物理 **68**, 1226 (1999).
- 6) 岡林秀和 : 応用物理 **59**, 1461 (1990).
- 7) J.O. McCaldin : Appl. Phys. Lett. **20**, 171 (1972).
- 8) I. Ames, F.M. d'Heurle and R.E. Horstmann : IBM J. Res. Dev. 461 (1970).
- 9) T. Hosoda, H. Niwa, H. Yagi and H. Tsuchikawa : IEEE Proc. 27th Int. Reliability Phys. Symp. (1989) p. 202.
- 10) S. Ogawa : IEEE IEDM Tech. Dig. (1991) p. 277.

- 11) K. Hinode and Y. Honma : IEEE Proc. 28th Int. Reliability Phys. Symp. (IRPS) (1990) p. 25.
- 12) H.F. Winters : J. Vac. Sci. Technol. **A3**, 786 (1985).
- 13) K. Ohno, M. Sato and Y. Arita : Jpn. J. Appl. Phys. **28**, L1070 (1989).
- 14) D. Edelstein, J. Heidenreich, R. Goldblatt, W. Cote, C. Uzoh, N. Lustig, P. Roper, T. McDevitt, W. Motsiff, J. Slattery et al. : IEEE IEDM Tech. Dig. (1997) p. 773.
- 15) 中村友二, 鈴木貴志 : 応用物理 **78**, 874 (2009).
- 16) M.W. Lane, E.G. Liniger and J.R. Lloyd : J. Appl. Phys. **93**, 1417 (2003).
- 17) H. Tsuchikawa, Y. Mizushima, T. Nakamura, T. Suzuki and H. Nakajima : Jpn. J. Appl. Phys. **45**, 714 (2006).
- 18) T. Ishigami, T. Kurokawa, Y. Kakuhara, B. Withers, J. Jacobs, A. Kolics, I. Ivanov, M. Sekine and K. Ueno : IEEE Proc. IITC (2004) p. 75.
- 19) M. Tagami, N. Furutake, N. Inoue, E. Nakazawa, K. Arita and Y. Hayashi : IEEE Proc. IITC (2009) p. 11.
- 20) 中野 正 : 半導体・集積回路技術 第58回シンポジウム講演論文集 (2000) p. 72.
- 21) T. Fukuda and T. Akahori : International Conference on Solid State Device and Materials (SSDM) (1993) p. 158.
- 22) D.C. Edelstein, M. Scheuermann and L.M. Geppert : VLSI Multilevel Interconnect. Conf. (1993) p. 511.
- 23) S.P. Jeng, K. Taylor, T. Seha, M-C. Chang, J. Fattaruso and R.H. Havemann : IEEE Digest of VLSI Technol. Symp. (1995) p. 61.
- 24) T. Furusawa and Y. Homma : IEEE Digest of VLSI Technol. Symp. (1995) p. 59.
- 25) T. Nakamura and A. Nakashima : IEEE Proc. IITC (2004) p. 175.
- 26) Y. Iba, T. Kirimura, M. Sasaki, Y. Kobayashi, Y. Nakata and M. Nakaishi : Jpn. J. Appl. Phys. **47**, 6923 (2008).
- 27) S. Ozaki, Y. Nakata, Y. Kobayashi, T. Nakamura, S. Fukuyama et al. : Microelectron. Eng. **87**, 370 (2010).
- 28) K. Kobayashi, S. Ozaki, Y. Iba, Y. Nakata and T. Nakamura : Microelectron. Eng. **88**, 620 (2011).
- 29) Y.S. Mor, T.C. Chang, P.T. Liu, T.M. Tsai, C.W. Chen, S.T. Yan, C.J. Chu, W.F. Wu, F.M. Pan and S.M. Sze : J. Vac. Sci. Technol. **B20**, 1334 (2002).
- 30) H. Chaabouni, L.L. Chapelon, M. Aimadeddine, J. Torres et al. : Microelectron. Eng. **84**, 2595 (2007).
- 31) H. Kitada, T. Suzuki, S. Akiyama and T. Nakamura : Jpn. J. Appl. Phys. **48**, 04c026 (2009).
- 32) C.-C. Yang, T. Spooner, S. Ponoth, K. Chanda, A. Simon, D. Edelstein et al. : IEEE Proc. IITC (2006) p. 187.
- 33) S. Yokogawa and H. Tsuchiya : J. Appl. Phys. **101**, 013513 (2007).
- 34) A. Isobayashi, Y. Enomoto, H. Yamada, S. Kadamura et al. : IEEE IEDM Tech. Dig. (2004) p. 953.
- 35) J. Koike and M. Wada : Appl. Phys. Lett. **87**, 041911 (2005).
- 36) T. Usui, H. Nasu, J. Koike, M. Wada, S. Takahashi, N. Shimizu, T. Nishikawa, M. Yoshimaru and H. Shibata : IEEE Proc. IITC (2005) p. 188.
- 37) H. Kudo, M. Haneda, N. Shimizu, A. Tsukune, H. Kitada et al. : IEEE Proc. IITC (2008) p. 117.
- 38) H. Kitada, T. Suzuki, S. Akiyama and T. Nakamura : Jpn. J. Appl. Phys. **48**, 04C026 (2009).
- 39) A.F. Mayadas and M. Shatzkes : Phys. Rev. **B1**, 1382 (1970).
- 40) E.H. Sondheimer : Phys. Rev. **80**, 401 (1950).
- 41) H. Niwa, H. Yagi and H. Tsuchikawa : J. Appl. Phys. **68**, 328 (1990).
- 42) E.T. Ogawa, J.W. McPherson, J.A. Rosal, L.Y. Tsung, W.R. McKee et al. : IEEE Proc. IRPS (2002) p. 312.
- 43) T. Suzuki, S. Ohtsuka, H. Matsuyama, T. Nakamura, H. Yagi et al. : IEEE Proc. IITC (2002) p. 229.
- 44) T. Suzuki, T. Nakamura, Y. Mizushima, T. Hosoda, K. Shono et al. : J. Appl. Phys. **101**, 044513 (2007).
- 45) A. Uedono, T. Suzuki and T. Nakamura : J. Appl. Phys. **95**, 913 (2004).
- 46) H. Tsuchikawa, Y. Mizushima, T. Nakamura, T. Suzuki and H. Nakajima : Jpn. J. Appl. Phys. **45**, 714 (2006).
- 47) T. Kouno, T. Suzuki, T. Hosoda, T. Nakamura, M. Miyajima et al. : IEEE IEDM Tech. Digest (2005) p. 187.
- 48) G.D.R. Hall, D.D.J. Allman and H.D. Bhatt : IEEE Proc. IRPS (2008) p. 392.
- 49) E.T. Ogawa, J. Kim, G.S. Haase, H.C. Mogul and J.W. McPherson : IEEE Proc. IRPS (2003) p. 166.
- 50) D. Oshida, T. Takewaki, M. Iguchi, T. Taiji, T. Morita, Y. Tsuchiya, H. Tsuchiya, S. Yokogawa, H. Kunishima, N. Okada et al. : IEEE Proc. IITC (2008) p. 222.
- 51) F. Chen, O. Bravo, K. Chanda, P. McLaughlin, T. Sullivan, J. Gill, J. Lloyd, R. Kontra and J. Aitken : IEEE Proc. IRPS (2006) p. 46.
- 52) M. Vilnay, D. Roy, C. Monget, F. Volpi and J.-M. Chaix : IEEE Proc. IRPS (2009) p. 606.
- 53) S. Borkar : IEEE International 3D-System Integration Conference (2008) p. 1.
- 54) M. Sunohara, A. Shiraishi, Y. Taguchi, K. Murayama, M. Higashi and M. Shimizu : IEEE ECTC 59th (2009) p. 25.
- 55) S. Kato, T. Tango, K. Hasegawa, A. Sakai, H. Segawa, T. Sudo et al. : IEEE ECTC 59th (2009) p. 1648.
- 56) 小野塚 豊, 山田 浩, 板谷和彦 : 東芝レビュー **64**, 52 (2009).
- 57) K.F. Yang, T.J. Wu, W.C. Chiou, M.F. Chen, W.J. Wu et al. : Proc. VLSIT 2011 Symp. (2011) p. 140.
- 58) H. Kitada, N. Maeda, K. Fujimoto, Y. Mizushima, Y. Nakata, T. Nakamura and T. Ohba : Jpn. J. Appl. Phys. **50**, 05ED02 (2011).