原子層堆積装置およびエッチング装置を 組み合わせた極微細パターンニング形成

勝沼隆幸・久松 亨・木原嘉英・本田昌伸

東京エレクトロン宮城株式会社 ☎ 981-3629 宮城県黒川郡大和町テクノヒルズ 1 番

(2016 年 11 月 8 日受付 ; 2016 年 12 月 19 日掲載決定)

New Patterning Technology by Integrating Atomic Layer Deposition Process to the Etching Flow

Takayuki KATSUNUMA, Toru HISAMATSU, Yoshihide KIHARA and Masanobu HONDA

Tokyo Electron Miyagi Limited, 1 Techno-Hills, Taiwa-cho, Kurokawa-gun, Miyagi 981-3629

(Received November 8, 2016 ; Accepted December 19, 2016)

We introduce a state-of-the-art patterning process developed by new patterning technology using Atomic Layer Deposition (ALD) towards 5/7 nm generation. In the patterning process, critical dimension (CD) shrink technique without CD loading is one of the key requirements. However, in the conventional CD shrink technique, CD loading can't be solved in principle. To overcome this issue, by integrating ALD process into the etching flow, we developed a new CD shrink technique without causing CD loading. Furthermore, CD shrink amount can be precisely controlled by the number of ALD cycles while keeping the excellent CD shrink uniformity across a wafer. This is obtained by utilizing a conformal layer with characteristics of ALD's self-limiting reaction, which is independent of the pattern variety.

KEYWORDS : patterning technology, atomic layer deposition, critical dimension loading, self-limiting reaction

1. は じ め に

近年、半導体デバイスの高集積化、微細化の進行に伴い、パターン寸法 (critical dimension, CD) の制御性が重要になってきている。とりわけ、Patterning 工程においては、様々なパターンに対してパターン差なく CD を縮小することが要求される。また、5/7 nm 世代の微細パターンに対しては、原子層レベルで CD をコントロールする技術が求められている。これらの課題を克服するためには、表面反応をこれまで以上に緻密に制御することが必要である。そこで、我々は原子レベルで表面を制御できる原子層堆積技術 (Atomic layer Deposition, ALD)¹⁾ に着目し、微細エッチングプロセスへの応用を試みた。その結果、ALD とエッチングを融合させた新しいプロセスフローが開発された。本手法により、Patterning 工程において、CD loading を発生させずに原子レベルで CD shrink 量を制御できる^{2,3)}。本稿では、この新

規技術を最先端のパターンサンプルに適用した結果を報告する。

Patterning 工程にて求められる CD 制御技術については、次の三つの観点から考えることができる。一つ目は、ウェハ面内における CD 均一性、二つ目はパターンエッジのバラツキ (Line edge roughness, LER) およびパターン幅のバラツキ (Line width roughness, LWR) の低減、そして三つ目が CD loading の発生しない CD shrink 技術の実現である。ウェハ面内の CD 均一性に関しては、エッチング装置に搭載されている面内制御ノブによる CD 分布の最適化が一般的である。また、LER, LWR に対しては、DC 重畳プラズマ (DC superimposition plasma) を利用したレジストキュアプロセスにて低減できることが知られている⁴⁾。一方、パターンの疎密差に起因した CD loading については、根本的な改善手法がないため、新たな改善技術の提案が望まれている。

従来の CD shrink 技術では、多層レジストマスク工程において、Si を含有した反射防止膜 (Anti-reflect coating, ARC) をエッチングする際に、フルオロカーボン

(Fluorocarbon, FC) 膜を用いて CD の制御が行われている。しかしながら、FC 膜はパターンの疎密に依存して不均一に形成される。これは、パターンのアスペクト比 (Aspect ratio, A/R) の影響で、各パターンエリアに到達する FC ラジカル量が異なるためである⁵⁾。このため、パターン密度が低いほど、CD shrink 量が大きくなる CD loading が引き起こされる。このように、FC 膜を利用した従来の CD shrink 技術では、原理的に CD loading を回避することができない。

この課題克服のため、ALD とエッチングフローを組み合わせた新規 CD shrink 技術の開発が行われた。多層レジストマスク工程に ALD による CD 制御技術を適用し、新たなプロセスフローを構築した。ALD プロセスでは、原材料となる Si Precursor の吸着と O₂ プラズマによる酸化を繰り返すことで、SiO₂ の成膜を試みる。ALD による成膜過程は自己律速型 (Self-limited) 反応であるため、CD loading のない CD shrink, 原子レベルでの CD 制御および良好な面内均一性が期待される。加えて、Patterning 工程の課題の一つである LER, LWR 低減への効果にも着目した。

2. 実験装置, Patterning 工程

本評価は、上部から直流 (DC) を重畳可能な上下部 2 周波印加の平行平板型反応性イオンエッチング装置を用いて行った (Fig. 1)。上下部 2 周波印加方式は、下部 2 周波印加方式に比べ、電子密度 (n_e) とバイアス

Fig. 1. Schematic of process chamber.

Fig. 2. Etching process flow for the fabrication of multi-layer resist mask.

(V_{dc}) を独立に制御できるため、超低バイアス領域にてプラズマを生成することが可能である。このため、ALD プロセスの O₂ プラズマ処理時に懸念されるイオン衝撃による下地膜へのダメージを低減できると考えられる。

多層レジストマスク工程は、パターンの微細化に伴い薄膜化されたレジストマスクを比較的厚い有機膜 (Spin on carbon, SOC) に転写する工程である⁶⁾。Fig. 2 に多層レジストマスク工程のエッチングフローを示す。薄膜レジストをマスクに Si-ARC を加工し、加工後の Si-ARC をマスクに SOC のエッチングを行う。

3. 従来手法の課題

従来手法では、多層レジストマスク工程の Si-ARC エッチングにおいて、FC 膜を利用して CD を制御する。従来手法を多層レジストマスク工程に適用した例を Fig. 3 に示す。ここでは、ラインアンドスペース (Line and Space, L/S) パターンを用い、パターン寸法計測用装置 (critical dimension-scanning electron microscope, CD-SEM) にて、Space CD を測定している。図中では、CD の変化量、すなわち CD shrink 量を CD bias と表記した。測長結果から、CD 0 bias 条件では、CD shrink 量および CD shrink 量の疎密差が比較的小さい。これは、マスクの CD を維持しながら Si-ARC がエッチングされたことを意味する。一方、FC 膜を増加させた CD shrink 条件では、Space CD が縮小している。これは、FC 膜にて側壁を保護しながら、Si-ARC をエッチングしたためである。しかしながら、疎部の方が CD shrink 量が大きく、疎密差が発生している。これは、FC ラジカルフラックスがパターンの A/R に依存し、疎部ほど厚い FC 膜が形成されたためである。このように、従来手法にて CD を縮小すると、原理的に CD loading が発生してしまうため、パターン依存のない成膜技術にて CD を縮小する必要がある。

	CD 0bias condition		CD shrink condition (Higher deposition)	
	1:1	1:5	1:1	1:5
Top view				
CD (CD bias)	53.3 nm (+4.0)	232.6 nm (+1.4)	42.3 nm (+14.9)	212.1 nm (+22.0)
ΔCD bias	-2.6 nm		+7.1 nm	

Fig. 3. Example of conventional CD shrink technique.

Fig. 4. Schematic diagram of ALD process.

4. ALD プロセスシーケンス

Fig. 4 に ALD プロセスの模式図を示す。ALD プロセスは、Si Precursor を供給する Adsorption step と O_2 プラズマ処理を行う Oxidation step で構成されている。Adsorption step にて、Si Precursor を基板表面に吸着させ、その後の Oxidation step にて、吸着した Precursor を O_2 プラズマと反応させることにより SiO_2 膜を形成する。ALD プロセスでは、このシーケンスを繰り返すことによって、必要な膜厚を得る。このプロセスのキーポイントは、Precursor の吸着過程の Self-limited 反応である。これにより、表面に Precursor が一原子層形成されると、それ以上の吸着反応は起こらない。このため、 SiO_2 膜は表面に単層ずつ形成される。このことから、CD loading が発生しない CD shrink, 原子層レベルの膜厚制御および均一な面内 CD 分布が期待される。また、ALD プロセスでは、Adsorption step と Oxidation step の間に Purge step を入れる必要がある。これは、チャンパー内に残留した Precursor と O_2 プラズマの気相反応による化学気相堆積 (Chemical Vapor Deposition, CVD) を防ぐためである。

5. ALD 成膜特性

ALD プロセスの成膜特性を評価するために、 SiO_2 膜厚の Adsorption step 時間依存を確認した (Fig. 5)。ここでは、 SiO_2 blanket wafer に ALD を行い、光学式膜厚計にて膜厚を測定している。Adsorption step 時間を延ばすと、 SiO_2 膜厚はある程度まで増加していく。しかし、それ以降 Adsorption step 時間を延ばしても、 SiO_2 膜厚は増加せず、飽和しているのがわかる。つまり、原料となる Precursor をいくら供給しても、膜厚は増加しない。この現象は、Precursor の吸着過程において、Self-limited 反応が起きていることを示唆している。すなわち、Precursor が基板全面に 1 原子層吸着すると、それ以上吸着反応は起こらないため、形成される SiO_2 膜厚

Fig. 5. Relationship between deposition amount and adsorption step time.

Fig. 6. Film coverage comparison between conventional CVD and Plasma Enhanced ALD reaction.

は Precursor 量に依存せず一定になる。また、飽和領域の SiO_2 膜厚から、1 サイクル当たり形成される SiO_2 膜厚を求めると、0.20 nm と非常に小さい。ALD では、サイクル数によって、 SiO_2 膜厚を原子層レベルで制御することが可能である。

続いて、ALD の CD loading に対する効果を検証するため、L/S パターンに SiO_2 を成膜し、カバレッジを確認した (Fig. 6)。ALD との比較のため、CVD にて SiO_2

を成膜した結果も示す。ここでは、断面 SEM 写真を用いて、上面、側面、底面に堆積した SiO₂ 膜厚を測長している。CD 制御に対しては、側面に成膜された膜厚が非常に重要な役割を担う。CVD による成膜では、疎密パターン間で側面の膜厚に大きな差異が生じている。疎密部の方が密部より SiO₂ 膜が厚く形成されている。これは、CVD による CD shrink では FC 膜による CD shrink 同様、CD loading が発生することを示唆している。一方、ALD による成膜では、側面の膜厚は疎密パターン間で大きな違いなく、ほぼ同等である。加えて、上面、側面、底面の各面の膜厚にも大きな違いが見られない。これらは、ALD にて、パターンに依存せず SiO₂ を成膜できることを示している。この現象は、Precursor の Self-limited 反応により、Precursor がパターンの A/R にかかわらず、表面に均一に吸着するためである。このように ALD を利用することで、CD loading を発生させずに CD を縮小することが可能である。

次に、ALD の CD 制御性を、パターンサンプルを用いて確認した。CD shrink 量のサイクル数依存を Fig. 7 に示す。評価では、L/S パターンの密部を利用し、CD-SEM にて Space CD を測定している。Top view 画像の測長結果から、ALD にて CD が縮小されているのがわかる。また、グラフから、CD shrink 量はサイクル数に比

例して増加している。ここで、1 サイクル当たりの CD shrink 量は 0.35 nm である。両側面に形成された SiO₂ 膜による CD shrink 量は、片側の側面に成膜された SiO₂ 膜厚の 2 倍になる。これにより、1 サイクル当たりの CD shrink 量から、ALD にて 1 サイクル当たり 0.175 nm の SiO₂ が成膜されている計算になる。これは、Fig. 5 で示した 1 サイクル当たりの SiO₂ 膜厚とほぼ一致する。このように、ALD ではサイクル数によって、原子層レベルで CD shrink 量を制御することが可能である。

続いて、上述の CD-SEM による測定手法にて、ALD の CD loading に対する効果を検証した (Fig. 8 (a))。ここでは、3 種類の L/S パターンを用いて、各パターン間の CD 変化量の差に着目している。Top view 画像から、ALD にて Line CD が太く変化していることがわかる。また、各 L/S パターンの CD 変化量はほぼ同等で、それらの差は 0.5 nm 未満と非常に小さい。これらの結果は、改めて、ALD にて CD loading なく CD を制御できることを示している。また、Fig. 8 (b) は、各 L/S パターンの CD 変化量のウェハ面内分布を示している。各 L/S パターンの面内 CD 変化量のバラツキを 3 σ で表すとそれぞれ 1 nm 未満ときわめて小さい。この現象は、Adsorption step で供給される Precursor が、Self-limited 反

Fig. 7. Relationship between CD shrink amount and ALD cycle number. (a) Top-view CD-SEM images of L/S pattern and CD measurement data, (b) The graph form of the data.

Fig. 8. Effect of CD shrink by ALD on CD loading and CD shrink uniformity. (a) Top view CD-SEM images of several L/S patterns, (b) CD shrink uniformity across a wafer.

Fig. 9. (a) Schematic diagram of the novel process flow with combination of CD shrink by ALD and the etching process flow, (b) Cross-section & top-view SEM images of L/S pattern at each process.

応によって、ウェハポジションに依存せず、ウェハ面内に均一に吸着していることを意味している。このように、ALDにて、大変良好な面内均一性を保ったまま、CD loading なく CD を縮小することができる。

6. ALD とエッチングの融合

次に、これまで述べてきた ALD をエッチング工程に融合した新規 CD shrink 技術について説明する。ALD を多層レジストマスク工程に適用した新規プロセスフローを Fig. 9 (a) に示す。従来手法では、Si-ARC エッチング時に厚い FC 膜を利用して CD を縮小するため、CD loading が発生していた。新規プロセスフローでは、Si-ARC エッチング時には CD を縮小しない。このため、CD loading が非常に小さい条件にて Si-ARC をエッチングすることができる。その後、加工した Si-ARC に対して、CD loading が発生しない ALD による CD shrink 技術を適用する。続けて、SOC 上に成膜された SiO₂ を Etch back し、最終的に SiO₂ をマスクとして SOC のエッチングを行う。Fig. 9 (b) に、各プロセス後の形状結果を示す。これらの結果は、上述の新規プロセスフローにて、実際に SOC エッチング後の CD を 30 nm 程度縮小できることを実証している。加えて、本手法には、Patterning 工程の課題の一つである LER, LWR を改善する効果があることがわかる。ここで、CD を大きく縮小できたポイントは、ALD により成膜された SiO₂ をマスクとして SOC をエッチングしている点である。SOC エ

ッチング条件は、SiO₂ に対して高選択比を有するため、SiO₂ 膜は大きく削られることなく、効率的に CD を縮小できたと考えられる。また、一般的に、マスクのラフネスが下層膜に転写され、LER, LWR の悪化を招く。しかし、本手法では、LER, LWR に課題のある Si-ARC マスクを、LER, LWR の良好な ALD による SiO₂ マスクに置き換えている。これにより、LER, LWR が大きく低減されたと考えられる。このように、新規プロセスフローでは、Patterning 工程の課題の一つである LER, LWR に対しても改善できることがわかった。

最後に、上述の新規プロセスフローを様々なパターンに対して適用した例を紹介する。各パターンにおける CD shrink 量のサイクル依存を確認した結果を Fig. 10 に示す。ここでは、L/S および Oval パターンを用い、CD-SEM にて CD の測定を行っている。Top view 画像の測長結果から、各パターンの CD は縮小されているが、パターン間の CD shrink 量には大きな違いが生じていないことがわかる。また、グラフから、CD shrink 量はサイクル数に比例して増加している。このとき、1 サイクル当たりの CD shrink 量は 0.33 nm とこれまでの結果とほぼ同等である。このように、エッチングフローに ALD を組み合わせることで、様々なパターンに対して CD loading を発生させずに CD を縮小することが可能である。加えて、サイクル数にて CD shrink 量を精密に制御することができる。

Fig. 10. Effect of the novel process flow on CD loading and CD controllability. (a) Top-view CD-SEM images of various patterns and CD measurement data, (b) The graph form of the data.

7. ま と め

5/7 nm 世代で求められる微細加工技術に対して開発された, ALD とエッチングフローを融合させた CD shrink 技術を, 最先端の Patterning 工程に適用した。

ALD は, Self-limited 反応を利用しているため, CVD による成膜では達成困難なパターン依存のない, 均一な成膜を行うことが可能である。この ALD を多層レジストマスク工程と組み合わせることによって, 様々なパターンにおいて CD loading なく CD を縮小できることを実証した。また, CD shrink 量は, ALD のサイクル数にて, 精密に原子層レベルで制御できる。加えて, ウェハ

面内において, バラツキなく均一に CD を縮小することが可能である。さらに, ALD の適用によって, Patterning 工程の課題の一つである LER, LWR を低減可能であることを明らかにした。このように, ALD による CD shrink 技術は, Patterning 工程の課題であるウェハ面内均一性, LER, LWR および CD loading をトレードオフなく改善することが可能である。

5/7 nm 世代の微細加工においては, 表面反応を緻密に制御することが非常に重要になっている。これまで見てきたように, ALD の Self-limited な反応は表面の微細制御に対して大きな可能性を秘めている。このため, ALD プロセスの他エッチング工程への展開が検討されていくと思われる。また, エッチングにおいても表面反応を原子レベルで制御すべく原子層エッチング技術 (Atomic layer Etching, ALE) を適用あるいは応用したエッチング技術の開発が行われており^{7,8)}, 今後ますます, 原子レベルでのパターン加工技術の開発が加速されていくと考えられる。

文 献

- 1) H.B. Profijt, S.E. Potts, M.C.M. van de Sanden and W.M.M. Kessels : J. Vac. Sci. Technol., A **29**, 050801 (2011).
- 2) M. Honda and T. Katsunuma : Proc. of IEEE's 16th Int. Conference on Nanotechnology (2016) p. 448.
- 3) M. Honda, T. Katsunuma, M. Tabata, A. Tsuji, T. Oishi, T. Hisamatsu, S. Ogawa and Y. Kihara : Proc. of ECS's 230th Electrochemical Society Meeting (2016) G03-1852.
- 4) M. Honda, K. Kobayashi, M. Yamato, K. Oyama, H. Yaegashi and H. Mochiki : Proc. of AVS's 60th Int. Symposium and Exhibition (2013) PS2-TuM2.
- 5) N. Kuboi, T. Tatsumi, M. Fukasawa, T. Kinoshita, J. Komachi, H. Ansai and Hiroyuki Miwa : J. Vac. Sci. Technol., A **31**, 061304 (2013).
- 6) J. Abe, H. Hayashi, D. Kishigami, Y. Sato, E. Shiobara, T. Shibata, Y. Onishi and T. Ohiwa : Proc. of JSAP's 23rd Int. Symposium on Dry Process (2001) p. 187.
- 7) S.D. Athavale and D.J. Economou : J. Vac. Sci. Technol., A **13**, 966 (1995).
- 8) D. Metzler, R.L. Bruce, S. Engelmann, E.A. Joseph and G.S. Oehrlein : J. Vac. Sci. Technol., A **32**, 020603 (2014).