高温超伝導体薄膜の実用化への展望 (3)

LSI 配 線

宝 川 幸 司

NTT 伝送システム研究所 〒238-03 神奈川県横須賀市武 1-2356

(1989 年 3 月 10 日 受理)

Applications of Superconducting Interconnection in LSIs

Kohji HOHKAWA

NTT Transmission Systems Laboratories
1-2356, Take, Yokosuka-shi, Kanagawa 238-03

(Received March 10, 1989)

Advantages of superconducting interconnection in LSI circuit performance are discussed. Effective application areas of superconducting lines are signal lines for high drivability devices, power lines and chip to chip interconnection. Factors limiting the application such as cooling capacity and signal distortion due to multiple reflection are discussed. High frequency characteristics of oxide superconductors and basic problems which should be overcome are also described.

1. はじめに

酸化物超伝導体の発見¹⁾以来, 超伝導臨界温度の上昇には急激なものがあり, 現状では 120K 台の超伝導体が得られるようになった²⁾。現実には液体窒素温度で超伝導を利用することが可能となり, 今後の進展次第では室温超伝導体も夢でなくなりつつある。

一方, 半導体 LSI は高集積・高速・高性能化の要請に応え, 年々微細化が進んできた。現状ではサブミクロン領域の寸法パタンの LSI が実用に供されるようになっており, さらに微細化による高性能化の努力がなされつつある。微細化が進めば進むほど高速・高性能化を妨げるものとして抵抗増加による特性劣化, マイグレーションによる断線・短絡など配線における問題が顕在化する。

超伝導体のもつ抵抗ゼロ・非分散などの特徴を活用することによって配線抵抗にともなう問題点を克服し, 大幅な特性改善を期待したいところである。本稿では酸化物超伝導体を LSI チップ内あるいはチップ間のボード配線などに適用する際に得られる特性改善効果, 制限要因, 今後の課題などについて述べる。

2. チップ内配線

ここでは比較的平均配線長が短く (たかだか 1 cm), 終端整合をとらないで用いることができるチップ内配線での超伝導体の効果について考察する。配線としては信号線とバイアス信号を供給する電源線とがあり, 超伝導体を適用することにより,

- 1) 配線抵抗の低減により応答時間が短縮できる。
- 2) 配線幅を細くできることから集積度が上がり, 全体の配線長を短縮し遅延を減少できる。
- 3) 抵抗による動作点の変動を小さくできデバイス設計を容易にしデバイス性能を十分に引き出せる。

などの効果が期待できる。

信号遅延としてはファンイン／ファンアウト遅延を含むデバイスそのものの遅延, 配線抵抗及び配線容量に伴う遅延, 信号が特定の距離を伝はんするのに必要な遅延の 3 種類あるが, 特殊な場合を除いて第 3 項目の遅延は無視できるものと考えてよい。前 2 つの遅延は, 言いかえると素子と対地および線間などの配線の全容量 C と素子の入出力抵抗 R_d と配線抵抗 R_w の和の積 $C \cdot (R_d + R_w)$ で決まる信号立ち上がり遅延である。超伝導配線の効果は, 詳細にみれば対象デバイスによって異なることは当然であるが, 大局的には素子抵抗 R_d に対する配線

抵抗 R_w の割合で決まるものと考えてよい。ここでは CMOS を例として超伝導配線の効果および問題点を考察する。

2.1 CMOS に適用する場合

1) 極限性能

現状の CMOS の素子抵抗は数 $k\Omega$ に対し、配線抵抗は室温アルミ配線でも高々 100Ω である。液体窒素温度動作を仮定すると散乱効果の低減などでデバイスそのものの駆動能力も若干改善される。しかしこの環境下でアルミ配線でも抵抗は $1/6$ に低下することから、超伝導配線を適用してもほとんどメリットが無いことになる。

超伝導配線が効果的となるのは駆動能力の大きなデバイスに適用するときである。スケーリング則³⁾に沿って微細化がなされる場合、デバイスの駆動能力、動作速度などのほとんどのパラメータは改善されるが、唯一配線抵抗のみが増大し特性劣化をもたらす。**Fig.1**にスケーリングの効果について計算した結果を示す。ただし、ここでデバイスはファンイン/ファンアウト共に 3、配線長は平均配線長の経験則よりパターンルールの 1000 倍、即ちパターン線幅 $1\mu m$ のとき $1mm$ として求めたものである。この図より微細化とともにデバイスそのものの遅延が減少するのに対し、抵抗の増大のため配線遅延に改善が見込めず結果的に全体の遅延に占める配線遅延の割合が大きくなることが分かる。この場合 $0.2\mu m$ のパターンルールの素子（配線長 $200\mu m$ ）では **Fig.2**に示すよ

Fig. 1 Scaling effect on gate delay.

Fig. 2 Gate delay for 0.2 micron CMOS.

うに液体窒素温度で超伝導配線を使う場合、低温動作によるデバイスの性能向上と配線抵抗の低減により遅延は同一ルールの室温素子に対し、数分の 1 にすることが出来る。また、窒素温度アルミ配線に対しても数 10% 程度の改善が可能となる。

2) 冷却制限

液体窒素温度動作ではデバイス性能が改善される反面冷却能力を考慮する必要が生じる。窒素の液浸による冷却を想定すると LSI チップでの許容発熱量はおおよそ $20 W/cm^2$ となる。これは従来の超伝導体の動作温度として使われていた He 冷却に比べると約一桁大きいことになるが、極限性能を想定した LSI においてはこの値は必ずしも十分ではない。冷凍能力の効果を考慮してデバイス性能を比較した例を **Fig.3** に示す。この場合 $0.2\mu m$ の素子でアクティブ領域が 20% セル面積 $6\mu m$ 角、クロック 3GHz、50% デューティなどのパラメータをもつ大規模 LSI を仮定して算出したものである。室温ではゲート当り $200\mu W$ の消費電力が許容できるのに対して、窒素温度では消費電力を $33\mu W$ 程度まで落とす必要が生じる。消費電力を落とす結果、本来、液体窒素温度領域で得られたはずのゲート遅延時間が数倍大きくなる。その結果超伝導体を用いたことによりゲート遅延は室温アルミ配線の場合に比べ数 10% 程度、液体窒素温度でアルミ配線を用いた場合と比べるとせいぜい 10% 程度の改善しかもたらさず、極めてその効果が小さいことになる。

なお、上記の議論では極限集積化を意図して性能評価を行ったが、もちろん用途によってその効果は変わりうる。例えば液体窒素温度動作でも集積密度が数 100 ゲートの場合、**Fig.2** の場合と同程度の改善効果が得られる。また回路としての遅延時間を決定するのはクリティカルパスであり、平均配線長に比べて遙かに長くなる系も多い。さらに回路中での配線領域の占める割合も用途

Fig. 3 Gate delay under the condition of cooling limit.

によって大きく異なる。例えば最近話題になっている神経回路網⁴⁾などではチップの大部分が配線で占められるようなものもある。このような素子においては、高速化は勿論であるが、それ以上に設計を容易にする大幅な小形化が図れるなど極めて大きな効果が期待できよう。

2.2 他のデバイス

前述の通り超伝導配線は駆動能力の大きな素子に適用すると効果がある。GaAs MESFET, HEMT などの電界効果トランジスタに適用する場合、上述の MOS 同様の効果が得られよう。一方、駆動能力の大きなバイポーラトランジスタの場合、Si 素子では液体窒素温度でキャリアがフリーズアウトするため十分に動作させることができない。常温超伝導の実現が要求されよう。一方、GaAs, InP 系のヘテロバイポーラトランジスタ⁵⁾では不純物単位が浅いことから液体窒素温度でも十分動作させることが可能である。低温環境では電流密度を上げることが難しいなどの問題はああるものの、ベースでの電子走行が拡散でなくドリフトに基づく傾斜ベース等の構造とするなど低温環境で最適設計を施せば、室温同様の特性が期待できよう。

ヘテロバイポーラトランジスタなどの素子では、CMOS に比べ大きな電力消費を必要とする。従ってこれを用いて液体窒素温度で動作する LSI を構成する場合、冷却制限がより一層深刻な問題となる。電源電圧が小さく、論理振幅が小さく、しかも駆動能力の大きな素子実現が要請される。ホットエレクトロニクス、超伝導トランジスタなどの新デバイスに期待するところが大きい。

2.3 電源線への効果

バイポーラトランジスタ、あるいは GaAs 系 LSI で電源線の占める面積の割合は極めて大きい。たとえば、GaAs 系の例では、末端の支線がエレクトロマイグレーション制限などを除くと、幹線・支線共に抵抗による電圧降下を避けるために太い線が用いられる。現状の 4K ビット RAM において配線を 1 桁寸法が小さい超伝導体(電源線 10 μ m, 信号線 1 μ m)に置き換えことができると、占有面積はほぼ半分以下に低減できる。これにより信号線の短縮による高速化が可能となる他、もう 1 つの効果として、配線抵抗によるバイアス電圧降下を考慮する必要がなくなる。これにより、デバイスの動作マージンを大きく取りうることから設計が容易となる。これらの結果、チップ歩どまりが向上しコスト低減も可能となる。

3. チップ間の配線

ここではボードレベルあるいは配線長が長いチップ内の配線(数 10 cm 程度以下)を考える。ボード間ある

Fig. 4 Ringing effects in a superconducting interconnection⁸⁾.

いは架間のようにさらに大きな寸法の適用域では比較的太い線を使うことが可能となり、全遅延に対し抵抗成分による配線遅延増加分の占める割合はむしろ小さくできる。本項で述べる適用域は超伝導配線の効果が効果的に生かされるところといえよう。

長い配線で考慮すべき大きな問題点としてリンギングの問題がある。超伝導配線では損失がないため、送端あるいは受端で不整合により反射された信号はなかなか減衰せず配線内を多重走行する。その結果伝送波形は、たとえば Fig. 4 の例のようにリップルの大きなものとなり、回路として高速動作はもとより正常動作させることが困難となりうる。リンギングが問題とならない配線長は信号の波長のほぼ 1/16 程度以下である(厳密に言うと上記のチップ間配線においても問題となりうるが、話を単純化するため細かい議論は省略する)。

この問題を避けるためには終端整合を行なうことが必須となる。この場合、遅延要因としての信号立ち上がり時間は配線の特性インピーダンスと素子のインピーダンスで決まり、配線容量や抵抗は余り効かない。配線抵抗は信号振幅を低下させる方向に働き、これによって遅延が生じる。また当然チップ内では無視した信号の伝ば遅延そのものがみえてくる。

超伝導ストリップ線路の特性インピーダンスはせいぜい数 10 Ω , たかだか 50 Ω 程度である。それ以上大きくする場合絶縁膜を 1 μ m 以上と厚くする必要があり放射損失・クロストークが増加するなど各種の問題点が出てくる。理想的には素子抵抗が特性インピーダンスと同程度である場合、負荷抵抗での電力消費の割合も小さく高速動作が可能となる。インピーダンスの大きな FET では整合終端による電圧降下が著しくなる。大きな論理振幅で動作させるためにはゲート幅を大きくし、電流レベルをあげて使うことになるが、この場合容量が増加しその結果遅延が大きくなる。入出力インピーダンスを低く取りうるバイポーラトランジスタがこの場合にも適している。CMOS においても終端抵抗での電力消費も加

わることから、冷却の問題は性能を抑える制限条件となりうる。この場合も駆動能力が大きくかつ論理振幅の小さいデバイスが望まれる。

超伝導配線の効果は放熱能力や用途によっても変わることから単純には議論できない。極く大ざっぱな改善のめやすを見積ると、駆動能力の大きなバイポーラでは配線遅延量にして数分の1程度とすることが可能と言えよう。(ただし 10 cm 程度のボードに 100 個程度の LSI を実装する系を想定。) なおチップ内配線同様、電源線に用いることの効果には大きなものが期待される。

4. 高周波配線

マイクロ波集積回路はもちろん超高速例えば 10 ps 程度あるいはそれ以下の信号を扱うデジタルあるいはアナログ集積回路では、配線遅延の他に分散特性のため大きな波形のなまりが生じる。これは波形伝送特性を問題とする高周波回路においては重大な問題点である。超伝導体でも高周波抵抗による伝ぱん損失が生じるが速度分散性は極めて小さい。これは他では得がたい大きな特徴となる。

超伝導体における高周波特性の詳細は他の文献にゆずることとし、ここでは定性的説明と予測される特性を示す。Fig. 5 に酸化物超伝導体の高周波特性の評価結果

を示す⁶⁾。Fig. 5 (a) は損失、(b) は位相速度の周波数依存性を示す。2 流体モデルによると超伝導体中には準粒子による常伝導電流とクーパー対による超伝導電流の 2 種類の電流が流れており、その和が全電流となるものと考えている。信号が高周波になるとインダクタンス成分によって電位差が生じる。それによって準粒子が移動・散乱するために超伝導体においても抵抗による損失が生じることになる。Fig. 5 (a) 中に示した通り常伝導体では抵抗は周波数の 1/2 乗に比例して増加するのに対し、超伝導体では低い周波数ではほとんど 0 で周波数の 2 乗に比例して増加し、ギャップ電圧に対応する周波数付近からは急激な損失を示すことになる。これは高周波により電子のエネルギーがギャップ電圧以上となるため準粒子が激しく励起されるためである。また熱的に励起された準粒子が多い、即ち高温になるほど損失は増加することになる。

常伝導体では表皮効果により電流の流れる表面深さが周波数に依存して変化する。このため大きな速度分散性が生じる。これに対し、超伝導体では直流信号に対しても磁場侵入長 λ_L 程度の表面近傍にのみ電流が集中して流れる。この結果 Fig. 5 (b) に示す通りギャップ電圧に対応する周波数付近まではほぼ均一な位相特性を示すことになる。

酸化物の従来の金属系超伝導体との大きな違いとして電子密度が小さいことが挙げられる。この性質により、磁場侵入路離が長くなる効果が働き、金属系の超伝導体と比べ表面インピーダンスが高くなり、位相速度が遅くなる傾向となる。なお速度の違いことを逆用し遅延回路として用いるという方向も考えられるが配線遅延の低減という観点からは望ましくない。

酸化物超伝導体の高周波特性は $\text{YBa}_2\text{Cu}_3\text{O}_x$ 系材料を中心に多数の研究機関で測定されている。測定法としては、

1) セラミックスあるいは薄膜の酸化物超伝導体で共振器を構成するか、あるいは導波管の中に酸化物超伝導体を挿入し共振器を構成しそれらの Q 値を測定することにより表面抵抗を求める方法^{7,8)}

2) ストリップラインを形成し高速パルスを伝ぱんせしめ光サンプリングにより波形を直接観測し、これにより伝ぱん損失や分散特性を評価する方法⁹⁾

がとられている。Fig. 6 に表面抵抗の測定結果の付表例を示す。これらの結果より分かるとおり、ほとんどの場合液体窒素温度で数 GHz 以上では銅などの常伝導体より損失が大きくなり理論予想値よりもはるかに大きな表面抵抗を持つ結果となっている。この原因はサンプルの不完全性によるものである。すなわち現在測定されて

Fig. 5 High frequency characteristics of oxide superconductors.

Fig. 6 Surface resistance of various oxide superconductor specimens.

× Stanford thinfilm(4K); ● Wuppertal(77K); ○ Wuppertal(4K); ▲ Cornell(77K); △ Cornell(4K); ■ Northwestern bulk(77K); □ Rutgers bulk(10K); * Att xtal(77K)

(a) Measurement circuit configuration

(b) Waveforms

Fig. 7 High speed signal transmission experiment.

いるサンプルは、ほとんどの場合セラミックスあるいは多結晶膜であり、コヒーレント長が極めて短いことも作用し、粒界には超伝導性の弱い領域ができてしまう。このため磁場侵入距離も $1\mu\text{m}$ と長く、中にはジョセフソ

ン接合的な特性を示すものもある。事実比較的結晶性のよい薄膜サンプルの場合磁場侵入距離も 2000Å 程度となり、表面抵抗も Nb よりも良好となる結果も報告されている。

一方、分散特性の測定評価もいくつかの機関で成されている。サンプルが短いことから精密なデータをうるに至っていないが、Fig. 7 の様に 4.2K で 100 GHz の電気信号が無歪で伝ばしたとの報告がある。

超伝導体の高周波損失は材料の表面状態、結晶性・不純物や欠陥等の構造パラメータに依存する。酸化物超伝導体は超伝導発現機構も明らかでなく、層状物質で異方性があり、材料によっては双晶欠陥をもつ。結晶性、電流密度などの観点から比較的良好な材料の形成も可能となりつつあるが、高周波特性は必ずしもこの様なサンプルで評価されているとはいえない。従来の超伝導体同様ほぼ BCS で説明できる様であるが、いずれにしても厳密な議論は今後の検討を待つ必要がある。

5. 今後の課題

酸化物超伝導体は、発見されてから僅か数年しか経っていないことを考えるとやむを得ないことではあるが、克服すべき問題点は少なくない。

5.1 電流密度

電源線は勿論、信号線においても電流密度は当然高いことにこしたことはない。CMOS 回路についてシミュレーションにより求めた文献¹⁰⁾の結果によると全容量 13pF (長さ 1cm , 幅 $0.5\mu\text{m}$, 厚み $1\mu\text{m}$ の配線) で、 0.5ns で 5V 充電するものとしたときの平均電流は 13mA となる。このときの電流密度は $2.6 \times 10^6\text{A/cm}^2$ となる。また終端整合をとる場合、例えば特性インピーダンスを 50Ω とし、論理振幅を 400mV とする場合流れる電流は 8mA となる。幅 $0.2\mu\text{m}$ 厚さ $1\mu\text{m}$ の配線全体にわたって電流が流れると仮定しても、電流密度として $4 \times 10^6\text{A/cm}^2$ 必要となる。これらの値は現在実験的に得られている電流密度に関するデータにほぼ匹敵する。実際には電流は磁場進入長内に集中して流れる点を考慮するともう少し大きな値を必要とする。これらのことから電流密度としては少なくとも 10^7A/cm^2 以上必要であるといえよう。なお幹線系の電源線ではけた違いの電流を必要とする。一方、高周波特性は特に必要としない。マイスナー効果を考えると単に配線を太くするだけでは不十分であり、小さな寸法で大電流を流せる構造の工夫も有効となろう。

5.2 基本技術

1) 薄膜形成; 理想的には、特性劣化の主因である粒界のない単結晶膜が望まれる。半導体のようなエピタキ

シャル技術の開発が望まれるが基板材料の検討も必要であり、長期的取り組みを要すると考えられる。多結晶膜を使うには少なくとも粒界での超伝導の結合力を2けたから3けた程度強める必要がある。

2) 基板; 現状で比較的良好な薄膜を得ることができるのは TiSrO_3 や MgO 基板を用いた場合である。Si GaAs などの半導体や、 SiO_2 や Quartz などの絶縁体基板上では膜質が悪い。基板と薄膜間での相互拡散や反応が主因である。何れにしても低温成長技術が必須である。

3) 積層化; どの適用域でも単層配線は特殊であり、超伝導体と絶縁体、あるいは半導体の多層化技術が必須となる。膜形成とあわせて、絶縁耐圧が大きく比誘電率 ϵ および誘電体損失 $\tan \delta$ の小さな層間絶縁 (及び基板材料) の開発が有効である。

4) 加工技術; 半導体素子からのアナログからリアクティブなイオンエッチング加工が望まれるが、低温での蒸気圧が高いハロゲン化合物等の材料がないなどの問題点があり、現状ではほとんど物理的にミリングする方法がとられている。サブ μm 寸法にすると T_c が少し下がるなどの特性劣化が生じる。膜質を劣化させることなく加工を行なうことが要求される。

5) 界面制御とコンタクト; 低抵抗オーミックコンタクトが当然要求されるが、現状の酸化物では単純に付けるだけでは、界面近傍での酸素欠陥や反応層のため大きな接触抵抗を持ち、極端な場合ショットキー特性を呈する¹¹⁾。また絶縁体との界面でも反応層が大きな分散特性の原因となったり、表面抵抗の原因となる。他の材料との界面特性の改善は必須な課題である。

6) 安定化; 超伝導体でも高周波では内部に電界が発生しうが、その効果は小さく、エレクトロマイグレーションは問題ない。しかし現状では成膜時の温度 (400–500 度) 上昇と、冷却環境と室温のヒートサイクルは避けられない。従ってストレスマイグレーションは問題となる可能性がある。いわゆる 123 構造の酸化物超伝導体では、高真空中に導入するだけで表面の酸素欠損が生じたり、空気中の水蒸気と Ba が反応することにより表面に変質層が生じる。表面保護も含めた安定化技術も重要となろう。

6. む す び

以上超伝導配線を LSI に適用する場合の効果、課題などについて概説した。単に現状のシステムの配線を超伝導体に置き換えるだけでは当然のことながら効果は小さく適用域も限られる。微細化を行う場合には超伝導配線のメリットが出て、回路の高速化も可能となる。何れにしても超伝導配線が効果を示すのは、動作電圧レベルが低く駆動能力の大きなデバイスで、比較的配線長が長い LSI ということになる。その意味から、配線のみならず、例えば FET のゲート・ソースなどの電極、ホットエレクトロントランジスタのベース電極など超伝導体をデバイスに取り込む、あるいは超伝導トランジスタのような高性能な新デバイスの開発により、さらに大きな特性改善効果が期待され適用域も広げられよう。

極限デバイスでの特性評価など討論および協力頂いた LSI 研究所田維主任研究員に感謝します。

文 献

- 1) J. G. Bednorz and K. A. Müller: *Z. Physik B*, **64** 189 (1986).
- 2) H. Maeda, Y. Tanaka, M. Fukutomi, and T. Asano: *Jpn. J. Appl. Phys.* **27**, L 209 (1988).
Z. Z. Sheng and A. M. Hermann: *Nature* **332**, 138 (1988).
- 3) R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassous and B. LeBlanc: *IEEE Journal SC-9*, 256 (1984).
- 4) 例えば H. P. Graf: *AIP Conf. Proc.* 151 (1986) p. 182.
- 5) H. Ito, T. Ishibashi and T. Sugeta: *Extended Abs. of the 16th Conf. of Solid State Dev. and Mat.* (1984) p. 351.
- 6) 早川尚夫: 技研情報ヤング講習会 (1988).
- 7) 小野 隆, 相田一夫, 小中庸夫: 昭 63 信学全大 C-21 (1988)
- 8) T. L. Hylton, K. Char, M. R. Beasley, A. Kapitulnik, J. P. Carini and G. Gruner: 1988 *Appl. Sup. Conf.* EB-6 (1988).
- 9) D. R. Dykaar, R. Sobolewski, J. M. Chewalek, J. F. Whitaker, T. Y. Hsiang and G. A. Mourou: *Appl. Phys. Lett.* 1444 (1988).
- 10) 田口眞夫: 日経エレクトロニクス **435**, 159 (1987).
- 11) Y. Tazoh, K. Aihara, K. Miyabara, K. Hohkawa and M. Oshima: 1988 *Appl. Sup. Conf.* (1988).