シリコンデバイスの電極配線

鴨志田 元孝*

(昭和51年7月30日受理)

Metallization for Silicon Devices

Mototaka KAMOSHIDA

(IC Division, Nippon Electric Co., Ltd., 1753 Shimonumabe, Nakahara-ku, Kawasaki City 211)

(Received July 30, 1976)

1. ま え が き

半導体素子にとって電極を取付ける工程は、その素子が所望の電気的特性を持つ物として現実に使用できる姿となるために、当然の事ながら必要不可欠な工程である。特に現在の Si デバイスでは pn 接合形成工程がかなり安定化して来ているので、素子特性が経時変化するような事故の主な原因としては、多かれ少なかれ何らかの形でこの電極形成工程、または電極材料の選択に起因する事項、あるいは実装技術的な件を指摘される場合が多い。一方、このような電極材料の具備すべき条件として 1965 年に Cunningham¹⁾ によりまとめられた項目と、1976 年に Learn²⁾ の論文で掲げられた条件とを比較すると、後者には前者の条件がそのまま含まれており、その上更に幾つかの条件が付加されている。この事実は電極材料に関する問題が一朝一夕には片付かぬ深い一面を持っており、しかも素子の高性能化に伴って電極材料に対する要求も次第に厳しくなって来ていることを如実に物語っている。

既に電極材料に関する詳細な解説も数多い^{3,4)}。ここでは特に Si の集積回路を念頭に置いて、その電極材料に加えられている最近の検討結果を紹介する。先ず 2 では Al 電極について、2.1 電極形成方法、2.2 電気的特性、更に 2.3 ストレス試験結果をまとめる。なお、ここでは Al 電極と接続する他の電極材料との反応についても触れる。次いで 3 においては金属硅化物系の電極材料に関して、3.1 金属硅化物の形成、3.2 金属硅化物上の電極材料を述べ、更にストレス試験結果についても記述す

る。特に 2.3 以降ではイオンビーム後方散乱法による解析例を主として紹介し、3.3 ではそのイオンビーム後方散乱法の解析で見出された固相エピタキシャル現象についても言及する。

2. Al 電 極

2.1 電極形成方法

電極材料を Si ウェハ上に付着させる方法には、(1)抵抗加熱蒸着法、(2)電子ビーム蒸着法、(3)スパッタ法、(4)イオンプレーティング法、(5)メッキ法、(6)化学蒸着法(CVD 法)などがある^{4,5)}。Al を電極材料とする場合は殆ど(1)~(3)のいずれかが使用されている。

そこで(1)~(3)を相互に比較すると、良く知られている通り(1)抵抗加熱法ではヒーター部分が最も高温になり、ヒーター中の不純物やヒーター材料そのものが Al と反応して、蒸着膜中に混入する危険率が高い。一方(1)の方法は他の(2)、(3)の方法に比較して、Si 素子にとり最も重要な Si-SiO₂ 界面に及ぼす損傷が少ないという長所を持っている。

このヒーターからの汚染を避けるため(2)の電子ビーム蒸着法が広く使用されるようになった。この方法では蒸着源のみを電子ビームで加熱するため、(1)で見られた汚染の問題は無い。しかしこの(2)の方法では(i)蒸着時に Si-SiO₂ 界面に入る損傷⁶⁾と、(ii)合金を蒸着する場合の蒸着膜の組成と蒸着源合金の組成との差異が問題となる。(i)の解決方法に、Si-SiO₂ 界面を傷めず、かつ蒸着源のみを加熱するものとして、高周波加熱装置をベルジャー内に組込んだ蒸着装置もある⁷⁾。また(ii)の対策としては通常フラッシュ蒸着法が用いられていた。

* 日本電気株式会社集積回路事業部 (川崎市中原区下沼部 1753)

図1 配線パターン形成方法の例

A) エッチング法 B) リフトオフ法¹⁰⁾ (またはリフトアウェイ法¹¹⁾) C) 及びD) 陽極酸化法¹³⁻¹⁸⁾

一方(3)スパッタ法は Si-SiO₂ 界面に与える影響などの問題もあるが、しかし蒸着し難い高融点金属、あるいは合金材料の付着に適している。最近ではターゲット面上のみにプラズマを高密度に作り、Si-SiO₂ 界面に損傷を与えず、しかもスパッタ効率も高いと言われている直交電磁界放電方式のスパッタ装置も市販されるようになった^{8,9)}。これによると Si を入れた Al をターゲットとし、Si 入り Al の合金膜をウェハ上に付着させることができる*。

ウェハ上に付着させた金属膜を選択的に除去し、配線パターンを形成する方法としては、図1のように幾通りかの手法が知られている。通常は図1Aのようにフォトレジスト膜でマスクをし化学薬品又はプラズマでエッチングする方法か、逆に図1Bのように配線パターンとして残すべき所以外を予めフォトレジスト膜で被覆しておき、その上に金属膜を付着した後で、フォトレジスト膜を除去すると共にフォトレジスト膜上の金属も除去するリフトオフ¹⁰⁾、又はリフトアウェイ法¹¹⁾が用いられる。このような手法の微細加工精度は、金属膜の結晶粒界の寸法に依存し、一般にこの結晶粒界の寸法の小さい方が加工精度を上げ易い。Al蒸着膜の場合の結晶粒界の大きさは蒸着条件で制御できると報告されており、図2はその一例を示すものである²⁾。

ところが上記の図1A, Bいずれの場合でも Si ウェハ上に配線パターンの段差が生じ、多層配線構造にした

図2 Al 蒸着膜の結晶粒界の大きさと蒸着条件 (Learn²⁾ による)

場合にはこの段の所で配線の断線する確率が高くなってしまふ。その解決策として、例えば予め溝を作っておきそこに配線を埋込むという、GaAs FET の一製法として発表された「堀込みリフトオフ法」¹²⁾を Si デバイスへ適用することなども考えられよう。

* 本特集号 細川直吉「高速低温スパッタリングとその電子デバイスへの応用」を参照。

常光らは他の解決策として、Alの陽極酸化方式を開発、実用化した¹⁸⁻¹⁹⁾。図1C、DはそれぞれAl¹⁸⁻¹⁷⁾およびAl/Ta二層構造¹⁸⁾の配線を陽極酸化法で形成する手法について模式的に示したものである。すなわちこの方法は多孔質Al₂O₃とcomposite Al₂O₃を効果的に使い分け、最終的に配線部を陽極酸化膜中に埋込んでしまうというものである。この方式では配線パターン形成後のウェハ表面の段差が少ないので、多層配線に適している。後述する理由でAlにCuやSiを含有させた合金膜を陽極酸化する場合は、その合金膜上に純粋なAlで覆い、バリアAl₂O₃を表面に形成した後、それをマスクとして配線パターン部形成のための陽極化成を行う方法が提案されている¹⁹⁾。

2.2 電気的特性

高周波用トランジスタとか高速の集積回路素子では、電極金属と半導体との接触抵抗の値が、素子の設計上必要となる。図3にSiに対するAlの接触抵抗をまとめた。Szeら²⁰⁾は零バイアスでの抵抗値 $R_s \equiv (\partial I / \partial V)_{V=0}^{-1}$ をオーミック電極の性能指数に用い、図中の細線で示した値を発表している。最近PellegriniとSalardi²¹⁾はそれに補正を加え、更にPtSiの場合を追加して、図中の太線で示した値を報告している。

Si中の不純物濃度が低い場合はSiに対するAlのショットキー障壁ができる²²⁾。これはAl-Siショットキーダイオードとしてクランプ回路を構成する時に使える²³⁾。n型Siに対するAlのショットキー障壁の高さは0.50²⁴⁾又は0.69±0.01²⁵⁾eVであると報告されており、またp型Siに対しては0.58eV²⁴⁾と報告されている。なお、この値は熱処理の方法によっても多少変ることが知られている²⁶⁻²⁸⁾。

2.3 ストレス試験

2.3.1 エレクトロマイグレーション

配線に電流を通すと“電子の風”により配線を構成している金属原子が吹き飛ばされる現象をエレクトロマイグレーション^{3,29)}と呼ぶ。一般にこの現象は結晶粒界が大きいほど^{30,31)}、また結晶粒界の大きさが均一であるほど³⁰⁾起き難い。また電子の風により原子の吹き溜りが生じないよう、配線部を絶縁膜で被覆するのも、エレクトロマイグレーションを抑える一方法である^{32,33)}。図4は図1Cの陽極酸化法でAl₂O₃中に埋込んだAl配線のエレクトロマイグレーションに対する寿命を示すものであり³³⁾、同様な結果をLearn³⁴⁾も発表している。

加工精度を向上させるためには結晶粒界の小さな方が望まれるので、エレクトロマイグレーション対策とは相反する。しかし現時点の予想では、微細構造を要求され

* ここでは、薄膜Xが薄膜Y上にある場合、X/Yと表記する。

図3 Siに対するAlおよびPtSiのSpecific Contact Resistance (Szeら²⁰⁾およびPellegriniとSalardi²¹⁾による)

図4 陽極酸化法による配線のエレクトロマイグレーションに対する寿命 (佐竹ら³³⁾による)

るLSIに対し、このエレクトロマイグレーションは大きな制約にはならないと言われている³⁶⁾。またAl中にCuを含ませればエレクトロマイグレーションに対する寿命を長くすることができるとも報告されている³⁶⁾ので、必要があればそのような対策を検討する余地も残されている。

2.3.2 Al-Si 反応

コンタクト孔でのAl-Si反応によるpn接合短絡事故に関する報告の歴史も古い³⁷⁾。現在でもこの分野では研究者により報告内容の異なる場合が多く、一貫した説明の行える段階には至っていない。しかし少なくともAl-Si共晶点より低温で反応が進むことは大抵の報告で共通に認められているようである。Lane³⁸⁾は図5に示したようにコンタクト孔の面積と関連させてこの現象を説明している。また最近、井上³⁹⁾もAuger分光分析法で、コンタクト孔を通してSiがAl配線中に入っていく現象を追跡している。

このようなAl-Si反応現象の対策として、(1)Al中に予めSiを含ませておき、コンタクト孔からSiがAl中に新たに入っていく量を少しでも押えようとする方法^{40)*}、(2)Al配線の下に非晶質又は多結晶Siを敷く形にしてAl/Siの二層構造にする方法^{**41)}、あるいは後述する(3)DOPOS法⁴²⁻⁴⁷⁾などが知られている。

図6は上記(2)Al/Siの二層構造にする場合の、Si膜厚の許容範囲を示す一例である⁴¹⁾。この図のように、Si膜

図5 Al-Si反応とコンタクト孔面積 (Lane³⁸⁾による)

図6 Al/Si二層構造配線におけるSi膜厚の許容範囲 (BellierとEhlert⁴¹⁴¹⁾による)

図7 DOPOS法による素子の断面図 (前田、高木ら⁴²⁻⁴⁷⁾による)

厚が厚過ぎるとオーミックコンタクトとしてのコンタクト抵抗が大きくなってしまい、一方、薄過ぎると本来のpn接合短絡防止の役を充分果たすことができなくなるので、一般にかなり精密な膜厚制御が要求される。

図7は前田、高木らによって提案された上記(3)DOPOS

* ただし、この方法ではAl-Si反応を完全に防止できないと報告されている^{41,39)}。

** ただし、この後で熱処理を行う場合には、最終形状は(1)と類似の形となる。Alと多結晶Siとの接触部に見られる固相反応の詳細は次節2.3.3を参照のこと。

図 8 イオンビーム後方散乱法による Al-poly Si 固相反応の観察結果と反応の経過 (中村ら^{48,49)}による)

- A. (Al 膜厚) < (poly Si 膜厚) (a) → (c)
 B. (Al 膜厚) > (poly Si 膜厚) (d) → (f)

法⁴²⁻⁴⁷⁾による MOS トランジスタ (図 A) とパイポーラ素子 (図 B) の断面図である。これは予め不純物を入れた多結晶 Si (Doped Polycrystalline Si) から単結晶 Si 中へ不純物を拡散させて pn 接合を形成する方法をとるため、浅い pn 接合の上に厚い多結晶 Si 層が存在する形となり、結果的には pn 接合と金属電極との間を離れたことになる。

2.3.3 「Al-多結晶 Si」固相反応

Si ゲート MOSFET などの例でも判る通り、Si 素子では多結晶 Si (以下 Poly-Si と略記する) を配線材料に用いることが多い。一般にこの Poly-Si には他の金属をその上に付着させて外部リード端子を熱圧着できるようにしたり、あるいはこの Poly-Si 配線に他の金属配線を接続して用いる。例えばメモリ素子のように高集積密度を要求される素子に於ては、この Si ゲート電極部の真上で Al 配線と接続しているものもある。中村らはこのような Al 配線と Poly-Si 配線との接続部での固相反応を、イオンビーム後方散乱法で詳細に観察している⁴⁸⁻⁵³⁾。

図 8 は、(A) Al 膜厚が Poly-Si 膜厚より薄い場合と (B) 厚い場合のそれぞれのイオンビーム後方散乱スペクトルを熱処理前後で比較したものである^{48,49)}。いずれも熱処理前は破線のスペクトルのように Al-PolySi 界面の²⁷Al/²⁸Si 構造によるピークが明瞭に出ており、界面の均一性を裏付けている。ところが、560°C、30分の熱処理後、(A)では高エネルギー端が Si のエネルギー値迄移動し、熱処理前の Al-PolySi 界面位置に²⁸Si/²⁷Al 構造を意味する谷が現れ、しかもこの位置より表面側のスペクトルの散乱率が増加するようになっている。これは Al がほぼ Si と置き換った事を意味し、内部に Al-rich 層

が形成されている事を示している。一方 (B) の場合も熱処理後は²⁷Al/²⁸Si 構造の界面ピークが消滅しており、均一な Al-Poly Si 界面が無くなっている。

以上の現象を SEM での観察結果などと合わせて、模式的に示したのが図 8 の右図である。膜厚の大小関係が (A) の場合は、(a) から (c) のように再結晶 Si 層が Al と置き換って表面に現れ、内部に Al-rich 層を形成している。それに対し (B) では、(d) から (f) のように Si が島状に Al 中で再結晶化している。そのため外観的には (A)、(B) の膜厚の大小関係で、試料表面が異なり、一見現象が異なっているように見える。しかし反応機構はどちらも同じで、微細な結晶粒が大きな結晶粒になって安定になろうとする力がこの反応の driving force であると中村らは説明している^{48,49)}。

Al と Poly-Si との間に Ti とか V を挿入すると、その Ti とか V が Al と完全に反応し切る迄は、上記のような Al と Poly-Si との反応を阻止できる^{50,51)}。Al 以外の金属と Poly-Si との反応も同様に詳しい報告がなされている⁵²⁾。

3. 金属硅化物電極

3.1 金属硅化物電極の形成

金属硅化物が Si 素子のオーミック電極又はショットキー障壁用電極として用いられることも多い⁵⁴⁾⁵⁵⁾。図 9 は PtSi の形成機構をイオンビーム後方散乱法で調べた平木ら⁵⁶⁾のデータである。Pt と Si のそれぞれのスペクトル成分を分離し、解析する⁵⁷⁾ことにより、Pt₂Si を経て PtSi になることが確められた⁵⁶⁾。これは X 線回折から求めた河村ら⁵⁸⁾の説明と一致している。

図9 イオンビーム後方散乱法による PtSi 形成過程の観察 (平木ら⁵⁶⁾ による)

表1 イオンビーム後方散乱法の観察結果に基づく金属硅化物の形成機構 (Borders と Picraux⁵⁹⁾ による)

金属	温度 (°C)	化合物	機構*	活性化エネルギー (eV)	$D = 10^{-14}$ cm ² /s とする温度 (°C)
Cr	450	CrSi ₂	t	—	—
Hf	550~650	HfSi	$t^{1/2}$	2.5	600
	750	HfSi ₂	—	—	—
Mo	1200	MoSi ₂	t	—	—
Ni	200~350	Ni ₂ Si	—	—	—
	350	NiSi	—	—	—
Pd	750~800	NiSi ₂	—	—	—
	200~300	Pd ₂ Si	$t^{1/2}$	1.5	230
Pt	250~350	Pt ₂ Si	$t^{1/2}$	1.6	285
	350~450	PtSi	$t^{1/2}$	1.6	335
Ti	600~1000	TiSi ₂	$t^{1/2}$	—	—
V	600~750	VSi ₂	$t^{1/2}$	2.9	635
W	625~725	WSi ₂	$t-t^{1/2}$	2.7~3.1	560

* 機構の t は時間を意味する。

表1 はこのようなイオンビーム後方散乱法で調べられた金属硅化物の形成機構および硅化物層の厚さと反応時間との関係などをまとめたものである⁵⁹⁾。反応機構としては硅化物層の厚さが反応時間の一次関数になる場合と平方根関数になる場合とがあり、膜厚制御にはそれぞれの金属に応じて充分な検討が必要である。イオンビーム後方散乱法によるこの分野での仕事を集大成したものととして、Borders と Picraux⁵⁹⁾ によりまとめられたこの表の持つ意義は大きく、また実用的にも重要である。

オーミック接触として金属硅化物を使う場合は、このような硅化物形成機構に対する配慮と共に、その後の配線金属との接続を考慮した注意が必要である。例えば PtSi 形成の場合、元の Pt の膜厚が厚過ぎると熱処理中

図10 Ti-Pd-Au 系の固相反応による界面の変化 (Poate ら⁶²⁾ による)

に Si がコンタクト孔の縁からあたかも溢れ出るような形に PtSi ができてしまい、その PtSi と接続する金属配線の断線事故、又は隣接するコンタクト孔同志の電気的短絡事故の原因となることがある⁶⁰⁾。

更にまたオーミック接触として用いる場合、接触抵抗値も設計上必要になる。既に図3で Si に対する PtSi の接触抵抗を示した。表2は PtSi の上に種々の金属を付着させた場合、及びその付着させる金属単独の場合の、種々の Si に対する接触抵抗を比較しまとめたものである⁶⁰⁾。

3.2 金属硅化物上の金属材料とストレス試験

金属硅化物に外部リード線を接続するためにも、金属硅化物上に金属をのせる必要がある。外部リード線への接続を考えた場合、チップ上の配線金属としては、化学的にも、機械的にも、更に電気的にも Au が望ましい。ところが Au とこの金属硅化物とは比較的低温で反応するので、Au と金属硅化物との間に反応阻止用障壁金属として Ti, Pt, Mo など挿入する必要がある。PtSi-Ti-Pt-Au というビームリード電極⁵⁴⁾はその典型的な例と言えよう。

ビームリード構造に対する信頼性試験結果として、よく Schneer ら⁶¹⁾のデータが引用される。それは Na⁺ イオンによる汚染に耐える時間を比較したものである。

このような金属と絶縁保護膜、又は絶縁保護膜と Si との界面への効果だけでなく、上述のような積層電極を構成する各金属層がどの程度、熱的に耐え得るかという

表2 種々の Si に対する金属および金属/PtSi 構造電極の接触抵抗 (Ω) (Terry と Wilson⁶⁰⁾ による)
接触面積: 10^{-4} cm^2

Si Resistivity ($\Omega \cdot \text{cm}$) and type	Metal and Metal/PtSi									
	Al	PtSi	Mo	PtSi	Ni	PtSi	Cr	PtSi	Ti	PtSi
0.001 n	0.09	0.02	0.08	0.02	0.02	0.02	0.03	0.03	0.01	0.01
0.01 n	6(R)	0.1	5(R)	0.4	2	0.3	3(R)	0.2	4	0.2
0.1 n						40(R)				50(R)
0.002 p	0.03	0.02	0.06	0.03	0.02	0.02	0.04	0.04	0.01	0.01
0.04 p	1	0.7	3(R)	1	4(R)	2	8(R)	1		0.9
0.08 p					45(R)	4				3
0.5 p	20	10	80(R)	10	100(R)	20	200(R)	15		15

(R): 整流性接触

ストレス試験も実用上、重要である。イオンビーム後方散乱法*はこのような金属間相互反応の界面状態を非破壊的に示してくれるので便利である⁵⁹⁾。図10は Ti (750 Å)-Pd (850 Å)-Au (600 Å) での固相反応を見たもの⁶²⁾で、490°C にて40分間加熱した後では各金属層間の界面で相互拡散が起っていることが判る。通常、相互の密着性が良く、しかも相互拡散の起きない金属同志の組合せは無いと言ってよい。従って、結局は、密着性が良く、かつ相互拡散の拡散係数のできるだけ小さな金属同志の組合せを選ぶのが最善ということになる。

3.3 固相エピタキシャル

Canali ら⁶³⁻⁶⁵⁾は単結晶 Si 上に Pd を蒸着し、次いでその上に更に非晶質の Si を蒸着して加熱すると280°C 程度で先ず Pd_xSi_y が形成され、更に熱処理を続けると、丁度 Pd 硅化物でふるいかけられるように、上の非晶質 Si がその Pd_xSi_y 層を通して下の Si 基板上にエピタキシャル成長することを発見した。図11の上図は左側から順にその過程を模式図的に示したものである。

図11はその形成されたエピタキシャル層の結晶方位をチャンネルング現象を利用したイオンビーム後方散乱法のスペクトル (aligned spectrum) で確認したものである⁶³⁾。図のように基板 Si の結晶方位に入射ビームを合わせると、表面の再結晶 Si 層の散乱率も減少し、基板と同じ方位を持っていること、すなわちエピタキシャル成長している事が判る。ここでは最上層の Pd_xSi_y 層を除去して測定しているが、もしこの再結晶層にうまく不純物を入れて pn 接合が形成できれば オーミック電極材料付きの浅い pn 接合が容易に作れることになり、将来技術として興味深い。現在の所、この層に残っている重金属をいかに除去するかということが鍵になっている⁶⁵⁾。

* イオンビーム後方散乱法に関しては J. W. Mayer, L. Eriksson, and J. A. Davies: "Ion Implantation in Semiconductors" Chs. 3 and 4 (1970) Academic Pr., あるいは平木昭夫: 真空 16 (1973) 288, 316, 358 などを参照のこと。

図11 固相エピタキシャル層の結晶方位 (Canali ら⁶³⁾ による)

4. あとがき

電子ビーム露光装置などが実際に半導体素子の製造に使用されるようになるのも比較的近い将来のことだと言われている。そうすると配線パターン寸法の精度は必然的にますます微細化してくる。しかもそれと同時に、pn接合の深さも浅くなって来る。従って電極配線材料としては、このように微細加工が可能で、かつ浅い pn 接合に高い信頼度で接続できるものでなければならなくなる。本稿では、現在最も広く用いられている Al 電極と、現在最も信頼度が高いと言われている硅化物系の電極とについてまとめてみた。このような電極材料の特性は、その付着方法、付着条件により大きな左右される。そのため半導体素子の製造に携わる者と、このような電

極材料を付着する装置の製造に携わる技術者との緊密な連繋が今後ますます必要となろう。中でも、直径の大きくなりつつある半導体ウェハ上に、いかに均一に電極材料を付着させるか、かつその均一性を維持しつつ、いかに大量のウェハ枚数をこなせるようにするということが取り敢えず片付けねばならぬ問題の一つと思われる。

謝辞

本稿をまとめるにあたり、日頃御指導御鞭撻頂く、当社集積回路事業部、岡田隆部長代理に謝意を表します。

〔文 献〕

- 1) J. A. Cunningham: Solid-State Electronics **8** (1965) 735.
- 2) A. J. Learn: J. Electrochem. Soc. **123** (1976) 894.
- 3) 例えば岡田隆:「第10回半導体専門講習会予稿集」(1972)p. 117-153:「半導体研究10」(半導体研究振興会編, 工業調査会刊, 1974) p. 110.
- 4) 例えば鴨志田元孝:電気化学及び工業物理化学**42**(1974)439.
- 5) J. E. Varga and W. A. Bailey: Solid-State Technology **16** (1973) 79.
- 6) 例えば島倉啓一:電気化学及び工業物理化学**40**(1972)510.
- 7) Applied Material Inc., カタログ Application Bulletin 2 "Co-deposition of Aluminum/Silicon Metallurgies using the IN-SOURCE 1500 System" (1974).
- 8) 麻蔭立男: IONICS **1** (1975) 43.
- 9) 細川直吉:「半導体・集積回路技術第10回シンポジウム講演要旨集」(1976)p. 72.
- 10) 三村義昭:「半導体・集積回路技術第5回シンポジウム講演要旨集」(1973)p. 53.
- 11) 中村喜順, 本城真佐雄, 小島快友, 塩入信雄「半導体集積回路の生産技術第3回シンポジウム講演要旨集」(1972)
- 12) 中谷正昭, 隈部久雄:電子材料**14**(1975) 8月号 p. 81.
- 13) H. Tsunemitsu and H. Shiba: "International Electron Devices Meeting Abs." (1969, Washington D.C.) p. 128.
- 14) 常光秀男, 柴 宏, 中村明智, 堀切晴喜:電子通信学会半導体トランジスタ研究会資料S S D 70-49(1970).
- 15) 常光秀男, 柴 宏:「半導体・集積回路の生産技術第2回シンポジウム講演要旨集」(1972) p. 47.
- 16) H. Tsunemitsu and H. Shiba: DENKI KAGAKU **40** (1972) 493.
- 17) O. Kuragami, M. Tameda, I. Sasaki, H. Shiba, and K. Shimizu: "International Electron Devices Meeting Abs." (1970, Washington D.C.) p. 48
- 18) H. Tsunemitsu: 147th-Electrochem. Soc. Meeting Extended Abs. **75-1** (1975) No. 79.
- 19) G. C. Schwartz and V. Platter: J. Electrochem. Soc. **122** (1975) 1508.
- 20) C. Y. Chang, Y. K. Fang, and S. M. Sze: Solid-State Electronics **14** (1971) 541.
- 21) B. Pellegrini and G. Salardi: Solid-State Electronics **18** (1975) 791.
- 22) 例えば H. C. Card: IEEE Trans. Electron Devices **ED-23** (1976) 538.
- 23) A. Y. C. Yu and C. Mead: Solid-State Electronics **13** (1970) 97.
- 24) B. L. Smith and E. H. Rhoderick: Solid-State Electronics **14** (1971) 71.
- 25) M. J. Turner and E. H. Rhoderick: Solid-State Electronics **11** (1968) 291.
- 26) K. Chino: Solid-State Electronics: **16** (1973) 119.
- 27) J. Basterfield, J. M. Shannon, and A. Gill: Solid-State Electronics **18** (1975) 290.
- 28) T. M. Reith and J. D. Schick: Appl. Phys. Letters **25** (1974) 524.
- 29) 例えば岡田隆:物性**14** (1973) 402.
- 30) M. J. Attardo and R. Rosenberg: J. appl. Phys. **41** (1970) 2381.
- 31) F. d'Heurle and I. Ames: Appl. Phys. Letters **16** (1970) 80.
- 32) T. Satake, K. Sawaguchi, and S. Fujimoto: Electrochem. Soc. Spring Meeting Extended Abs. (1971) p. 165
- 33) T. Satake, K. Yokoyama, S. Shirakawa, and K. Sawaguchi: Japan. J. appl. Phys. **12** (1973) 518.
- 34) A. J. Learn: J. appl. Phys. **44** (1973) 1251.
- 35) 菅野卓雄:エレクトロニクス昭和51年1月号 p. 68.
- 36) 例えば I. Ames, F. M. d'Heurle, and R. Horstmann: IBM J. Res. Develop. **14** (1970) 461
- 37) 例えば赤松武志, 渦尻政芳, 橋本寿夫, 前川俊一:第28回応用物理学会予稿集(1967) p. 66.
- 38) C. H. Lane: Metallurgical Trans. **1** (1970) 713.
- 39) T. Inoue, S. Horiuchi, H. Iwai, H. Shimizu, and T. Ishida: Suppl. Japan. J. appl. Phys. **15** (1976) 63.
- 40) P. A. Totta and R. P. Sopher: IBM J. Res. Dev. **13** (1969) 226.
- 41) S. P. Bellier and L. B. Ehlert: *Semiconductor Silicon* 1973 ed. by H. R. Huff and R. R. Burgess (Electrochem. Soc.) p. 304.
- 42) K. Maeda and K. Shirai: "International Electron Devices Meeting Abs." (1971) p. 44.
- 43) 中山和文, 上岡元, 寺田千秋, 高木幹夫:「半導体・集積回路の生産技術第2回シンポジウム講演要旨集」(1972) p. 67.
- 44) M. Takagi, K. Nakayama, C. Terada, and H. Kamioka: Suppl. J. Japan Soc. Appl. Phys.

- 42, (1972) 101.
- 45) K. Nakayama, H. Kamioka, C. Terada, M. Takagi, and R. Toge: Electrochem. Soc. Meeting Extended Abs. **72-7** (1972) 652.
- 46) H. Kamioka, K. Ishi, and M. Takagi: Fujitsu Scient. Tech. J. **8** (1972) 147.
- 47) H. Kamioka, K. Nakayama, M. Takagi, and R. Toge: "International Electron Devices Meeting Abs." (1972) p. 93.
- 48) K. Nakamura, M. -A. Nicolet, J. W. Mayer, and M. Kamoshida: 147 th-Electrochem. Soc. Meeting Extended Abs. **75-1** (1975) 122.
- 49) K. Nakamura, M. -A. Nicolet, J. W. Mayer, R. J. Blattner, and C. A. Evans, Jr.: J. Appl. Phys. **46** (1975) 4678.
- 50) K. Nakamura, S. S. Lau, M. -A. Nicolet, and J. W. Mayer: Appl. Phys. Letters **28** (1976) 277.
- 51) 中村邦雄, 鴨志田元孝, J. W. Mayer: 「半導体・集積回路技術第9回シンポジウム講演要旨集」 (1975) p. 24.
- 52) K. Nakamura, J. O. Olowolafe, S. S. Lau, M. -A. Nicolet, J. W. Mayer, and R. Shima: J. appl. Phys. **47** (1976) 1278.
- 53) 鴨志田元孝: 第8回結晶成長国内会議: 日本結晶成長学会誌 **3** (1976) 76.
- 54) M. P. Lepselter: Bell Syst. Tech. J. **45** (1966) 233.
- 55) 鴨志田元孝, 岡田隆: 電子通信学会論文誌**52-C** (1969) 490, 正誤**52-C** (1969) 771.
- 56) A. Hiraki, M. -A. Nicolet, and J. W. Mayer: Appl. Phys. Letters **18** (1971) 178.
- 57) I. V. Mitchell, M. Kamoshida, and J. W. Mayer: J. appl. Phys. **42** (1971) 4378.
- 58) T. Kawamura, D. Shinoda, and H. Muta: Appl. Phys. Letters **11** (1967) 101.
- 59) J. A. Borders and S. T. Picraux: Proc. IEEE **62** (1974) 1224.
- 60) L. E. Terry and R. W. Wilson: Proc. IEEE **57** (1969) 1580.
- 61) G. H. Schneer, W. V. Gelder, V. E. Hauser, and P. F. Schmidt: IEEE Trans. Electron Devices **ED-15** (1968) 290.
- 62) J. M. Poate, P. A. Turner, and W. J. DeBonte: J. appl. Phys. **46** (1975) 4275.
- 63) C. Canali, S. U. Campisano, S. S. Lau, Z. L. Liao, and J. W. Mayer: J. appl. Phys. **46** (1975) 2831.
- 64) Z. L. Liao, S. U. Campisano, C. Canali, S. S. Lau, and J. W. Mayer: J. Electrochem. Soc. **122** (1975) 1696.
- 65) S. S. Lau, C. Canali, Z. L. Liao, K. Nakamura, M. -A. Nicolet, and J. W. Mayer: Appl. Phys. Letters **28** (1976) 148.