埋め込み形 S-SC-S ジョゼフソン接合製作の可能性*

大矢銀一郎**・稲辺 普人**・沢田 康次**

(昭和56年 8 月31日 受理)

Possibility of the Fabrication of Planar S-SC-S-Type Josephson Junctions Embedded in Semiconductors Gin-ichiro OYA, Hiroto INABE and Yasuji SAWADA

(Research Institute of Electrical Communication, Tohoku University, Sendai)

(Received August 31, 1981)

It has been confirmed that thin Si walls with the thickness of $\sim 1000 \text{ \AA}$ can be fabricated on Si wafers by using an electron-beam lithography and a dry etching process. It has also been observed that superconducting V_3Si layers, whose transition onset temperatures $T_{c,on}$ are strongly correlated with their thicknesses, are formed by the interaction of V with SiO_x . And it has been found that a double-layer structure $VO_x/V_3Si/Si$, or a triple-layer structure $VO_x/V_3Si/SiO_x/Si$ or $VO_xV_3Si/V_3Si_{1+x}/Si$ can be obtained by annealing evaporated V films on thinly oxidized Si wafers between ~ 650 and $\sim 1000^\circ\text{C}$. Based on the obtained results the possibility of the fabrication of planar S-SC-S-type Josephson junctions having V_3Si electrodes embedded in Si single crystal wafers has been discussed.

1. はじめに

近年、ジョゼフソン効果を利用した超高速、低電力消費の高性能電子計算機の実現を旨とし、ジョゼフソン素子を用いた回路方式、回路構成法、集積回路製作法、計算機実装法等に関する研究が盛んに進められている。¹⁾

ジョゼフソン素子を計算機素子として用いる利点は、その高速スイッチング動作が利用でき、そして多数個のジョゼフソン素子で構成する論理回路、記憶回路等が低電力消費で動作可能であるからである。この場合、計算機の演算速度が高速であるためには、素子間の信号伝搬時間が極めて短いことも必要であり、用いる素子は微小で、安定に動作するものでなければならない。従って回路を構成する個々のジョゼフソン素子に次のようなことが望まれる。

- (1) 高速スイッチング動作が可能な素子特性（電流－電圧特性）を有すること。
- (2) 微小化および集積化に適した構造であること。
- (3) 製作条件による特性の制御が可能であること。

(4) 室温と4.2 K 間の温度サイクルや経時変化等による特性劣化が少なく、安定で信頼性の高いこと。最近素子の高信頼化が最も検討されているものは Pb 合金薄膜を電極とする積層形ジョゼフソントンネル接合である。その理由は、電極材料に Pb を In, Au 等で合金化して用いることにより素子の安定性および寿命を改善でき、また放電酸化法の利用およびリフトオフ法の改良により Pb 合金薄膜に関する微細加工技術が飛躍的に進歩したためである。しかしながら現在、安定性および信頼性がより高く、集積化可能な、硬超伝導体薄膜を電極とする新しいジョゼフソン素子の開発が求められている。

本研究では、安定な、Si 単結晶ウェファと一体構造の平面形微小ジョゼフソン接合素子の開発を目的としており、その形状としては2個の超伝導電極を Si ウェファ内に、厚さ500 Å以下の Si 単結晶障壁を挟む形で埋め込む構造をとる。電極材料には Si と一体化可能な Si 化合物で高臨界温度硬超伝導体材料である A-15 形結晶構造の V_3Si (バルクで $T_c \approx 17 \text{ K}$) を用い、その製作には V と SiO_x との反応、拡散を利用する。本素子製作のためには、電子線リソグラフィ技術、エッチング技術、表面酸化技術、真空蒸着技術、リフトオフ技術および真空焼

* 昭和55年10月17日 第41回応用物理学会学術講演会で一部講演

** 東北大学電気通信研究所 (仙台市片平)

鈍技術等が必要である。

本文では、本素子製作のために基礎となる Si 障壁形成のための Si 単結晶ウェファの微細加工、ならびに V_3Si 超伝導電極形成のための V 薄膜と Si ウェファ表面酸化層との反応・拡散による V_3Si 層の生成とについてそれぞれ述べ、本素子製作の可能性について検討する。

2. 素子の構造とその構成

Fig. 1 は埋め込み形ジョゼフソン接合として提案する素子の概略図である。本素子は微細化に適した平面形接合素子であり、半導体 Si 単結晶薄壁 (SC) を Si 単結晶ウェファ基板上に形成し、これを障壁とし、この両側に超伝導電極 (S) を埋め込む形で構成するものである。

半導体 Si が金属と接触している場合、常温ではこの接触は、一般にその Si の接触境界面近傍で電位障壁 (ショットキー障壁) が形成されることにより整流接触となっているか、あるいはその電位障壁が形成されずオーム接触となっているかのいずれかである。しかしながら、液体 He 温度 (4.2 K) 近傍では、真性半導体 Si および不純物濃度の低い ($\sim 10^{19} \text{cm}^{-3}$ 以下) 非縮退半導体 Si は絶縁体的となるので、不純物濃度の高い ($\sim 10^{19} \text{cm}^{-3}$ 以上) 縮退半導体 Si が金属と接触した場合にのみ上述と同様の現象が現われる。Si におけるショットキー障壁の形成は Si の表面準位の存在に大きく影響を受けるが²⁾、おおまかには (表面準位を無視できる場合) 半導体の仕事関数 ϕ_{sc} と金属の仕事関数 ϕ_m の相対的大きさがその目安となりうる。**Table 1** は障壁として種々の Si を用いて実現しうるジョゼフソン接合の形式とその場合必要とされる Si 障壁の厚さを示したものである。ここでは Si の表面準位は考慮していない。種々の接合のうち、ジョゼフソン効果が顕著に現われるのは S-I-S 形であり、次には S-SC-S 形である。これらを平面形接合として製作するには Si 障壁を 20~500 Å の厚さに形成するこ

Fig. 1 Schematic diagram of a planar S-SC-S-type Josephson junction having superconducting electrodes embedded in a semiconductor (Si) wafer.

とが必要である。通常の電子線リソグラフィ技術を用いての微細加工技術のみによっては 2000 Å 以下の厚さの障壁を形成することは一般に困難である。そこで、**Fig. 1** の素子においては、電極部に埋め込む金属と Si との反応および拡散を利用することで、その障壁の厚さを微細加工技術により形成しうる限界厚さよりも薄くできると考えられる。これにより本素子は Si ウェファとの一体化も可能となり素子安定化が計れる。

Fig. 1 の素子の超伝導電極材料に適する Si 化合物として、高臨界温度超伝導体である V_3Si がある。**Table 2** は V_3Si の仕事関数 $\phi_m^{3)}$ および超伝導エネルギーギャップ $\Delta^{4)}$ 、ならびに Si の電子親和力 $\chi_{sc}^{5)}$ および禁止帯エネルギーギャップ $E_g^{5)}$ の値を示したものである。4.2 K 近傍では、非縮退 Si のバンド構造は絶縁体的となるが、縮退 Si では、フェルミ準位は、n 型の場合電導帯の下端より幾分高エネルギー部に (従って $\phi_{sc} \leq \chi_{sc}$)、p 型の場合価電子帯の上端より幾分低エネルギー部に (従って $\phi_{sc} \geq \chi_{sc} + E_g$) 位置すると考えられる。それゆえ、縮退 Si が V_3Si と接触することにより、n 型の場合 $\phi_m > \phi_{sc}$ であり、p 型の場合 $\phi_m < \phi_{sc}$ であることから、いずれの場合も Si の V_3Si との境界面近傍でショットキー障壁が形成される可能性があると推定される。従って、 V_3Si を電極とし、Si を障壁とすることで、S-SC-S 形

Table 1 Josephson junctions having Si barriers.

S: Superconductor, I: Insulator, SC: Semiconductor, N: Normal metal.

Barrier	Type	Barrier Thickness
A. Nondegenerated Si	S-I-S	$\sim 20 \text{ \AA}$
B. Degenerated Si		
a. Schottky barrier contact with metal	S-SC-S	$\lesssim 500 \text{ \AA}$
$\phi_m > \phi_{sc}$ for n-type Si		
$\phi_m < \phi_{sc}$ for p-type Si		
b. Ohmic contact with metal	S-N-S	$\lesssim 1000 \text{ \AA}$
$\phi_m \leq \phi_{sc}$ for n-type Si		
$\phi_m \geq \phi_{sc}$ for p-type Si		

Table 2 Work function ϕ_m and superconducting energy gap Δ of V_3Si , and electron affinity χ_{sc} and forbidden band energy gap E_g of Si.

V_3Si		Si	
ϕ_m	4.6 eV ³⁾	χ_{sc}	4.01 eV ⁵⁾
Δ	2.5 meV ⁴⁾	E_g	1.09 eV ⁵⁾

および (S-I-S 形) ジョゼフソン接合を構成しようと思われる。

本実験は、超伝導電極を V_3Si で構成した Fig. 1 の平面形ジョゼフソン接合の実現を目ざすものであり、Si ウェファの凹部に位置する V_3Si 電極を SiO_x 層と V 薄膜との反応・拡散⁶⁻⁸⁾ を利用して形成することを目的としたものである。

3. 実験方法

本実験では市販の鏡面研磨仕上げした Si 単結晶ウェファを基板に用いた。

Si の微細加工性を調べるために、電子線リソグラフィとドライエッチング法を用いて Si ウェファを加工した。その工程は、Si ウェファ上にレジストを塗布し、パターニングの後、エッチングを行うものである。パターニングには、日本電子株式会社製電子線露光装置 JBX-5 A を用いて電子線レジスト上に直接露光を行った。用いた電子線レジストは単分散ポリスチレン (ネガ形)^{9,10)} および OEPR-1000 (ポジ形) である。膜厚はそれぞれ 2000 Å および 5000 Å である。Si ウェファのエッチングにはイオン (ビーム) ミリング法を用いた。イオン化するガスとして C_3F_8 を使い、反応性イオンエッチングを行った。

V_3Si の生成法は、表面を酸化した Si ウェファ上に V 薄膜を真空蒸着し、これを真空中で焼鈍する方法である。⁸⁾ Si ウェファの酸化は、空気中 800°C で 1 時間の加熱により行い、 ~ 100 Å の酸化層を形成した。V 薄膜の蒸着は、電子線蒸着法を用い、 $\sim 1 \times 10^{-5}$ Pa の真空度で行った。蒸着速度は ~ 100 Å/min とし、蒸着薄膜の膜厚は 300-3500 Å である。得られた試料は $\sim 1 \times 10^{-4}$ Pa の真空槽中で焼鈍した。 ~ 1 min 以内の短時間焼鈍には、コイル状に巻いたタングステン・ヒータを用い、この中に試料を置き、その目的温度までの温度上昇には ~ 1.5 min 以内で行う方法をとった。その試料の冷却は、ヒータの電源を切ることにより行った。他方、より長時間の焼鈍には、真空槽に接続した溶融石英管に試料を入れ、これを電気炉を用いて加熱する方法をとった。

加工あるいは焼鈍した試料の表面は、走査電子顕微鏡

(SEM) を用いて観察した。焼鈍した試料内に形成された化合物は X 線ディフラクトメータを用いて調べた。未焼鈍および焼鈍試料の深さ方向の組成分布は、通常のオージェ電子分光法 (AES) を用い、 $\sim 6.7 \times 10^{-3}$ Pa のアルゴン雰囲気中でのアルゴンイオンによるスパッタリングを併用する方法で調べた。焼鈍試料中に形成された化合物層の厚さは、未焼鈍試料の既知の V 膜厚を基準に概算した。

未焼鈍および焼鈍試料の超伝導臨界温度 T_c は 4 端子抵抗法により測定した。試料の温度は校正したゲルマニウム温度測温子を用いて測定した。

4. 結 果

4.1 Si ウェファの微細加工

Fig. 1 の素子の障壁形成のためのパターニングにおいて、ネガ形レジストを用いる場合、障壁部および電極埋め込み部周辺を露光し、これらの部分のレジストを残し電極埋め込み部分のレジストを現像により除去することが必要である。一方、ポジ形レジストを用いる場合は電極埋め込み部分を露光し、現像によりその部分のレジストを取り除くことよい。現在広く使用されている電子線レジストはポジ形レジスト PMMA (OEPR-1000) である。これは 0.1 μm 程度までの高解像度を有しているからである。しかしこれは耐イオンエッチング性が低いという欠点も有している。一方ネガ形レジストはポジ形レジストに比し一般に低解像度性のために微細加工への利用度は少ない。しかしながら、最近、高い耐イオンエッチング性を有し、分子量分布 (分散度 = 重量平均分子量 / 数平均分子量) が 1.01 以下の単分散ネガ形レジスト・ポリスチレンが合成され、0.3 μm 以下の解像度が得られている。^{9,10)} 本実験では、高解像度電子線レジスト、単分散ポリスチレンおよび OEPR-1000 を用いて、Si 薄壁の形成の容易さを比較した。

Fig. 2 は、単分散ポリスチレンを用いてパターニングを行った場合の Si ウェファの微細加工後の表面 SEM 写真である。ここで、レジスト上に描いたパターンは幅 ~ 1000 Å の線であり、Si ウェファのエッチング深さは ~ 1500 Å である。なお、Fig. 2 では、イオンエッチング後、マスクとして Si ウェファ上に残存していたレジストは除去してある。この図より、幅 ~ 1000 Å の Si 薄壁の形成されているのが見られる。

一方、レジストに OEPR-1000 を用いた場合には、細い (≤ 1000 Å) 直線パターンを得るために 2 個の電極パターンを極めて接近させて (≤ 1000 Å) 描く必要があるが、通常の方法では電子線間の相互作用による近接効果のために、 $\sim 5 \mu m$ の長さにわたっては均一な幅で細線

Fig. 2 Scanning electron micrograph: Profile of a Si wall fabricated on a Si wafer by using an ion etching method. An electron resist used is polystyrene.

を得ること、ならびにその線幅を制御することが極めて困難であった。得られた直線パターンでは、比較的均一な最小線幅は $\sim 1500 \text{ \AA}$ であったが、これを再現性良く形成することは困難であった。

以上より、Fig. 1の素子におけるSi障壁は、ネガ型レジスト・単分散ポリエチレンを用い、これに電子線直接露光法を用いてパターンニングすることにより、厚さ $\sim 1000 \text{ \AA}$ で形成可能であるといえる。

4.2 V_3Si 層の形成と超伝導臨界温度

Fig 3 は、表面酸化したSiウェファ上に蒸着したV薄膜における、 1000°C 以下での短時間（数秒）焼鈍による化合物層形成の様子を図式的に示したものである。これは、膜厚 $300, 1000$ および $3500 \text{ \AA}$ のV蒸着薄膜の焼鈍試料のX線解析およびオージェ分析より得た結果である。**Fig 4(a)** および**(b)**はそれぞれ、膜厚 $300 \text{ \AA}$ のV蒸着薄膜の未焼鈍試料および $\sim 860^\circ\text{C}$ での焼鈍試料における、V, O, Si オージェ電子の深さ方向の分布を示したものである。**Fig. 5** は、膜厚 $3500 \text{ \AA}$ のV蒸着薄膜を 970°C で焼鈍した試料における、V, O, Si オージェ電子の深さ方向の分布を示したものである。ここでは、オージェ1次微分信号を測定し、 437 eV のVオージェ・ピーク、 490 eV のOオージェ・ピーク⁸⁾および 92 eV のSiオージェ・ピークをモニターした。Fig. 4(a)より、Siウェファ上には厚さ $\sim 100 \text{ \AA}$ の SiO_x 層が形成されており、未焼鈍のV蒸着薄膜においては、表面層を除いた薄膜内部には酸素は殆んど含まれていない。しかしながら、 $\sim 250^\circ\text{C}$ と $\sim 650^\circ\text{C}$ の間で焼鈍を行うことによりV蒸着薄膜は VO_x 薄膜となる。さらに、 $\sim 650^\circ\text{C}$ 以上(しかし $\sim 1000^\circ\text{C}$ 以下)での焼鈍により、初め VO_x 層と SiO_x

Fig. 3 Schematic diagram showing the phase formation in layer form in evaporated V films annealed on thinly oxidized Si wafers for a short period of time.

層(Siウェファの表面酸化層)との境界領域に V_3Si 層が形成される。この層の厚さは焼鈍温度 T_A の増大と共に増大し、 $\sim 800^\circ\text{C}$ 以上で顕著となる。このとき、 $\sim 800^\circ\text{C}$ 以上では SiO_x 層(膜厚 $\sim 100 \text{ \AA}$)の消失も観測される。さらに $\sim 850^\circ\text{C}$ 以上では $V_3Si_{1+\alpha}$ (Si-richer VSi_x : V_5Si_3 , V_6Si_5 , VSi_2 等)層の形成が V_3Si 層とSiウェファとの境界領域で起こる。得られた V_3Si 層の最大の厚さは $\sim 800 \text{ \AA}$ であり、 $3500 \text{ \AA}$ のV薄膜を 970°C で焼鈍することにより得られた(Fig. 5)。一方、 VO_x 層のO濃度は、 T_A の増大と共に増加し、また、同一の T_A の場合でも蒸着したV薄膜の膜厚の減少により増加した。本実験で観測できた最もO濃度の高い VO_x 化合物は V_2O_3 であり、これは $300 \text{ \AA}$ のV薄膜を $\sim 700^\circ\text{C}$ 以上で焼鈍した場合に観測された。しかしながら、Fig. 4(b)に見られるように、 VO_x 層でのO濃度分布は厚さ方向に対して一

Fig. 4 Auger electron depth profiles of (a) a 300 Å-thick V-film evaporated on an oxidized Si wafer and (b) a 300 Å V-film specimen annealed at $\sim 860^\circ\text{C}$. A V Auger peak at 437 eV, an O Auger peak at 490 eV and a Si Auger peak at 92 eV were monitored. The peak-to-peak amplitudes shown for the O Auger peak and for the Si Auger peak are magnified by factors 2 and 1/2, respectively.

Fig. 5 Auger electron depth profile of a 3500 Å V-film specimen annealed at $\sim 970^\circ\text{C}$. The peak-to-peak amplitudes shown for the O Auger peak and for the Si Auger peak are magnified by factors 2 and 1/2, respectively.

様ではなく、試料表面の高濃度領域を除けば、O原子は V_3Si 層に接した VO_x 層の下部に集積し、そこに高濃度領域を形成する傾向がある。

以上より、 SiO_x 層上に蒸着したV薄膜を $\sim 650^\circ\text{C}$ と $\sim 800^\circ\text{C}$ の間で焼鈍した場合、

なる固相反応が生じ、V薄膜と SiO_x 層との境界領域に V_3Si 層が形成される。同時に、 SiO_x からO原子が遊離される。このO原子はV薄膜の未反応部分に拡散し、そこでVと反応して VO_x 化合物を形成すると考えられ

る。Fig. 5 にみられるように V_3Si 層が極めて厚く、隣接する VO_x 層の O 濃度が小さい場合には V_3Si 層中には O 原子はほとんど存在していない。しかし、Fig. 4 (b) にみられるように、 VO_x 層の O 濃度が高く、かつ VO_x 層の V_3Si 層への遷移領域（本実験では $\sim 400 \text{ \AA}$ ）より V_3Si 層の層厚が薄い場合には V_3Si 層中にもわずかの VO_x が存在することとなる⁸⁾。また、 $\sim 800^\circ\text{C}$ — $\sim 850^\circ\text{C}$ での焼鈍では、 SiO_x 層の消失により、 V_3Si 層は Si ウェファと直接接した形で形成される (Fig. 4(b))。さらに、 $\sim 850^\circ\text{C}$ 以上（しかし 1000°C 以下）の焼鈍では、 VO_x 層と Si ウェファの間に V_3Si 層の形成と共に V_3Si_{1+x} (V_3Si 層と Si ウェファの境界領域で) の形成も起こる (Fig. 5)。この層の形成は、焼鈍による SiO_x 層の消失を考慮すれば、V と Si との反応に起因するものである^{6,7)}。一方、 $\sim 650^\circ\text{C}$ 以下での焼鈍の場合には、 V_3Si 層の形成は確認できなかったけれども、 VO_x 層が形成されたことから、この場合にも V と SiO_x とは相互作用していると考えられる。

X線回折に基づけば、 $\sim 650^\circ\text{C}$ と $\sim 1000^\circ\text{C}$ の間で形成される V_3Si (立方晶, A-15形) は平均格子定数 $a=4.721 \text{ \AA}$ を有している。Si-richer VSi_x 化合物として、 V_6Si_5 (斜方晶) が $a=4.86 \text{ \AA}$, $b=7.49 \text{ \AA}$, $c=15.94 \text{ \AA}$ なる格子定数を有し、 $300 \text{ \AA}$ および $1000 \text{ \AA}$ の V 薄膜を $\sim 900^\circ\text{C}$ 以上で焼鈍することによって、また、 VSi_2 (六方晶) が $a=4.57 \text{ \AA}$, $c=6.37 \text{ \AA}$ を有し、 $3500 \text{ \AA}$ の V 薄膜を $\sim 950^\circ\text{C}$ 以上で焼鈍することによって得られた。さらに、 V_3Si とこれらの Si-richer VSi_x との中間化合物として V_5Si_3 (正方晶; $a=9.42 \text{ \AA}$, $c=4.75 \text{ \AA}$) が形成された。

Fig. 6 は膜厚 $300 \text{ \AA}$, $1000 \text{ \AA}$ および $3500 \text{ \AA}$ の V 蒸着薄膜を $\sim 970^\circ\text{C}$ で焼鈍することによって得られた V_3Si 層の層厚 d_{V_3Si} , ならびに VO_x 層内の O と V に対するオージェ 1 次微分信号のピーク・ピーク値の比 O_{p-p}/V_{p-p} を、蒸着 V 薄膜の膜厚 d_V の関数として示したものである。ここでは、 437 eV の V オージェ・ピーク、 490 eV の O オージェ・ピークそして 92 eV の Si オージェ・ピークをモニターし、 d_{V_3Si} を試料の深さ方向の組成分布より求めた。形成された V_3Si 層の層厚 (d_{V_3Si}) は、用いた試料の SiO_x 層の層厚ならびに焼鈍条件とほぼ一定としてあるにもかかわらず、 d_V に依存し、 d_V と共に増大するのが見い出される。一方、 V_3Si 層上に同時に形成される VO_x 層の O 濃度は d_V の増大と共に減少する。 V_3Si 層が最も厚く形成された $3500 \text{ \AA}$ V 薄膜の焼鈍試料について、 800°C と 1000°C の間（この温度範囲では焼鈍により SiO_x 層は消失する）における V_3Si 層の成長が（焼鈍時間）^{1/2} に比例すると仮定した場合、この層の成長に対する活性化エネルギーは $1.2 \sim 1.6 \text{ eV}$ と求められた。この

Fig. 6 d_{V_3Si} (V_3Si -layer thickness) and O_{p-p}/V_{p-p} (ratio of an O Auger peak-to-peak amplitude at 490 eV to a V Auger peak-to-peak amplitude at 437 eV for VO_x layers) as a function of d_V (deposited-V-film thickness) for specimens annealed at $\sim 970^\circ\text{C}$ for a short period of time.

活性化エネルギーは、V と SiO_2 との反応のみによって V_3Si が形成される場合のそれ (2.0 eV)⁷⁾ より小さい。これは、本実験の $3500 \text{ \AA}$ V 薄膜を 800°C と 1000°C の間で焼鈍した場合には、 V_3Si 層の形成は V と SiO_x との反応によるばかりでなく、V と Si の反応もこの層形成に関与していることを示唆している。しかしながら、Fig. 6 にみられるように、 d_V の減少に伴い d_{V_3Si} も減少する。これは、 V_3Si 層上に形成される VO_x 層の O 濃度の増大に起因するものと考えられ⁸⁾、高い O 濃度を有し比較的安定な VO_x 層の形成により、 V_3Si 層を成長させるような Si 原子の拡散が抑制されるものと推定される。従って、 V_3Si 層の成長は、同時に形成される VO_x 層の O 濃度に依存することから、焼鈍温度 T_A ばかりでなく V 蒸着薄膜の膜厚 d_V によっても制御可能である。

Fig. 7 は、Fig. 3 の測定に用いた試料の超伝導遷移上部温度 $T_{c,on}$ の焼鈍温度 T_A 依存性ならびにこの試料において VSi_x 化合物が生成される焼鈍温度範囲を示す。用いた V 蒸着薄膜の膜厚 d_V は $300 \text{ \AA}$, $1000 \text{ \AA}$ および $3500 \text{ \AA}$ である。V 蒸着薄膜自身の $T_{c,on}$ は d_V 依存性を示し、 $\sim 1300 \text{ \AA}$ 以上のものが 4.2 K 以上の $T_{c,on}$ を示した。Fig. 7 でみられる $T_{c,on}$ の T_A 依存性は、Fig. 3 を基におおまかに以下のように説明できる。 $\sim 250^\circ\text{C}$ — $\sim 650^\circ\text{C}$ の T_A では、V 蒸着薄膜は VO_x 薄膜となることにより、 4.2 K では超伝導を示さない。 $\sim 650^\circ\text{C}$ 以上で $\sim 1000^\circ\text{C}$ 以下の T_A では、 V_3Si 層が VO_x 層と SiO_x 層あ

Fig. 7 $T_{c,on}$ (superconducting transition onset temperature) as a function of T_A (annealing temperature), and ranges of T_A for the formation of main VSi_x compounds, for 300, 1000 and 3500-Å V-film specimens annealed for a short period of time.

るいは Si ウェファとの境界領域に形成されるため、 T_A の増大に伴う V_3Si 層の成長により T_c は増大する。本実験で得られた最高の $T_{c,on}$ は 14.9 K である。しかし ~1000°C 以上の T_A では、Si-richer VSi_x 化合物の生成が著しく増大し、そのため $T_{c,on}$ は大きく低下する。

Fig. 8 は、いくつかの(短時間)焼鈍試料の $T_{c,on}$ を、その試料内に形成された V_3Si 層の層厚 d_{V_3Si} の関数として示したものである。この図より、得られた試料では $T_{c,on}$ と d_{V_3Si} の間に強い相関のあることが見い出される。即ち、~650°C と ~1000°C の間で焼鈍した試料の $T_{c,on}$ は、形成された超伝導 V_3Si 層の層厚 d_{V_3Si} の増大に伴い、初め (~200 Å までは) 急増するが、しだいに 14.9 K (本実験で得られた最高の $T_{c,on}$) に漸近してゆく。それゆえ、Fig. 7 で見られる焼鈍試料 (T_A : ~650°C ~1000°C) の $T_{c,on}$ の T_A 依存性および d_V 依存性は d_{V_3Si} 依存性におおむね還元される。これは d_{V_3Si} が T_A および d_V に依存することによるものである。また、Fig. 7 における $T_{c,on}$ の d_{V_3Si} 依存性は、おおむね

$$T_{c,on} - 14.9 \propto -(d_{V_3Si} - d)^{-2} \quad (2)$$

なる関係式で表わされうる¹¹⁾。ここで、 $b \approx 30$ Å。この

Fig. 8 $T_{c,on}$ as a function of d_{V_3Si} for some short-term-annealed specimens.

Fig. 9 $T_{c,on}$ and d_{V_3Si} ($d_{V_3Si} + d_{V_3Si_{1+\alpha}}$) as a function of t_A (annealing time) for 700 Å V-film specimens annealed at ~770°C.

ことは、比較的薄い V_3Si 層ならびに O 濃度の比較的低い VO_x 層を有する焼鈍試料では、 V_3Si この超伝導層と VO_x 常伝導層間に近接効果が作用することを示唆している⁸⁾。

Fig. 9 は、層厚 ~100 Å の表面酸化層を有する Si ウェファ上に蒸着した膜厚 ~700 Å の V 薄膜を 770°C で焼鈍した場合の試料の $T_{c,on}$ および形成された V_3Si_y (V_3Si および $V_3Si_{1+\alpha}$) 層の層厚 $d_{V_3Si_y}$ を焼鈍時間 t_A の関数として示したものである。 $T_{c,on}$ は t_A の増加に伴い、初め (~4 min まで) 大きく上昇する。これは主に V と SiO_x との反応、拡散による V_3Si 層 (VO_x 化合物をわずか含むが) の成長に起因するものである。しかし ~4 min 以上の焼鈍では $T_{c,on}$ はほぼ一定となる。~4 min 以内の

焼鈍により SiO_x 層が消失し、これにより、より長時間の焼鈍では V_3Si 層の成長が停止し、 $\text{V}_3\text{Si}_{1+\alpha}$ (X線回折に基づく)、 V_5Si_3 および V_6Si_5 層の形成が優勢となることによるものである。 V_3Si 層は、この長時間焼鈍によりむしろ薄くなるが、 $T_{c,\text{on}}$ が上昇する傾向であるのは、焼鈍効果により V_3Si 中の原子配列の規則度の増加に起因するものである。しかしながら、この得られた $T_{c,\text{on}}$ は Fig. 8 に示されているほぼ同一の $d_{\text{V}_3\text{Si}}$ を有する試料の $T_{c,\text{on}}$ に比べ低く、この場合 V_3Si 層と $\text{V}_3\text{Si}_{1+\alpha}$ 層との間にも近接効果が働いていると考えられる。

この節で得られた結果は次のようにまとめることができる。

(1) V_3Si 層は $\sim 650^\circ\text{C}$ と $\sim 1000^\circ\text{C}$ の間で V と SiO_x との固相反応、拡散によって形成される。

(2) Si ウェファ表面に形成した SiO_x 層が薄い場合 ($\sim 100\text{\AA}$) には、焼鈍条件により、 V_3Si 層は次の3種の積層形態をとって形成される。(a) $\text{VO}_x/\text{V}_3\text{Si}/\text{SiO}_x/\text{Si}$, (b) $\text{VO}_x/\text{V}_3\text{Si}/\text{Si}$, および (c) $\text{VO}_x/\text{V}_3\text{Si}/\text{V}_3\text{Si}_{1+\alpha}/\text{Si}$ 。

(3) これらの積層形態は、焼鈍温度、焼鈍時間、V蒸着薄膜の膜厚を制御することにより、制御可能である。

(4) 得られた V_3Si 層の最大層厚は $\sim 800\text{\AA}$ である。

(5) この最大層厚の V_3Si 層を有する焼鈍試料で、最高の $T_{c,\text{on}}$ 14.9 K が得られた。

(6) 焼鈍試料の $T_{c,\text{on}}$ は、形成された V_3Si 層の層厚と強い相関を示した。

5. 考 察

Si ウェファ表面に形成した薄い SiO_x 層はV蒸着薄膜との固相反応、拡散により消失でき、これに代り、 V_3Si 層 (この層上に VO_x 層の形成を伴い) を Si ウェファ上に直接接した形で形成しうる。しかしこの場合、Si と V_3Si との境界面の状態は厳密には明らかではなく、この境界領域に V_5Si_3 , V_6Si_5 , VSi_2 等の粒子あるいは薄層 ($\sim 10\text{\AA}$) 以下が形成される場合もあると考えられる。

Fig. 10 は V_3Si 電極と Si 障壁で構成される種々のジョゼフソン接合のバンド構造モデル図である。図中、実線で示してある超伝導エネルギーギャップは V_3Si が直接 Si に接している場合のものである。しかし、 V_3Si と Si との境界領域に $\sim 10\text{\AA}$ の V_5Si_3 , V_6Si_5 , VSi_2 等の生成領域が存在する場合には、近接効果により接合部近傍の超伝導エネルギーギャップは (図中点線で示したように) 減少すると考えられる。また、Si- V_3Si 接合部において、形成されるショットキー障壁の高さは Si の型に依存するばかりでなく、接合部境界領域に形成される物質にも依存するので¹²⁻¹⁴⁾、この場合の障壁の高さは ~ 0.5 -

Fig. 10 Energy band diagrams of: (a) S-I (nondegenerated Si)-S junction, (b) S-SC (degenerated n-type-Si)-S junction, and (c) S-SC (degenerated p-type-Si)-S junction. S: V_3Si .

Fig. 11 Schematic diagram showing fabrication procedure of the planar S-SC (or I)-S-type Josephson junction having superconducting V_3Si electrodes embedded in a Si single crystal wafer.

$\sim 0.8\text{ eV}$ と推定される。

Fig. 11 は V と SiO_x との反応性拡散法により、Fig. 1 の V_3Si 電極と Si 障壁で構成される埋め込み形ジョゼフソン接合の製作工程の概略を示したものである。S-I-S 形接合の場合、非縮退 Si ウェファ内に微細加工技術により近接した2個の凹部を形成することで厚さ $\sim 1000\text{\AA}$ の薄壁を形成するのみでよいが、S-SC-S 形接合の場合には、その薄壁は、非縮退 Si ウェファ上に成長した縮退 Si 単結晶層内に形成することが必要である。後者の場合、縮退 Si 層形成のために用いる不純物とし

てP (リン), Ga 等のように SiO_2 層中に取り込まれにくい元素が, 超伝導 V_3Si 電極形成上好ましいと思われる. Si 単結晶に形成した凹部には, 陽極酸化¹⁵⁾等による内面酸化 (厚さ $\sim 400\sim 500\text{\AA}$) の後, V 薄膜の埋め込みを行う. この試料を $\sim 650\sim 850^\circ\text{C}$ で真空焼鈍することにより, V_3Si が Si 障壁と接する形で形成されることにより, 素子は完成する. 本素子製作には Si 障壁を高精度で形成することが必要であり, そのためには, パターニングおよび微細加工, Si 表面に形成する SiO_x 層の層厚ならびに焼鈍時間に対する精度の良い制御が必要である. 一般に, Si 障壁形成の点から S-SC-S 形ジョゼフソン接合が S-I-S 形に比し製作は容易であると思われる.

6. おわりに

安定で微細化可能な新型ジョゼフソン接合素子として提案した, Si 単結晶ウェファと一体構造で平面型構成の埋め込み型ジョゼフソン接合の製作においては, Si 障壁の厚さを高精度に制御し, $\sim 500\text{\AA}$ 以下とすることが必要である. この厚さの障壁は通常の電子線リングラフィ技術を併用する微細加工技術を用いても形成が困難であることから, 本実験では, この障壁を挟んで形成する超伝導電極に, 素子の Si ウェファとの一体化を考慮して, V_3Si を用い, これの Si 表面酸化 (SiO_x) 層と V 薄膜との反応性拡散による形成, ならびにこれによる Si 障壁の薄壁化の可能性を調べた.

得られた実験結果は次のようである. 電子線リングラフィ技術と微細加工技術により厚さ $\sim 1000\text{\AA}$ までの Si 薄壁の形成は可能である. Si 表面に SiO_x 層を形成し, これを V 薄膜と反応性拡散を行わせることにより, V_3Si 層がこの SiO_x 層を消失し, Si と直接接した形で形成しうる. 従って, この方法により, Si 障壁の両側に V_3Si 電極を形成すると同時にこの障壁の薄壁化が可能である. この場合, 障壁を高精度で形成するためには SiO_x 層の層厚ならびに焼鈍時間に対する精度の良い制御が必要となる.

上述の反応性拡散法により製作した V_3Si 層の $T_{c, \text{on}}$ はその層厚に大きく依存しており, 層が厚い程 $T_{c, \text{on}}$ は高い. この V_3Si が Si に接して生成される場合, この Si の接触境界面近傍にはショットキー障壁あるいはバーディーン障壁¹⁴⁾が形成されうる.

以上より, V_3Si を超伝導電極として埋め込んだ, Si ウ

ェファ一体構造の平面形 S-SC-S ジョゼフソン接合は, その Si 障壁形成は必ずしも容易ではないが, 十分に製作可能であると考えられる.

本研究は文部省科学研究費特定研究および奨励研究によって行われたものである.

本研究を行う機会を与えて下さり, また本研究進行上有意義かつ適切な御助言を下された本学・故小野寺大教授に心より感謝の意を表したい.

電子線露光に御援助いただいた玉川大学 柴山乾夫教授, 本学 山之内和彦教授, 板谷謹悟氏, 目黒敏靖氏, また, オージェ電子分光分析に御協力いただいた本学 松尾正之教授, 庄子習一氏, ならびに X 線回折をしていただいた本学 相原政志氏に深謝致します.

〔文 献〕

- 1) IBM J. Res. Dev. **24** (1980).
- 2) S. M. Sze: *Physics of Semiconductor Devices* (Wiley-Interscience, New York, 1969) p. 372.
- 3) F. Heiniger and L. Walldén: Phys. Stat. Sol. (a) **5** (1971) 75.
- 4) Y. Muto, N. Toyota, K. Noto, K. Akutsu, M. Ishino and T. Fukase: J. Low Temp. Phys. **34** (1979) 617.
- 5) G. W. Gobeli and F. G. Allen: Phys. Rev. **137** (1965) A245.
- 6) K. N. Tu, J. F. Ziegler and C. J. Kircher: Appl. Phys. Lett. **23** (1973) 493.
- 7) H. Kräutle, M.-A. Nicolet and J. W. Mayer: J. Appl. Phys. **45** (1974) 3304.
- 8) G. Oya, H. Inabe, Y. Onodera and Y. Sawada: (to be published at J. Appl. Phys.)
- 9) 板谷謹悟, 柴山乾夫, 藤本輝雄: 半導体・集積回路技術, 第 19 回シンポジウム講演論文集, (1980) p. 42.
- 10) 板谷謹悟, 柴山乾夫, 藤本輝雄: 半導体・集積回路技術, 第 20 回シンポジウム講演論文集, (1981) p. 54.
- 11) R. D. Parks: *Superconductivity* (Marcel Dekker, New York, 1969) p. 1005.
- 12) J. M. Andrews and J. C. Phillips: Phys. Rev. Lett. **35** (1975) 56.
- 13) J. L. Freeouf: Solid State Commun. **33** (1980) 1059.
- 14) J. M. Poate, K. N. Tu and J. W. Mayer: *Thin Films-Interdiffusion and Reactions* (Wiley-Interscience, New York, 1978).
- 15) C. R. Fritzsche: J. Phys. Chem. Solids **30** (1969) 1885.