イオン打込み層のランプ・アニール*

岩松 誠一**・加藤 樹理**

(昭和57年6月18日 受理)

Halogen Lamp Annealing of Ion-Implanted Silicon

Seiichi IWAMATSU and Juri KATO

(Suwa Seikosha Co., Ltd., Fujimi Plant

281 Fujimi, Fujimi-Machi, Suwa-Gun, Nagano 399-02

(Received June 18, 1982)

Recently, various transient annealing technologies have been intensively investigated on activation of ion-implanted layers, using laser, electron beam, flash lamp, high-intensity arc-lamp, and solar radiation. But the application of these annealing technologies to device processing is still in its infancy.

This paper describes an application of halogen lamp annealing to the activation of ion-implanted silicon and to CMOS LSI processing.

The samples were heated with halogen lamps in nitrogen gas at an atmospheric pressure to 1200°C for five seconds. This annealing activated the boron ions and phosphorus ions implanted layers and realized the same sheet resistivities as the furnace annealing (100°C, 20 min.) with negligible dopant redistribution. 256 K CMOS ROM was fabricated using the halogen lamp annealing.

The advantage of halogen lamp annealing technology was shown in place of furnace annealing without changing conventional processing steps.

1. はじめに

イオン打込み層の瞬間アニール (transient annealing) 技術は, SLI の微細化・高速化の点で特に注目されている。

最近では, レーザ光¹⁾, 電子ビーム²⁾, フラッシュ・ランプ³⁾, ハロゲン・ランプ⁴⁾, 太陽光⁵⁾, グラファイト・ヒータ⁶⁾ など多くの瞬間アニール技術が報告されている。しかしながら, 単一のプロセスとしてのイオン打込み層アニールの報告が多く, 半導体プロセスとして, 従来の電気炉アニールと比較した瞬間アニール技術の優位性, 及び, 全半導体プロセスを通した上での瞬間アニール技術の評価については明確にされていない。

ここでは, 大面積の一括照射が可能で高いスループットを持つハロゲン・ランプ炉に依る瞬間アニールを用い

た。試料の高濃度イオン打込み層をハロゲン・ランプ炉で数秒アニールし, MOS FET 及び CMOS LSI を試作した。以下において, 従来の電気炉アニール技術と比較したハロゲン・ランプ・アニール技術の半導体プロセスとしての優位性, 及び, MOS FET と CMOS LSI を試作評価した結果を報告する。

2. 実験方法

2.1 ハロゲン・ランプ炉

実験に用いたハロゲン・ランプ炉は, タングステン・フィラメントから成る石英ガラス製ハロゲン・ランプを発熱源とする放射加熱炉である。Fig. 1 は, ハロゲン・ランプ炉の加熱部断面図である。加熱部有効容積は 200 (W) × 264 (D) × 80 (H) mm³ であり, 上面と下面に各々 12 本, 計 24 本のハロゲン・ランプから構成されている。照射する放射線は, 波長が 0.3 μm から 3.0 μm のインコヒーレント光である。

* 昭和57年4月3日 第29回応用物理学会関係連合講演会で講演

** 諏訪精工舎 富士見工場 (長野県諏訪郡富士見町)

Fig. 1 Halogen lamp system

実験試料のウェーハは、ウェーハ周辺を石英製支持台により3点で支持され、上下のハロゲン・ランプとの距離を40mmに保ち上下のハロゲン・ランプに水平にはさまれる形で加熱アニールされる。石英製支持台にはニクロム線が円形に巻きつけてあり、ウェーハの周辺部のみをハロゲン・ランプとは独立に加熱できる。なお、ニクロム線からの汚染を防ぐためニクロム線は石英チューブで囲んである。実験では、ウェーハの出し入れを手動で行った。ウェーハを加熱部に設置後、電源入力を加える。ウェーハは、表面と裏面から放射線を吸収し、ウェーハ全体が均一に温度上昇し、ランプを消した後、ウェーハ自身の周辺への輻射により冷却する。Fig. 2はパワー密度が約20W/cm²で照射した時の、500 μ mの厚さを持つパターンのない4インチ径Siウェーハの昇降温特性である。ウェーハの温度はアルメル・クロメル熱電対をウェーハ表面に接触させて測定している。ウェーハの昇降温特性は、照射パワー密度、加熱部ミラーの反射率、ウェーハ全体の吸収率、ウェーハの熱容量に依存する。従って、パターンのないSiウェーハと多結晶シリコンなどのパターンを持つSiウェーハでは、同一照射パワー密度を与えても異なる昇降温特性を持ち、異種ウェーハは照射パワー密度と照射時間だけではアニール条件を制御できない。本実験では、実験試料と同じパターン・同じ構造を持つウェーハをモニターに用いFig. 2に示されている昇降温曲線になるよう照射パワー密度を制御した。一方、ウェーハ内の温度分布は、ウェーハの熱容量が小さいため均一な分布を示す。イオン打込み層の活性化は、同一ウェーハ内でイオン打込み層の上層の構造が異なっている、均一な活性化を示す。従って、MOS LSIの製造においては、第2フィールド CVD SiO₂膜形成後ハロゲン・ランプ・アニールを行うことが

Fig. 2 Temperature-time profile (小)

できる。

2.2 実験試料

本実験には、パターンのない4インチ径Siウェーハ及びシリコン・ゲート CMOS 工程により製造した CMOS FET と CMOS LSI の試料を用いた。

2.2.1 パターンのないSiウェーハ

実験に用いた基板は、p 型 (100)・20 Ω ·cm 4 インチ径 Si ウェーハ及び n 型 (100)・10 Ω ·cm 4 インチ径 Si ウェーハである。p 型 Si ウェーハはリンを 40 keV で $1.0 \times 10^{13} \text{ cm}^{-2} \sim 1.0 \times 10^{16} \text{ cm}^{-2}$ 注入し、n 型 Si ウェーハにはボロンを 40 keV で $4.0 \times 10^{15} \text{ cm}^{-2}$ 注入した。イオン打込み層をハロゲン・ランプ炉または電気炉により加熱アニールした後、ウェーハの平面度⁷⁾ (peak to valley flatness) をレーザー走査平面度測定器にて測定し、シー

ト抵抗は4探針法により測定した。また、接合深さ及びイオン打込み層のキャリア濃度分布を拡がり抵抗法を用いて評価した。

ハロゲン・ランプ炉による瞬間アニールは、照射時間4秒～10秒、Si ウェーハ最高温度1100℃～1360℃で行い、電気炉によるアニールは、加熱時間10分～20分、Si ウェーハ温度900℃～1000℃で行った。

2.2.2 CMOS FET

シリコン・ゲート・CMOS 工程により4インチ径 Si ウェーハ上に、CMOS FET 及び256 k ビット CMOS ROM を試作した。p 型トランジスタ及びn 型トランジスタのソース・ドレイン領域のイオン打込み層の活性化をハロゲン・ランプ炉で瞬間アニール（照射時間5秒、最高温度1200℃）した。256 k ビット CMOS ROM は、チャンネル長が2.0 μm ・ゲート膜厚が600 Åである。試作した MOS FET 及び LSI の電気特性を評価し、電気炉アニールで作成した MOS FET と比較検討した。

3. 実験結果と考察

3.1 平面度とスリップ・ライン

瞬間アニールでは、ウェーハの温度が急激に変化するため、半導体プロセスにおいてウェーハのそり及びスリップ・ラインの発生が問題になる。ハロゲン・ランプ炉による瞬間アニールでは、ウェーハ全体の温度が一様に昇降するが、ウェーハ端から熱が逃げることからウェーハ周辺にのみ温度勾配が生じる⁹⁾。この温度勾配に起因するストレスのためウェーハを約1200℃以上に加熱した時、ウェーハ周辺にスリップ・ラインが発生し、ウェーハのそりが大きく半導体プロセスのフォト・アライメントの焦点が合わなくなる。従って、ハロゲン・ランプ・アニールではウェーハ周辺の温度勾配を消去しなければならない。ここでは、放射線の照射とは独立にニクロム・ヒーターによりウェーハ周辺部をウェーハ中心に対して約20℃追加加熱することにより、ウェーハ全体の温度を一様に制御した。ウェーハ周辺加熱を用いた場合ハロゲン・ランプ炉による瞬間アニールにおいては、スリップ・ラインは発生せず、ウェーハの平面度は電気炉アニールの場合と有意差ない。Fig. 3 は、ウェーハ周辺加熱を用いた場合のウェーハ平面度である。ウェーハの平面度は、レーザー走査平面度測定器にて、真空度500 Torr、直径100 mm の条件で、ウェーハを180°回転測定した。そりの最大値をウェーハの平面度値として、照射パワー密度が20 W/cm²の時のウェーハの平面度と照射時間の関係を Fig. 3 に示す。

3.2 イオン打込み層の活性化

Fig. 4 は、高濃度イオン打込み層不純物原子の電氣的

Fig. 3 Flatness of a 4-in wafer.

活性についてハロゲン・ランプ・アニール試料と電気炉アニール試料とを比較した結果である。p 型、(100)、20 $\Omega\cdot\text{cm}$ の Si ウェーハに、リンを 40 keV で $4.0 \times 10^{15} \text{ cm}^{-2}$ 、 SiO_2 膜400 Åを通して打込み、イオン打込み層を形成した。キャリア濃度分布は、拡がり抵抗を測定し多層構造法⁹⁾を用いて算出した。この時、キャリアの移動度の不純物濃度依存はハロゲン・ランプ・アニール試料と電気炉アニール試料とは変わらないと仮定した。

Fig. 4 の白丸 (—○—) の曲線はハロゲン・ランプ・アニール（照射時間5秒、最高温度1200℃）した試料で、黒丸 (—●—) の曲線は従来の電気炉でアニール（加熱時間20分、温度100℃）した試料である。どちらも同じシート抵抗33 $\Omega/\square$ を持ち、ほぼ100%の活性化を示している。

Fig. 4 が示すように、ハロゲン・ランプ・アニールを用いれば、従来の電気炉に比べてキャリア濃度が高くかつ浅い接合を形成できる。

3.3 シート抵抗と接合深さ

接合深さ x の不純物注入量依存について、ハロゲン・ランプ炉による瞬間アニール試料と従来の電気炉アニール試料を比較したのが Fig. 5 である。イオン打込み層は、リンを 40 keV で $1.0 \times 10^{13} \text{ cm}^{-2} \sim 1.0 \times 10^{16} \text{ cm}^{-2}$ 打込む条件で形成した。Fig. 5 の白丸 (—○—) の曲線はハロゲン・ランプ・アニール（照射時間6秒、最高温度1260℃）した試料で、黒丸 (—●—) の曲線は電気炉アニール（加熱時間200分、温度950℃）した試料である。すべてのリンイオン注入量においてそれぞれアニール条件は同一にした。シート抵抗は、いずれの注入量においても電気炉アニール試料よりハロゲン・ランプ・アニール

Fig. 4 Electrically active dopant concentration profiles measured for P^+ 40 keV $4 \times 10^{15} \text{ cm}^{-2}$ implanted layers.

ル試料のほうが低いシート抵抗を持つ。

ハロゲン・ランプ炉による瞬間アニール試料の接合深さは、電気炉アニール試料に比べて不純物注入量依存が少なく、 10^{15} cm^{-2} の注入量を超えても接合深さの増加が小さい。従ってハロゲン・ランプ炉による瞬間アニールは、高濃度イオン打込み層における浅い接合で、かつ低抵抗の作成を可能にする。

Fig. 6 及び **Fig. 7** は、高濃度イオン打込み層におけるシート抵抗と接合深さの相関について、ハロゲン・ランプ・アニール試料と電気炉アニール試料とを比較している。イオン打込み層は、**Fig. 6** がリンを 40 keV で $4 \times 10^{15} \text{ cm}^{-2}$ 、 SiO_2 膜400Åを通して p 型 (100) Si 基板に打込み形成し、**Fig. 7** がボロンを 40 keV で $4 \times 10^{15} \text{ cm}^{-2}$ SiO_2 膜400Åを通して n 型 (100) Si 基板に打込み形成した場合である。**Fig. 6** と **Fig. 7** における白丸 (—○—) は、ハロゲン・ランプ炉により照射時間 4 秒から 10 秒、最高温度 1100°C から 1310°C のアニールをほどこした試料であり、黒丸 (—●—) は、電気炉を用いて加熱時間 10 分から 20 分、温度 900°C から 1000°C でアニールした試料である。**Fig. 6** と **Fig. 7** における破線は、各々リン及びボロンを打込んだ時点での接合深さである。イオン打込み時の接合深さは、イオン打込み後、約 500°C の低温アニールした試料を拡がり抵抗測定機にて評価した値である。シート抵抗の 4 インチ径ウェーハ内のばらつきは、ハロゲン・ランプ・アニール試料と電気炉アニール試料どちらにおいても 2% 以下である。

同じイオン打込み層の活性化において、同一シート抵

Fig. 5 Junction depth and implantation dose relationship.

抗を形成するのに、ハロゲン・ランプ・アニールを用いれば電気炉アニールに比べて **Fig. 6** において約 $0.2 \mu\text{m}$ 、**Fig. 7** において約 $0.15 \mu\text{m}$ 接合深さを浅くすることができる。またリンとボロン両方のイオン打込み層についてキャリアの再分布が 1000Å 程度で、1000°C で 2 分の電気炉アニール試料と同じシート抵抗を形成することができる。LSI において、リン及びボロンの高濃度イオン打込み層は MOS FET のソース・ドレインだけでなくメモリーのビット・ライン配線などにも用いるため、浅い接合深さで低いシート抵抗値を可能にするハロゲン・ランプ・アニール技術は LSI 製造に最適である。

3.4 CMOS FET 製造工程

シリコン・ゲート CMOS 工程にハロゲン・ランプ・アニールを適用し、MOS FET 及び 256 k ビット CMOS ROM を製造した。**Table 1** は、新しいシリコン・ゲート CMOS 工程を示している。**Table 1** が従来の工程と異なる点は、MOS FET のソース・ドレイン高濃度イオン打込み領域のアニールにハロゲン・ランプ炉を用いていることである。p チャンネル及び n チャンネルのソース・ドレイン高濃度イオン打込み後、第 2 フィールド CVD SiO_2 膜を形成して、ハロゲン・ランプ炉で一気圧窒素雰囲気中、照射 5 秒、最高温度 1200°C のアニールを行う。この瞬間アニールは、イオン打込み層を活性化し、ゲート配線のポリシリコン抵抗を低くし、同時に CVD SiO_2 膜を緻密にする。**Table 1** におけるプロセス・パラメータは、256 k ビット CMOS ROM 試作に用いた製造工程である。

Fig. 6 Junction depth and sheet resistivity relationship measured for P⁺ 40 keV $4 \times 10^{15} \text{ cm}^{-2}$ implanted layers.

3.5 電気的特性

Table 1 に示したシリコン・ゲート CMOS 工程で製造した接合ダイオード、MOS FET 及び LSI の電気特性について述べる。

接合ダイオード (p^+-n^- , n^+-p^-) の順方向電流は、拡散電流が支配的であり、理想化係数 n 値¹⁰⁾ は 1.0~1.1 である。Fig. 8 は、逆バイアス 10 V における p^+-n^- 及び n^+-p^- ダイオードのリーク電流の温度依存性を示す。室温における逆バイアス 10 V における接合ダイオードのリーク電流は、4 インチ径ウェーハ全体において 10 nA/cm^2 未満である。ハロゲン・ランプ炉を用いた瞬間アニールにより製造した接合ダイオードは、電気炉を用いた長時間アニールにより製造した接合ダイオードと同レベルの順方向・逆方向電流特性を示す。

Fig. 9 及び Fig. 10 は、 n^+ ポリシリコン・ゲート n-Well CMOS 工程¹¹⁾ にハロゲン・ランプ・アニールを応用して製造した p 型 MOS FET 及び n 型 MOS FET のトランジスタ静特性である。

n 型 MOS FET は、ゲート膜厚 400 Å 、ポリシリコン・ゲート長 2.0 μm 、チャンネル幅 30 μm であり、しきい値電圧 $V_{th} = +0.80 \text{ V}$ 、ドレイン破壊電圧 (ゲート電位 $V_G = 0$) 11 V の電気特性を示す。

また p 型 MOS FET は、ゲート膜厚 400 Å 、ポリシリコン・ゲート長 2.0 μm 、チャンネル幅 30 μm であり、しきい値電圧 $V_{th} = -0.75 \text{ V}$ 、ドレイン破壊電圧 17 V の電気特性を示す。電気特性の 4 インチ径ウェーハ内のばらつきは、電気炉アニールにより製造した MOS FET と

Fig. 7 Junction depth and sheet resistivity relationship measured for B⁺ 40 keV $4 \times 10^{15} \text{ cm}^{-2}$ implanted layers.

Table 1 Process steps of 256 K ROM

Process step	Process parameter
1 ³¹ P implant (n-well)	80 keV $1.7 \times 10^{12} \text{ cm}^{-2}$
2 ¹¹ B implant (p-well)	60 keV $1.6 \times 10^{13} \text{ cm}^{-2}$
3 Well drive-in	Furnace anneal
4 Field oxide	9000Å
5 Gate oxide	600Å
6 n polysilicon	4000Å
7 ¹¹ B implant p aiffusion	40 keV $2.0 \times 10^{15} \text{ cm}^{-2}$
8 ³¹ P imalant n diffusion	80 keV $3.0 \times 10^{15} \text{ cm}^{-2}$
9 CVD SiO ₂	6000Å
10 HLA (Halogen lamp anneal)	5 s Max. temperature 1200°C
11 Contact window	
12 AlSi metallization	10000Å

有意差はない。n チャンネルと p チャンネル領域におけるポリシリコン・シート抵抗は、それぞれ $20 \Omega/\square$ 、 $22 \Omega/\square$ であり、従来の電気炉アニール試料のポリシリコン・シート抵抗 (各々 $38 \Omega/\square$ 、 $40 \Omega/\square$) より低い。

空乏層の拡がりを含むソースとドレイン領域のポリシリコン・ゲート下への入り込み、すなわち拡散の横拡がり $2y$ を、同じチャンネル幅を持ち異なるポリシリコン・ゲート長 L_1 , L_2 を持つ 2 個の MOS FET を用いて

$$2y = (L_1\beta_1 - L_2\beta_2) / (\beta_1 - \beta_2)$$

と表わすことができる。ただし、飽和時のドレイン電流

I_0 は $I_D = 1/2\beta(V_G - V_{th})^2$ である。

電気炉アニール (1000°C, 20分) で製造した MOS FET と比較すると, n 型 MOS FET, p 型 MOS FET どちらもハロゲン・ランプ・アニールで製造した MOS FET の $2\gamma_j$ が約 $0.5\ \mu\text{m}$ 小さい。ハロゲン・ランプ炉による瞬間アニールは, 拡散領域の接合深さ同様横への拡がりも小さく制御でき, MOS FET のソース・ドレイン間の短チャンネル効果を緩和し, MOS FET の微細構造を可能にする。

Fig. 11 は, ランプ炉による瞬間アニールを用いた

Fig. 8 Leakage current at 10 V reverse bias and temperature relationship (小)

Fig. 9 n-MOS FET V-I characteristics

Table 1 の製造工程により製造した256 k ビット CMOS ROM のマイクロ写真である。

チップ・サイズは $5.71\ \mu\text{m} \times 5.33\ \mu\text{m}$ である。主なデバイス・パラメータ及び特性を Table 2 に示す。4 インチ径ウェーハ全体において良い歩留りを得た。従来の CMOS LSI 製造工程を特別に変えることなく, ハロゲン・ランプ炉を用いた瞬間アニールによる CMOS LSI の製造が可能になった。

4. ま と め

ハロゲン・ランプ炉を用いたイオン打込み層の瞬間アニールは, LSI 製造技術として以下に示す特徴を持つ。

- 1) 不活性ガス雰囲気大気圧中でアニールが可能である。
- 2) 高濃度イオン打込み層において高い活性化が可能である。
- 3) 最小の不純物の再分布で, より低いシート抵抗のイオン打込み層の製造が可能である。
- 4) スリップ・ラインがなく, ウェーハにそりを生じない。
- 5) リーク電流は, 従来の電気炉アニールの場合と同程度である。
- 6) アニール効果は, ウェーハの昇降温特性で制御され, ウェーハの表面構造に依存せず均一な活性化を示す。
- 7) ハロゲン・ランプ炉は小型で, カセット・ツー・カセットの自動化が可能である。
- 8) より低いシート抵抗を持つポリシリコン膜の製造が可能である。
- 9) CMOS LSI の良い歩留りを得た。

以上から, ハロゲン・ランプ炉を用いた瞬間アニールによるイオン打込み層の活性化は, 従来の CMOS LSI 製造工程を特別に変えることなく電気炉の代用が

Fig. 10 p-MOS FET V-I characteristics

Fig. 11 256 K CMOS ROM microphotograph

る。また LSI の微細化・高速化を可能にし、特に、MO
VLSI の量産において有効な技術である。

謝辞 ハロゲン・ランプ・アニールの実験はウシオ電
機㈱の平本常務取締役、荒井研究室長、五十嵐研究員他
の方々のご協力を得た。Fig. 2 はウシオ電機の清水研究
員のデータを借用した。心から感謝する。

MOS FET 及び LSI の製造にご協力いただいた、諏
訪精工舎 富士見工場の蚊野課長、小口作業長、井沢担
任はじめ関係した方々に感謝する。

〔文 献〕

- 1) Eugene G. Arthurs and Robert Falster:
Semiconductor International (JUNE, 1981)
p. 91.
- 2) 稲田太郎, 杉山敏明: 超 LSI プロセスデータ
(サイエンスフォーラム, 1982) p. 511.
- 3) Jun Tzeng Lue: Appl. Phys. Lett. **36** (1980) 73.
- 4) K. Nishiyama, M. Arai and N. Watanabe:
Japan. J. Appl. Phys. **L568** (1980) 19.
- 5) S. S. Lau, M. Von Allmen, I. Golecki, M. A.
Nicolet, E. F. Kennedy and W. F. Tseng:
Appl. Phys. Lett. **35** (1979) 327.

Table 2 Typical features

Channel Length (μm)	2.0
Gate Oxide Thickness ($\text{\AA}$)	600
Active NMOS Threshold (V)	0.75
Active PMOS Threshold (V)	-0.75
Parasitic Threshold (V)	> -10
Standby Power Dissipation	50 μA MAX.
Active Power Dissipation	10 mA MAX.
Address Access Time	450 ns
Supply Voltage (V)	5.0
Chip Size	5.71 mm $\times$ 5.33 mm

- 6) R. T. Fulks, C. J. Russo, P. R. Hanley, T. I.
Kamins: Appl. Phys. Lett. **39** (1981) 604.
- 7) Robert J. Walsh: Applications Note, Monsanto
Electronics Division (1981).
- 8) T. R. Anthony and H. E. Cline: J. Appl.
Phys. **49** (1978) 5774.
- 9) 長澤英二, 松村正清: SSD 76-13 (1976) p. 57
- 10) S. M. Sze: *Physics of Semiconductor Devices* (1969)
p. 104.
- 11) Takeshi Ohzone, Hidekichi Shimura,
Kazuhiko Tsuji and Takashi Hirano: IEEE.
ED-27 (1980) 1789.