Si (111) 7×7 面における Ge 薄膜の 成長様式と 5×5 超構造*

庄司克幸**,†・上羽 弘**・龍山智栄**

(昭和58年5月2日 受理)

Growth Mode and 5×5 Superstructure
of the Ge on Si (111) 7×7 System

Katsuyuki SHOJI**, Hiromu UEBA**
and Chiei TATSUYAMA**

(**Department of Electronics, Faculty of Engineering, Toyama University,
Takaoka, Toyama, Japan)

(Received May 2, 1983)

The initial stage of heteroepitaxy and the superstructure of the Ge on Si surface have been investigated by LEED and AES. Germanium was evaporated on the clean Si (111) 7×7 surface up to about 6 monolayers in the ultra-high vacuum chamber. With increase in Ge coverage on the substrate heated at 350°C , the intensity of the Si (LVV)-AES signal decreased in accordance with a growth mode of the Stranski-Krastanov type, i.e., the first 3 monolayers grow as layer by layer followed by a 3-dimensional island formation, and the LEED pattern showed a (5×5) superstructure at about 2 monolayers Ge coverage. The AES intensity and the LEED pattern drastically changed by annealing. The phase diagram of the superstructure of the Ge on Si (111) system was constructed for the coverage in monolayers of Ge deposited at room temperature versus annealing temperature.

1. はじめに

超高真空中での Si 清浄表面への Ge 蒸着膜の初期成長過程の研究は、急峻な界面を持つヘテロ接合の形成という興味から、最近数多く行われている¹⁻⁶⁾。又、Ge と GaAs の格子定数の不整合が小さい ($\sim 0.07\%$) ことを利用して、Si-Ge-GaAs 構造を分子線エピタキシー (MBE) で作成し、Si-Ge 系を GaAs を用いた素子の基板に利用しようとする試みも行われている⁷⁻¹⁰⁾。

Si(111)表面への Ge の成長についてはすでにいくつか興味深い結果が報告されている。例えば Margaritondo

ら¹⁾ は Ge の被覆率の変化に伴う Si 表面電位の変化を UPS (極紫外光電子分光) で測定し、表面電位の曲がり は 2 原子層程度の Ge の蒸着で完成されることを示した。又、Narusawa ら⁴⁻⁶⁾ は基板温度 350°C の Si(111) 7×7 表面に Ge を蒸着し、HISS (高速イオン散乱分光) の測定から Ge は 3 原子層程度までは層状成長し、それ以上では 3 次元的な島状核成長する、いわゆる Stranski-Krastanov タイプの成長様式であることを示した。 350°C 以下の基板温度での成長の場合、Si-Ge 界面が急峻であることは LELS (低速電子エネルギー損失分光) でも示されている^{2,9)}。

Si(111)表面は理想的な表面の 7 倍の長周期を持ったいわゆる 7×7 構造をとり、その成因については多くのモデルが提唱されている¹¹⁻¹³⁾。更に、その表面に各種金

* 昭和57年9月28日 第43回応用物理学会学術講演会で一部講演

昭和58年3月27日 日本物理学会第40年会上で一部講演

** 富山大学工学部電子工学科 (富山県高岡市)

† 現在、株式会社不二越 (富山県富山市石金)

Fig. 1 Evaporation system and arrangement for LEED and AES optics.

属を数原子層蒸着した場合、金属の種類、被覆率、基板温度に依存して様々な超格子構造をとることが知られている^{14,15)}。一方、我々は2原子層のGeを基板温度室温で蒸着し、380~720°Cで熱処理することによってSi(111) 7×7構造は(5×5)構造に変化することをLEED(低速電子線回折)及びAES(オージェ電子分光)の測定で見出した¹⁶⁾。

以下では、室温及び500°C以下で加熱したSi(111) 7×7清浄表面にGeを超高真空中で数原子層蒸着し、Geの蒸着量に対する下地SiからのAES信号強度、LEEDパターンの変化、及び蒸着後熱処理することによるGe蒸着膜の変化をやはりAES、LEEDで観察し、Si(111)表面におけるGeの初期成長過程及び(5×5)超格子構造の出現する条件について研究した結果について報告する。

2. 実験方法

実験に用いた蒸着源、LEED/AES分析器、基板Siなどの配置をFig. 1に示す。排気系は日本真空機製でロータリーポンプ、フォアライントラップ、ソーブションポンプの組合わせによる荒引系と、イオンポンプ、チタンゲッターポンプから成り、到達真空度は 6.7×10^{-9} Paである。LEED/AES分析器はPHI製の4枚グリッドRGAタイプ(Retarding Grid Analyzer, 阻止電場型)のものである。基板はマニピュレーターによって回転させることが出来る。Si(111)基板は、n型で比抵抗は約200 $\Omega \cdot \text{cm}$ であり、Arイオンスパッタリングと1200°C以上の通電加熱により清浄化を行った。基板の温度測定には白金-白金・ロジウム熱電対とパイロメーターを用いた。蒸着に用いたGeはn型で比抵抗約10 $\Omega \cdot \text{cm}$ であり、ウェハーから棒状に切り出したものをFig.

Fig. 2 Detail of the evaporation source.

2に示すように、タングステスフィラメントにセットし、フィラメントによって加熱蒸発させた。長時間の蒸着はタングステンフィラメントの熱放射による蒸着源周囲からのガス放出の原因となるので、連続しては2分以内の蒸着にとどめ、“step by step”の蒸着を行った。今回の実験でのGeの被覆率は最高6原子層位までである。被覆率は次節に述べるように、基板SiのLVVオージェ信号(92 eV)の強度の減少から見積った。蒸着時、及び試料加熱時の真空度は 1.3×10^{-8} Pa以下であった。AESの測定は一次電子線のエネルギー500 eV、ビーム電流10 μA 、信号変調電圧2.6 V (peak-to-peak)で行った。又LEED/AESの測定はすべて基板温度を室温にもどしてから行った。

3. 実験結果と考察

3.1 室温及び高温基板へのGeの蒸着

Fig. 3は室温に保たれた清浄Si(111)面上へのGeの蒸着時間に対する基板Siからの(LVV)-92 eVのオージェ信号強度(以下、オージェ信号強度とは1回微分信号のpeak-to-peakの大きさを意味するものとする)の変化を示している。オージェ信号強度は清浄Si(111)表面からの強度に対して規格化されている。図からわかるように、下地Siからのオージェ信号強度は蒸着時間と共に直線的に減少し、更にその減少の勾配は信号強度がそれぞれ0.75, 0.55, 0.41で変化している。この結果より、蒸着GeはSi基板上に層状成長していることがわかる。下地物質が蒸着物質で一様に覆われた時、下地物質からのオージェ信号強度 I と蒸着物質の膜厚 d の間には次のような関係が成立つ。

$$I = I_0 \exp\left(-\frac{d}{\lambda}\right) \quad (1)$$

ただし、 I_0 は膜厚0の時の強度、 λ はオージェ電子の脱出深さである。Fig. 3で最初に勾配の変化する強度0.75でのGeの被覆率を1原子層とすると $\lambda = 5.7 \text{ \AA}$ と見積もられる。ただし、 d にはGeの(111)方向での1原子

Fig. 3 Peak-to-peak intensity of Si (LVV) AES signal at 92 eV vs Ge evaporation time. The intensity (I) is normalized to that (I_0) of clean Si (111) 7×7 surface. The substrate temperature T_s for evaporation was room temperature.

層当りの平均距離 $1.7\text{\AA}$ を用いた。この λ の値は Si (111) 面上の Ge 薄膜による Si (LVV)-92 eV のオージェ電子の脱出深さとしてそれ程矛盾のない値である¹⁷⁾。この λ の値を用い、Ge が 2, 3 原子層付着した時の Si からのオージェ強度を(1)式で計算すれば、それぞれ 0.55, 0.41 となり Fig. 3 の勾配の変化する点での強度と一致する。従って図中に矢印で示した勾配の変化する点で、Ge はそれぞれ 1, 2, 原子層 Si 表面に成長していると考えられる。更に Ge の蒸着時間を増すとオージェ強度は次第に減少していく。

LEED は清浄 Si(111) 表面の (7×7) パターンが、Ge 蒸着時間の増加に伴い、diffuse な (1×1) パターンとなり、2 原子層以上の被覆ではほとんど何も見えなくなる。このことは、室温で蒸着した Ge 膜はアモルファス状態になることを思わせる。

Fig. 4 は基板温度を 350°C にして Ge を蒸着した場合の下地 Si の (LVV)-92 eV のオージェ信号強度の蒸着時間に対する変化を示している。この場合、Fig. 3 のような 1 原子層、2 原子層での勾配の変化ははっきりしないが Ge のおよそ 3 原子層に相当する被覆率でオージェ強度の減少は飽和している。このような飽和傾向は Fig. 3 の基板温度が室温の場合と異なり、3 原子層以上では Ge は island (島状) 成長していることを示している。即ち、3 原子層までは 1 原子層毎に 2 次元的に層状成長し、それ以上では 3 次元的に島状成長する、いわゆる Stranski-Krastanov タイプの膜成長であることがわかる。この結果は Narusawa ら⁵⁾ の高エネルギーイオン散乱による結果と一致している。

基板温度 350°C の場合、LEED 像ははじめの (7×7) パターンが蒸着時間と共に、次第に diffuse な (1×1)

Fig. 4 Peak-to-peak intensity of Si (LVV) AES signal at 92 eV vs Ge evaporation time. The substrate temperature T_s was 350°C .

Fig. 5 Annealing temperature dependence of the intensity of Si (LVV) AES signal at 92 eV. Ge was evaporated on the substrate at room temperature, and the coverage θ was about 4.5 monolayers and the annealing was performed for long time enough to saturate the AES intensity at each temperature.

パターンになり、Ge 2 原子層に相当する被覆率では (5×5) パターンとなり、更に蒸着量を増すと再び diffuse な (1×1) パターンへと変化した。

基板温度を 470°C にした場合にも、 350°C の場合と同様な変化が、オージェ信号強度、LEED 像に観測された。

従って、室温蒸着の場合と異なり、基板温度が 350°C 以上の時には蒸着された Ge はかなり乱れてはいるが結晶性を持っていると考えられる。

3.2 Ge 蒸着膜の熱処理による変化

3.2.1 2 原子層蒸着の場合

Fig. 5 は室温で 2 原子層 Ge を蒸着した場合の熱処理による下地 Si からの (LVV)-92 eV のオージェ信号強度 I/I_0 の変化を示している。熱処理時間は各温度で 10 分である。700°C 位までは強度は変化せずに一定であるが 740°C では急激な増加を示す。740°C の 2 つの点はそ

Fig. 6 The same as Fig. 5 except that θ was about 4.5 monolayers and the annealing was performed for long time enough to saturate the AES intensity at each temperature.

それぞれ10分間, 20分間の熱処理に対応する。20分後にはオージェ強度はほとんど清浄 Si 表面の強度にまで増加している。この時 LEED 像は図に示すように最初 diffuse な (1×1) パターンであったものが $\sim 380^\circ\text{C}$ 位の熱処理から (5×5) パターンを示すようになり, 更に 740°C でオージェ強度が急激に増加すると共に (7×7) パターンに変化する。この (7×7) パターンは Si(111) 清浄表面の (7×7) パターンと全く同一である。

これらの結果は, Si(111) 表面上では2原子層の Ge は, 700°C 位まで (5×5) 構造をとって安定に存在し, 740°C では Ge は蒸発し, Si 表面が現われたことを示している。 740°C でのオージェ信号強度の急増には, Ge の基板 Si への拡散と island 化も考えられるが, オージェ信号の形は清浄 Si からのものと全く同じであることから, 基板 Si への Ge の拡散はないように思われる。

3.2.2 2原子層以上蒸着の場合

さらに Ge の蒸着量を増した場合の結果を Fig. 6, Fig. 7 に示す。各々, 4.5原子層, 6原子層室温で蒸着し, 熱処理を行ったものである。ただし, 熱処理時間は Fig. 7 では各温度で10分間であるが, Fig. 6 の場合は各温度でオージェ強度の増加が飽和するまで充分長い時間(30分以上)をかけて行っている。

Fig. 6, Fig. 7 のいずれの場合にも Fig. 5 と同様な 740°C での下地 Si のオージェ強度の急増が見られるが,

Fig. 7 The same as Fig. 5, except that θ was about 6 monolayers.

更に 350°C , 600°C 付近の熱処理温度でも増加がみられる。このような下地物質のオージェ強度の増加には, すでに触れたが, (i) 表面の蒸着膜の island 化, (ii) 基板物質と蒸着物質の相互拡散, (iii) 表面蒸着物質の蒸発, の3つの原因が考えられる。この3つの過程を考慮し, 例えば Fig. 7 の6原子層 Ge を蒸着し, 熱処理した場合の下地 Si からのオージェ強度の変化をモデル的に示したのが Fig. 8 である。(a) は室温で6原子層 Ge を Si 表面に蒸着した状態である。ただし, この時6原子層まではっきり層状成長しているかは定かではない。 350°C での増加は, Narusawa ら⁹⁾ のこの温度では相互拡散はないという結果, 及び Ge が蒸発するには温度が低すぎるということを考慮すれば(b)のように表面 Ge の island 化によると考えられる。ただし, 基板温度 350°C では3原子層まで層状成長するという Fig. 4 の結果, 及びオージェ強度 I/I_0 の増加は約 0.2 までと比較的少ないことから, 表面には3原子層の Ge が層状に存在し, それ以上の Ge は多数の island を形成しているものと思われる。

600°C 付近での増加には island 化, 蒸発の過程が考えられる。2原子層蒸着し, 熱処理した場合には, この温度でもオージェ強度の変化は認められなかった (Fig. 5) から, この場合にもやはり, 相互拡散の過程は考えにくい。更にこの増加は Ge を2原子層被覆した時のオージェ強度 0.55 で飽和する傾向がある。そして LEED 像には2原子層で現われた (5×5) パターンが現われる。

Fig. 8 Model for explaining the increase in AES intensity at annealing temperature 350, 600 and 740°C , observed in Fig. 7.

これらのことから、600~700℃の熱処理では、Geの蒸発、island化により、Si表面には2原子層のGeが残っているものと考えられる (Fig. 8(c)). 740℃での急増は Fig. 5 の場合と同様にやはりすべてのGeが蒸発することによるものと思われる (Fig. 8(d)) が、表面に面積の小さな island が残っている可能性もある。740℃以上では Fig. 6, Fig. 7 のいずれの場合にも LEED 像は清浄 Si(111) 7×7 パターンを示すようになり、オージェ信号も清浄 Si(111) 表面からの形と同じになる。

3.2.3 起構造状態図

Fig. 9 には以上のようにして求めた基板温度室温でのGeの蒸着量 (原子層単位) と熱処理温度による LEED 像の超構造の関係を示す。横軸は熱処理をする前の蒸着量を示し、縦軸は熱処理温度である。熱処理によって表面に残っているGeの量は変化することに注意されたい。

先づGeが0.5原子層程度の蒸着量で Si(111) 7×7 パターンは diffuse な (1×1) パターンに変化し始める。この場合の diffuse な (1×1) パターンは基板 Si の (1×1) パターンが蒸着 Ge によって乱された状態で見えているものと思われる。このパターンはより diffuse になりながら2原子層程度の蒸着量まで続く。この状態を ~350℃ 以上で熱処理すると (7×7) パターンが再び現われる。これはGeが表面で island 化、および蒸発することによるものと考えられる。2原子層以上の蒸着では LEED にはほとんど構造は見られず、Ge はアモルファス状態になっていると思われる。これを熱処理することにより Ge は island 化して表面に Ge がおよそ3原子層残った状態で再び diffuse な (1×1) パターンに変化する。この時の diffuse な (1×1) パターンは熱処理なしで見えた低蒸着量の (1×1) パターンと若干性格が異なり、Ge 原子が基板 Si 原子とかなり規則性を持って配置しているものと考えられる。更に熱処理温度を上げると表面に2原子層残った状態で (5×5) パターンが現われてくる。740℃以上では清浄 Si(111) 7×7 パターンが見えてくる。

基板温度を 500℃ 以下で上げ、Ge を蒸着した時には Fig. 9 の熱処理温度を基板温度と読みかえればほぼ Fig. 9 に従って LEED 像は変化する。このことから Si(111) 表面上の Ge 薄膜 (ただし、6原子層以下の膜厚) は、室温で蒸着し、熱処理した場合も、基板温度を上げて (ただし500℃以下) 蒸着した場合もほぼ同じ状態にあるものと思われる。

4. ま と め

10⁻⁹ Pa 台の超高真空中における Si(111) 基板上 (基板

Fig. 9 Phase diagram of the superstructure of the Ge on Si (111) system for Ge coverage in monolayers vs annealing temperature. The coverage shows that before annealing, Ge was evaporated at room temperature.

温度350℃) のGeの成長様式は、下地 Si からのオージェ信号強度と Ge 蒸着時間の関係から Stranski-Krastanov タイプであることが確かめられた。即ち、Ge は3原子層までは2次的に層状成長し、その後3次的な核成長を行う。又、Ge 1原子層当りの Si オージェ信号強度の減衰から、Si(111) 面上に Ge を蒸着した場合の Si(LVV)-92 eV のオージェ電子の脱出深さは 5.7 Å であると見積られた。Si(111) 面上の2原子層の Ge 薄膜は室温蒸着の場合380~720℃の熱処理で (5×5) 超格子構造を示した。基板温度350℃、470℃でも2原子層のGe初覆で (5×5) 構造を示し、この構造は Si(111) 面上に Ge が急峻にヘテロエピタキシーする時に現われる構造であると考えられる。又、5~6原子層の被覆率でも600~720℃の熱処理によって、(5×5) 構造を示すようになり、これはオージェ信号強度から、やはり表面に2原子層のGeが残った状態の構造と考えられた。740℃以上の熱処理では、下地 Si のオージェ強度がそのまま検出され、清浄 Si(111) 7×7 構造となることがわかった。これは740℃以上では Si 表面から Ge は蒸発してしまうことによると解釈された。

本稿では (5×5) パターンの詳細については一切触れなかったが、LEED 像の電圧による変化、パターンに現われる各回折スポットの強度の強弱関係は (7×7) パターンの場合と非常によく似た関係にある。又、Si (100) 面、(110) 面についても (111) と同様な実験を行っているが、これらについてはいずれ発表する予定である。

おわりに、実験に協力された丹保豊保氏、兵藤賢仁君に感謝する。

〔文 献〕

- 1) G. Margalitondo, N. G. Stoffel, A. D. Katnani and F. Patella: *Solid State Commun.* **36** (1980) 215.
- 2) S. Nannarone, F. Patella, P. Perfetti, C. Quaresima, A. Savoia, C. M. Berton, C. Calandra and F. Maghi: *Solid State Commun.* **34** (1980) 409.
- 3) P. Perfetti, S. Nannarone, F. Patella, C. Quaresima, F. Cerrina M. Capozzi and A. Savoia: *J. Vac. Sci. Technol.* **19** (1981) 319.
- 4) T. Narusawa, W. M. Gibson and A. Hiraki: *Phys. Rev.* **B24** (1981) 4835.
- 5) T. Narusawa and W. M. Gibson: *Phys. Rev. Lett.* **47** (1981) 1459.
- 6) T. Narusawa and W. M. Gibson: *J. Vac. Sci. Technol.* **20** (1982) 709.
- 7) M. Garozzo, G. Conte, F. Evangelisti and G. Vitali: *Appl. Phys. Lett.* **41** (1982) 1070.
- 8) C. A. Chang: *Appl. Phys. Lett.* **40** (1982) 1037.
- 9) W. Monch and H. Gant: *J. Vac. Sci. Technol.* **17** (1980) 1094.
- 10) G. Bajor, K. G. Cadien, M. A. Ray and J. E. Greene: *Appl. Phys. Lett.* **40** (1982) 696.
- 11) 井野正三: *月刊フィジクス* **3** (1982) 569.
- 12) M. J. Cardillo: *Phys. Rev.* **B23** (1981) 4279.
- 13) J. Pollmann: *Phys. Rev. Lett.* **29** (1982) 1649.
- 14) 井野正三: *日本物理学会誌* **37** (1982) 82.
- 15) Y. Terada, T. Yoshizuka, K. Oura and T. Hanawa: *Surf. Sci.* **114** (1982) 65.
- 16) K. Shoji, M. Hyodo, H. Ueba and C. Tatsuyama: *Jpn. J. Appl. Phys.* **22** (1983) L200.
- 17) 川路紳治訳: プラットン「表面の物理」丸善 (1977) 26頁.