O₂-RIE された GaAs 層の電気的特性*

伊藤 仁**・鈴木 克己**

(昭和61年4月21日 受理)

D·C Characteristics of GaAs layer through a
Reactive Ion Etching Process

Hitoshi ITOH and Katsumi SUZUKI

(Microelectronics Research Laboratory, NEC Corporation
Miyamae-ku, Kawasaki)

(Received April 21, 1986)

Contamination, Oxidization and radiation damage are induced on GaAs surface by Reactive Ion Etching (RIE) using a O₂-discharge of 13.56 MHz in a parallel plate reactor. This formation depends on several RIE conditions, such as r.f. power (which is equivalent to cathode-accelerated voltage) and etching time. The increase in schottky junction leakage current and the decrease in the schottky barrier height are caused by the induced damage which extends to an over 0.2 μm depth from the surface. The damage thus induced compensates more than $1 \times 10^{16} \text{ cm}^{-3}$ carrier concentration in GaAs. As a result, d.c characteristics of MESFET, such as I_{ds} , gm and V_p decrease.

It has been confirmed that several methods, such as the protection of the GaAs surface by the SiO₂ layer, wet etching of GaAs surface and thermal annealing after dry etching under low cathode accelerated voltage condition, are useful techniques for surface treatment in the fabrication of GaAs MESFET without damage influence.

1. はじめに

現在、半導体トランジスタにおいては大規模集積化あるいは超高周波化が進み、性能向上の為に寸法の微細化を図る事が極めて重要な技術的課題の一つになってきている¹⁾。他方、材料面ではGaAs, InPのような化合物半導体がポスト Si を目指して台頭し、デバイス実用化へ向けての研究が精力的に行なわれている^{2,3,4)}。このような微細寸法加工の実現にはパターン転写法とエッチング法を取捨選択する必要がある、例えば我々は厚いバッファ層での段差部の平坦化等により、微細パターン形成の点で有利となる三層レジスト構造 (PMMA/Spin Coated SiO₂/バッファ層)⁵⁾ 上への電子ビーム直接露光による微細パターン転写と反応性イオンエッチング技術を用いて中間層およびバッファ層を加工しリフトオフ形

成する Fig. 1 に示す様な方法によって、0.3ミクロン長のゲート電極を形成、高出力 GaAsFET に適用し良好な結果を得ている⁶⁾。

しかしながら、この様なドライエッチング技術を半導体デバイスプロセスに応用する場合にはその加工性と共に半導体層に与える汚染や損傷の影響を明らかにして、それらが電気的特性の劣化を引き起こさないようにする事が大切である⁷⁾。特に Si のような単体と異なり化合物半導体の場合には降伏応力が1桁近く低い事からも損傷の影響が問題となる恐れがある。従来、このような反応性イオンエッチング (Reactive-Ion-Etching) の GaAs 層におよぼす影響についてはいくつか報告されているが、デバイス側からも十分に検討を加えたものは少ない^{8,9,10,11)}。

そこで今回、我々は主に O₂-RIE が GaAs 層に与える影響についてショットキダイオードの電流-電圧特性、容量-電圧特性を評価すると共に実際の GaAsMESFET 特性との相関についても調べ、又、O₂-

* 昭和60年10月4日 第46回秋季応用物理学会にて講演

** 日本電気株式会社 マイクロエレクトロニクス研究所 (川崎市宮前区宮崎4-1-1)

Fig. 1 Lift-off processing steps for the gate formation using tri-level resists.

RIEによる損傷の影響を除去する手段の検討を行なったので以下にその結果について述べる。

2. 実験方法

実験に用いたウェハは半絶縁性GaAs基板上にMolecular Beam Epitaxial成長法により $2 \times 10^{17} \text{cm}^{-3}$ のキャリア濃度のエピタキシャル層を形成したものであり、厚みは成長後にFETのピンチオフ電圧 V_p として2~2.5Vになるようにエッチング調整を行なっている。次に、このエピタキシャル層上にフォトリソを塗布し250°Cで窒素中ベークしたバッファ層を設けた後、平行平板型ドライエッチング装置 (DEM-451, 13.56 MHz, カソードカップリング方式, ANELVA 社製) により、石英ターゲットを用いて高周波電力密度: 0.21 W/cm² (120 W), O₂ ガス流量: 60 sccm, 圧力: 10 Pa の条件下でバッファ層をエッチング除去、所定の時間オーバエッチングを行なった。この時の陰極降下電圧 V_a は320 Vである。又、同様にCF₄ガスによりテフロンターゲットを用いてGaAs層上のSiO₂膜をエッチング除去した場合や円筒型プラズマエッチング装置 (エッチトンネル式) によりバッファ層をエッチング除去した場合についても実施している。次いで、Hgショットキによりウェハ状態での容量—電圧特性を測定し、ドライエッチング前後での比較を行なった。更に、このようにRIEされたGaAsウェハ上に0.5ミクロン長のAlショットキ電極およびAuGe/Niのソース、ドレインオーミック電極を形成してGaAsMESFETを作成し、飽和電流 I_{dss} 、相互コンダクタンス G_m 、ピンチオフ電圧 V_p 、

ゲート逆方向耐圧 $B \cdot V_{GD}$ を評価した。又、ウェハ裏面にオーミック電極を設けたAlショットキダイオードをも作製してその電流—電圧特性および容量—電圧特性を測定し、ショットキ n 値、バリアハイト ϕ_{Bn} 、キャリア濃度プロファイルを求めた。

3. 実験結果

3.1 ウェハ状態での容量—電圧特性

まず、Fig. 2にO₂-RIEによりバッファ層を除去後、1分30秒間オーバエッチングした場合のエッチング前後での容量—電圧特性の結果を示す。

$$C \equiv \frac{\partial Q_{sc}}{\partial V} = \sqrt{\frac{q\epsilon_0\epsilon_s N_D}{2 \left(\phi_{Bn} - V - \frac{kT}{q} \right)}} \cdot S \quad (1)$$

ここで、

Q_c : 空間電荷, V : 印加電圧, ϕ_{Bn} : バリアハイト,
 q : 電子の電荷量, N_D : キャリア濃度, k : ボルツマン定数, T : 温度

である。

図より、O₂-RIE後ではその特性はエッチング前のような上式に示すショットキモデルからは、ずれて容量変化の電圧依存がなく、かつ大きなヒステリシスが観測され、又、ピンチオフ電圧 (容量値が低下する遷移領域の中間の電圧) も大きくなっている。更に、容量値にも大幅な減少が見られる。この事はGaAs結晶表面への汚染や酸化膜形成、或いは損傷の導入が起きている事を示している。続いて、このような表面の変成層を除去する為に熱リン酸による処理を施したのが③である。酸処理

Fig. 2 Capacitance-voltage characteristics for a sample etched by O₂-RIE at V_a=320 V.

により表面の汚染層や酸化膜は除去され、RIE 前と同様の容量—電圧特性曲線を示しているが容量値は初期値に対して減少したままであり、損傷の影響による表面キャリア濃度の減少が起きているものと予測される。一方、ピンチオフ電圧は初期値よりも1.5 V 程度減少しており、実効的にエピタキシャル層厚が薄化されている事を示唆している。

このような変化は RIE 時のオーバエッチングの時間および高周波電力密度に依存しており、Fig. 3 にピンチオフ電圧の変化分を酸化層厚として GaAs 層に換算した結果を示すが、時間が長い程、又、大電力（陰極降下電圧が高い）程、変化は大きく O₂-RIE による酸化膜形成や導入損傷の影響が大きい事を示している。

同様に、円筒型プラズマエッチングにより O₂ 流量：80 sccm、圧力：133 Pa、高周波電力：500 W の条件下でバッファ層をエッチング除去した場合にはエッチング前後および酸処理を施しても容量—電圧特性に変化は殆んど見られず、酸化膜形成や損傷の影響は極めて少ないという結果が得られている。一方、CF₄ と H₂ の混合ガスを用いての RIE によって GaAs 層上の SiO₂ 膜を CF₄ 流量：22 sccm、H₂ 流量：10 sccm、圧力：5 pa、高周波電力密度：0.26 W/cm²、陰極降下電圧：540 V の条件下でエッチング除去した場合の結果を Fig. 4 に示す。

この場合には、RIE 後の容量値が初期の15(%)程度までに激減し、容量の電圧依存を示さない特性に変化すると共に酸処理後でも電圧値は小さくなるが容量の電圧依存は相変わらず平坦なままである。これは、GaAs 表面への Ga か As の弗化物形成と損傷が導入されたため

Fig. 3 Over etching time dependence of oxidized layer thickness for a sample etched by O₂-RIE at V_a=320 V.

Fig. 4 Capacitance-voltage characteristics for a sample etched by (CF₄+H₂)-RIE at V_a=540 V.

と考えられる。

以上のように RIE された GaAs 層表面には汚染や使用ガスによる酸化膜、弗化膜の形成、更に損傷が導入され、その結果として容量、即ちキャリア濃度の減少およびピンチオフ電圧、即ち実効膜厚の薄化現象が引き起こされる事が明らかにされた。

3.2 MESFET 特性

ここでは、RIE された GaAs エピタキシャル層上に

FET's photograph
Lg:0.5 μ m, Wg:100 μ m

(b) O₂-RIE just etching

(a) without RIE

(c) 1.5min over etching

Fig. 5 GaAs MESFET's over view and drain current-voltage characteristics for a sample etched by O₂-RIE at V_a=320 V. (a) without O₂-RIE, (b) just etching, (c) 1.5 min over etching.

MESFETを作製してドレイン電流—電圧特性がどのように変化するかを調べた。

RIEされたGaAs表面をリン酸処理した後、メサ分離を行ない、真空蒸着したショットキ金属Alをフォトリソをマスクとしてサイドエッチングにより0.5 μ m長に整形し、連続的にオーミック金属のAuGe/Niを蒸着、リフトオフした後、420°C/H₂のスパイクアロイを行なうセルフアライン法によってゲート電極およびソース、ドレインの各オーミック電極を形成して0.5 μ m長プレーナ形GaAsMESFETを作製した。尚、ゲート幅は100 μ mである。

Fig. 5 にMESFETの外観写真と共にドレイン電流—電圧特性のカーブトレースにより観測した写真を示す。

この図から、O₂-RIEを施していない(a)のものに比較してO₂-RIEによりバッファ層をエッチング除去した(b) just-etching、および(c) 1.5 min overetchingの場合にはFET特性が大幅に劣化している事がわかる。例えば、I_{ds}は28 mAから12 mAおよび3 mAへ減少、又、g_mは12 mSから10 mS、7 mSへ、V_p (I_{ds}=10 μ Aの時のゲート電圧と定義)は-2.6 Vから-1.7 V、-0.5 Vにそれぞれ減少しており、一方、B.V_{GD}は逆に-11.5

Vから-15 V、-19 Vと増加している。これらの結果をO₂-RIE オーバエッチング時間依存性として**Fig. 6**にまとめて示す。

この図から、O₂-RIEによるFET特性の劣化はエッチング時間が長い程大きくなる傾向を示している。また、高周波電力を大きくした場合にも同様の傾向が得られており、前節においてウェハ状態での評価結果と定性的には一致している。即ち、O₂-RIEによるGaAs表面の汚染、酸化膜形成および損傷の導入がGaAs動作層のキャリア濃度、実効的な膜厚の減少を引き起し、FET特性の劣化を招いているものと言える。ここで、逆方向耐圧の増加は動作層膜厚が薄くなり、半絶縁性GaAs層上の動作層全体が空乏化し、導入損傷に伴う漏洩電流が見えなくなったためと考えられる。

一方、O₂-プラズマエッチングによりバッファ層をエッチング除去したものはRIEなしとほぼ同等のFET特性を示し、又、(CF₄+H₂)-RIEによりSiO₂膜をエッチング除去した場合にはFET特性は全く得られなかった。

3.3 ショットキダイオード特性の評価

前節までにO₂-RIEされたGaAs層表面の変化と

Fig. 6 Over etching time dependence of MESFET's I_{dss} , V_p and $B \cdot V_{GD}$ for a sample etched by O_2 -RIE at $V_a=320$ V.

FET 特性の劣化についての定性的な理解はなされた。しかしながら、キャリア濃度や膜厚がどの程度変化しているのか等の定量的な評価、あるいはショットキバリアハイトや n 値がどのように変化しているのかの物理的現象については明確にされていない。又、前節のように MESFET を作製した場合にはオーミック金属アロイの熱的处理を施した事による効果も加味され、純粋に O_2 -RIE による GaAs 層の変化を評価した事にはならない恐れがある。

そこで、ここではウエハとして $nd \leq 1 \times 10^{17} \text{ cm}^{-3}$ の LEC バルク結晶を用い、まず裏面に AuGe/Ni のオーミック電極を形成した後に表面のバッファ層を O_2 -RIE によりエッチング除去し、リン酸処理後、 $400 \mu\text{m}\phi$ の Al ゲート電極を形成してショットキダイオードを作製した。そして、ダイオード電流—電圧特性、容量—電圧特性を測定し、 n 値、 ϕ_{Bn} 、キャリア濃度プロファイルを導出した。

O_2 -RIE によりバッファ層を除去、4 min オーバエッチングした場合についてそのショットキ逆方向および順方向電流—電圧特性の容量および $1/(\text{容量})^2$ と電圧の関係、更にキャリア濃度プロファイルの結果を RIE なしのもものと比較して Fig. 7(a)~(c) に示す。

通常、ショットキ接合の電流—電圧特性は界面単位を介した再結合電流、あるいはトンネル電流が無視できない場合に次の(2)式で表現される¹²⁾。

$$J = A^{**} T^2 \exp \frac{-q\phi_{Bn}}{kT} \left[\exp \left(\frac{qV}{nkT} \right) - 1 \right] \quad (2)$$

ここで、

A^{**} : 実効的なリチャードソン定数, T : 温度

ϕ_{Bn} : バイアハイト, V : ゲート印加電圧

n : 理想値

(a)

(b)

(c)

Fig. 7(a) Schottky diode's reverse and forward current-voltage characteristics for a sample etched by O_2 -RIE at $V_a=320$ V.

(b) Schottky diode's capacitance-voltage characteristics for a sample etched by O_2 -RIE at $V_a=320$ V.

(c) Schottky diode's carrier density profile for a sample etched by O_2 -RIE at $V_a=320$ V.

である。

GaAs 表面に導入された損傷はこの n 値、順方向電流—電圧特性から外挿した電流軸との切片で前式の $J_s = A^* T^2 \exp(-q\phi_{Bn}/kT)$ から求めたバリアハイト ϕ_{Bn} 、および逆方向リーク電流、耐圧が理論値あるいは RIE なしの値からずれた時、このずれが表面変成層又は損傷によって生じた準位による生成—再結合電流、トンネル電流によるものとして評価される。

まず、ゲート逆方向電流—電圧特性を見ると耐圧に顕著な差はないがリーク電流は一桁増加している。一方、順方向電流—電圧特性からは電流レベルの増加は見られるものの n 値は 1.04 と殆んど差はない。一方、 J_s より求めた ϕ_{Bn} は 0.72 と RIE なしの 0.78 に比べ小さくなっている。従って、損傷により、準位形成はあるもののその電流値はバリア ϕ_{Bn} を越えて流れる電流に比して小さく、特に n 値において顕著な変化としては現われてこない。換言すれば、 n 値は RIE 損傷の評価パラメータとしては極めて鈍感なものであると言える。

一方、ショットキ電極の空乏層容量は次の (3) 式で求められる。

$$C = \frac{\epsilon_s}{W} = \sqrt{\frac{q\epsilon_0\epsilon_s N_D}{2 \left(V_{bi} - V - \frac{kT}{q} \right)}} \cdot S \quad (3)$$

この式を変形して、 $1/C^2$ 、 N_D について解くと、

$$\frac{1}{C^2} = \frac{2}{q\epsilon_0\epsilon_s N_D S^2} \cdot \left(V_{bi} - V - \frac{kT}{q} \right) \quad (4)$$

$$N_D = \frac{2}{q\epsilon_0\epsilon_s} \cdot S^2 \cdot \frac{-dV}{d \left(\frac{1}{C^2} \right)} \quad (5)$$

$$\phi_{Bn} = V_{bi} + V_n + \frac{kT}{q} - \Delta\phi \quad (6)$$

ここで

ϵ_s : GaAs の誘電率、 W : 空乏層幅

N_D : GaAs のキャリア濃度、 V_{bi} : ビルトイン電圧、

V : ゲート印加電圧、 ϕ_{Bn} : バリアハイト、 $V_n = E_c -$

E_F 、 $\Delta\phi$: バリアローリング

である。

容量—電圧測定により基板のキャリア濃度が一定の場合には (4)、(6) 式によりバリアハイト ϕ_{Bn} が求められ、又、キャリア濃度が一定でない場合には (3)、(5) 式より深さ方向のキャリア濃度分布が求められる。即ち、GaAs 表面に損傷が導入された場合についてはこれらの手法を用いて評価する事ができる。

Fig. 6(b) の容量—電圧、 $1/C(\text{容量})^2$ —電圧特性を見ると、 O_2 -RIE された場合には零バイアスの容量値 C_0 が RIE なしの 150 pF に対して 110 pF と大きく減少して

おり、又、表面近傍で $1/(\text{容量})^2$ —電圧の関係が直線からずれている。従って、表面側でのキャリア濃度の減少が見られる。一方、 $1/(\text{容量})^2$ —電圧のグラフの X 軸との切片から求められるバリアハイトは ~ 0.6 V とほぼ一致している。

Fig. 6(c) にキャリア濃度プロファイルを示すが、RIE なしのものと比較して表面側がかなりの高抵抗層になっており、 $0.15 \mu\text{m}$ の深さの所で $4 \times 10^{16} \text{cm}^{-3}$ のキャリア濃度の減少が認められ、又、濃度変化は $0.2 \mu\text{m}$ 以上の深さにまで及んでいる事がわかる。

ここに示すようなキャリア濃度の深さ方向への減少が正しいのか、あるいは単に表面の狭い領域に高抵抗層が局在する為だけなのかを確認するために表面側からステップエッチングしてキャリア濃度プロファイルを測定する実験を行なった所、エッチングしてもその形は変化しなかった事から、Fig. 7(c) に示すキャリア濃度プロファイルを実際に示しているものと言える。

次に、オーバエッチング時間を 8 min と長く、あるいは高周波電力を 150 W (この時の陰極降下電圧は 420 V) と高くした場合の結果を RIE なしのものとまとめて Table 1 に示す。

いずれの場合でも逆方向リーク電流および耐圧に大きな変化が見られる。又、 n 値は不変であるがバリアハイトの変化は顕著になってきている。ただ、キャリア濃度には劣化が加速される傾向は特に観測されてはいない。

これらの結果から、 O_2 -RIE によって導入された損傷はゲート逆方向リーク電流の 1 桁近い増加や $0.2 \mu\text{m}$ 以上の深さまで 10^{16}cm^{-3} 台のキャリア濃度の減少という特性劣化をもたらす事、更に逆方向耐圧、バリアハイトも高周波電力の高い条件下や長時間のエッチングによって劣化傾向が顕著に現われてくる事が明らかにされた。この結果は、定性的には前節までに述べたウェハ状態での容量—電圧特性の変化や FET 特性の劣化と対応している。

尚、ゲート逆方向耐圧に対する劣化の様相が Fig. 3 に示した FET の場合と異なるのは、ここでの検討は $1 \times 10^{17} \text{cm}^{-3}$ の十分に厚いバルク結晶上に形成したダイオードを用いており、従って、RIE 損傷を受けて表面が実効的に薄くなってもショットキー空乏層はキャリア濃度に対応する深さだけ広がりゲート周囲の RIE 損傷等に伴うリーク電流が見えてくる為に逆方向耐圧の低下が起こるものと考えられる。

次に、円筒型プラズマエッチングによりパッファ層を除去した場合や $(\text{CF}_4 + \text{H}_2)$ RIE された場合の結果を同様に Table. 1 に比較して示す。この表からも O_2 プラズマエッチングの場合には RIE なしのものを全く同様の

Table 1 Several diode's D.C parameters for samples etched by O₂-RIE, (CF₄+H₂) RIE and O₂-plasma etching

RIE Condition	I_R $\times 10^{-9}$ (A)	V_R (V)	ϕ_{Bn} (I_f-V_f) (V)	n	C_{jo} (pF)	$N_D^{(*)}$ $\times 10^{17}$ (cm ⁻³)
as grown	6	-7.2	0.78	1.04	150	0.94
O ₂ -RIE 120W 4min	40	-6.6	0.72	1.04	110	0.56
" " 8min	150	-5.3	0.67	1.05	119	0.56
" 150W 4min	910	-3.6	0.63	1.03	112	0.84
O ₂ -plasma 500W 10min	2	-7.2	0.80	1.04	148	0.94
(CF ₄ +H ₂) RIE Just etch 150W, 5 pa, Va=540V	200	-5.8	0.72	1.06	86	0.66 (at 0.4μm)

(*) N_D : at $W = 0.15 (\mu m)$

結果が得られ、損傷の影響はな事を示している。一方、(CF₄+H₂) RIE の場合には O₂-RIE に比較しても、より大きな特性劣化を引き起こしている事がわかる。この様な O₂-RIE に対する (CF₄+H₂) RIE の損傷による特性劣化の違いは、陰極降下電圧が540 V と O₂-RIE の320 V に比べ、極めて大きい事に起因すると考えられる。即ち、生成されたプラズマイオンがシース内を加速されて基板に到達するが、その時のイオンの加速電圧が高い程、プラズマ衝撃は高く、基板に対する損傷は大きなものになる事が理解される。一方、O₂ プラズマエッチングの場合には自己バイアスはかからず、イオンによる直接的衝撃はなく、従って as grown と同等の特性を示すものと考えられる。

この様な (CF₄+H₂) RIE は例えば側壁アシスト短電極間プロセスに用いられており(4)、ここでの結果を考慮する必要がある。又、O₂ プラズマエッチングは各種プロセスの灰化表面処理に使用されており、ここでの結果がその有効性を支持しているものと言えよう。

尚、ここではバルク結晶に対して実験結果を述べたが、n⁺GaAs 基板上に MBE 成長した $nd \approx 1.2 \times 10^{17} \text{ cm}^{-3}$ のエピタキシャルウエハを用いた場合でも同等の結果が得られている。

4. 考察および除去方法

主として O₂-RIE による GaAs 層の電気的特性への影響を実験的に検討してきたが、その結果として O₂-RIE によって表面に汚染層、酸化層の形成による実効膜厚の薄化と共に導入損傷によってショットキ特性の劣化や動作層内ドナーの補償に伴ない表面に高抵抗層が形成され、又、0.2 μm 以上の深さにまで 10^{16} cm^{-3} 台のキャリア濃度の減少が引き起こされる事がわかり実際の FET 特性の劣化をもたらす事が明らかにされた。この事はデバ

イス設計上極めて重要な問題となり、特に、今後更に FET の超高周波化が進み、薄い動作層が要求された上で微細加工を実現する為にはこのような RIE による損傷等の影響を除く手段を見出す事が必要不可欠となる。

ここでは、O₂-RIE の影響を除く為に考えられるいくつかの手段、i) RIE 損傷等に対する保護膜の介在、ii) 低損傷の RIE 条件によるエッチング、iii) 損傷を受けた層の除去、iv) 熱処理による損傷の回復について簡単に検討した結果を述べる。

まず、GaAs 動作層とバッファ層の間に1000Å厚の CVD-SiO₂ 膜を介在し、O₂-RIE によってバッファ層を除去4 min オーバエッチングした後に、SiO₂ 膜を取り去った GaAs 層上に形成したショットキダイオード、および SiO₂ 膜は介在せずにバッファ層を除去、同じ時間オーバエッチングした後 GaAs 表面を ~500Å の深さだけウェットエッチングした上に形成したショットキダイオードの逆方向リーク電流 I_R 、 ϕ_{Bn} (容量-電圧特性より求めた)、キャリア濃度プロファイルを用いて RIE なしおよび O₂-RIE だけのものとを比較して Fig. 8 にまとめて示す。尚、この時に用いたウエハは3-2で述べて FET 作製したものと同じである。

図より、まず、1000Å の CVD-SiO₂ 膜の介在によって I_R 、 ϕ_{Bn} 、キャリア濃度プロファイル共に RIE なしのものと同等になっており、SiO₂ 膜の本条件下での O₂-RIE による損傷に対する保護膜としての効果が認められる。又、O₂-RIE 後のウェットエッチングの場合には表面損傷層がある程度除かれ、 I_R 、 ϕ_{Bn} および表面近傍のキャリア濃度も RIE なしのものに近い値になっており、損傷の深さを定量的に把握すれば O₂-RIE の後にゲート直下の GaAs 動作層を掘り込む、所謂リセス構造⁽³⁾によって O₂-RIE の影響を除去し、所望の FET 特性が得られる可能性を示唆している。

次に、陰極降下電圧を100 V とこれまでよりも極めて低い O₂-RIE 条件下でバッファ層をエッチング除去した GaAs 動作層上に MESFET を作製した場合のドレイン電流-電圧特性の結果を Fig. 9 に示す。

このように、低損傷の O₂-RIE 条件により、RIE なしの場合と同程度の FET 特性が得られる。

ただ、この場合にはオーミック金属のアロイ工程による熱処理効果 (420°C ピーク/H₂) が含まれており、両者の相乗効果によって損傷の影響を除去できたものと理解される。いずれにしても、例えばここで挙げたような i) ~ iv) の RIE による損傷等の影響を除去する方法は適用すべきデバイスのプロセスに対応して選択する事が肝要であろう。

Fig. 8 Carrier density profile for samples etched by O_2 -RIE at $V_a=320$ V.

5. 終 り に

主に O_2 -RIE された GaAs 層の電気的特性への影響を調べる目的で RIE されたウェハ状態での容量—電圧特性の測定, あるいはショットキダイオードおよび実際に MESFET を作製して電流—電圧特性, 容量—電圧特性を評価した. その結果, O_2 -RIE により GaAs 表面への汚染層, 酸化層の形成による実効膜厚の薄化と共に導入損傷によってショットキ特性の劣化が動作層表面の高抵抗層の形成と, $0.2\mu m$ 以上の深さにまで $10^{16} cm^{-3}$ 台のキャリア濃度の減少が引き起される事がわかり, FET 特性の劣化を招く事が明らかにされた. 又, この様な O_2 -RIE による影響を除く手段として GaAs 表面への例えば SiO_2 のような保護膜を介在させる事, 損傷を受けた層の除去, 低損傷条件下での RIE, あるいは熱処理による損傷の回復等を検討した結果, その有効性が確認された.

更に, 今後の課題として RIE 損傷の熱処理効果やメカニズム解明のための物性評価を行なう必要があり, 現在, 検討中である. 別の機会に報告したい.

最後に, 本研究の遂行に当り, 御指導および御討論いただいた当研究所, 高山部長をはじめとする関係各位に感謝いたします.

〔文 献〕

- 1) A. Cappy, B. Carnez, R. Fauquembergues, G. Salmer and E. Constant: IEEE Trans. on Electron Devices ED-27 (1980) 2158.
- 2) K. Kamei, S. Hori, H. Kawasaki, T. Chigira and K. Kawabuchi: IEEE Int. Electron Devices Meeting, Tech Dig. (1980) 102.
- 3) U. K. Mishar, S. C. Palmatter, P. C. Chao, P. M.

(a) without RIE

(b) O_2 -RIE 1.5min over etching

(c) O_2 -RIE 4min over etching

Fig. 9 MESFET's drain-voltage characteristics for a sample etched for a sample by O_2 -RIE at $V_a=100$ V. (a) without O_2 -RIE, (b) just etching, (c) 1.5 min over etching.

- Smith and J. M. Hwang: IEEE Electron Device Lett. EDL-6 (1985) 142.
- 4) T. Itoh and K. Ohata: IEEE Trans. on Electron Devices ED-30 (1983) 811.
- 5) S. Matsui and N. Endo: IEEE Int. Electron Devices Meeting, Tech. Dig. (1982) 295.
- 6) K. Suzuki, H. Itoh and T. Sugiura: J. Vac. Sci

- Technol. B3 (1985) 290.
- 7) L. F. Eastman: Proc. IEEE/Conference on High-Speed Semi-Conductor Devices & Circuit. (1983) 10.
 - 8) H. Sugiura and M. Suzuki: J. Vac. Sci. Technol. B3 (1985) 1609.
 - 9) S. W. Pang, G. A. Lincon, R. W. McClelland, P. D. Degraff, M. W. Geis and W. J. Piacentini: J. Vac. Sci. Technol. B1 (1983) 1334.
 - 10) K. Yamasaki, K. Asai, K. Shimada and T. Makimura: J. Electrochem. Soc. 129 (1982) 2760.
 - 11) Y. Yamane, K. yamasaki and T. Mizutani: Japan. J. Appl. Phys. 21 (1982) L537.
 - 12) S. M. SZE: *Physics of Semiconductor Devices*.
 - 13) K. ohata, H. itoh, F. Hasegawa and Y. Fujiki: IEEE Trans. on Electron Devices ED-27 (1980) 1029.
 - 14) A. Higashisaka, M. Ishikawa, F. Katano, S. Arai, T. Furutsuka and Y. Takayama: Abstracts of the 15th Conf. on Solid State Devices and Materials. P. 69 (Tokyo, 1983).