シリコンカーバイド (SiC) 単結晶成長とその応用

松 波 弘 之*

(受付1989年7月14日, 掲載決定1989年8月5日)

Single Crystal Growth of Silicon Carbide (SiC) and Its Application

Hiroyuki MATSUNAMI

(Department of Electrical Engineering, Kyoto University, Yoshidahonmachi, Sakyo, Kyoto)

(Received July 14, 1989, Accepted August 5, 1989)

1. ま え が き

シリコンカーバイド (SiC) は, 半導体の中では最も古い化合物半導体といえ, 長年, 避雷器やバリスタ材料として利用されてきた. 禁制帯幅が大きく, 不純物の添加によって p 型と n 型の導電型が容易に制御できるので, 可視発光 (特に青色などの短波長発光) デバイス用材料として魅力に富んでいる. また, 熱的, 化学的に強く, 耐放射性に富んでいるので, 苛酷な環境下で使用できる電子デバイス用材料として早くから期待されている.

結晶の SiC は, Si と C の原子間距離が 0.189 nm の sp^3 混成軌道の共有結合が主であるが, 電気陰性度に差があるので約 12% のイオン性をもつ. 原子の最密充填時に生じる積み重なりの違いによって各種の結晶形 (polytype) が存在するが, 実際面では図 1 に示す 3C-SiC と 6H-SiC が多く現れる. 初めの数字が積み重なり of 繰返し周期を示し, 後のアルファベットは結晶系で, C: 立方晶, H: 六方晶を意味している. 表 1 に代表的な物性値を示す¹⁾.

注目されるのは, 電子のドリフト速度の飽和値 V_s (2×10^7 cm/s²): 6H-SiC, 実測) の値と, 飽和値になる臨界電界 E_c が大きいこと (5×10^5 V/cm 以上) である. V_s が大きく, E_c が大きいと, 高周波で大電力が扱えるようになり, FET (field effect transistor) では Si よりも, IMPATT では GaAs より有用であろうとする考えもあ

る. さらに, 6H-SiC の pn 階段接合での絶縁破壊電界として $(2 \sim 3.7) \times 10^6$ V/cm が得られている²⁾. なお, 3C-SiC の電子の V_s は 2.7×10^7 cm/s と計算されていて⁴⁾, 低電界での電子の移動度の実測値 1000 cm²/Vs とともに広禁制帯幅をもつ半導体材料として非常に優れているといえる. 間接遷移型半導体であるが, 適当な不純物の添加によるドナー・アクセプタ対発光を利用すると良好な発光材料となる.

このように SiC は Si や GaAs にはない特徴をもつ有望な半導体であるが, 材料が熱的, 機械的に安定であるため結晶成長が困難となり, 大型の単結晶製法が確立していなかったで, 実用には至っていなかった. 近年, 単結晶製法に長足の進歩がみられ, それにつれていくつかのデバイスが開発され始め, 興味本位から実用化を考える段階に至っている¹⁾. 本解説では, 物性研究および応用に際して最も重要になるエピタキシャル成長につ

図 1 代表的結晶多形. (a)六方最密構造における原子の位置, (b) 6H-SiC と 3C-SiC

* 京都大学電気工学教室 (〒606 京都市左京区吉田本町)

表1 代表的 polytype の物性値

	3C-SiC	6H-SiC
結晶形	立方晶	六方晶
格子定数 (nm)	$a=0.4358$	$a=0.30817$ $c=1.5117$
禁制帯幅 (eV)	2.20	2.86
比誘電率	9.72	9.66(c 軸) 10.03(a 軸)
熱伝導度 (W/cmK)	0.255 (200°C)	0.410 (20°C)
熱膨張係数 (cm/K)	5.8×10^{-6} (1000°C)	5.12×10^{-6} (25~ 1000°C)
電子移動度 (cm^2/Vs)	1000	460
飽和ドリフト速度(電子) (cm/s)	$*2.7 \times 10^7$	2.0×10^7

*推定値⁴⁾

いて詳しく論じたのち、基板用単結晶 SiC のインゴット (塊) 製作を述べ、SiC の応用として提案されているデバイスについて簡単に紹介する。

2. エピタキシャル結晶成長

デバイス用の良質な単結晶を製作するために、他の半導体と同様に、SiC に対してもエピタキシャル成長法が用いられる。また、ほかの半導体ではデバイス製作の常套手段である不純物拡散法が、SiC の場合には1800°C以上の高温を必要とし、蒸気圧制御のできる特別の拡散炉を用いて拡散中の昇華を回避する工夫が要るのでほとんど用いられていない。したがって、エピタキシャル成長が不純物添加法として重要なプロセスとなる。

2.1 気相エピタキシー (vapor phase epitaxy: VPE) 法

SiC の構成元素の Si や C を含む原料ガスを H_2 や Ar などのキャリアガスを用いて反応管内に導入し、高温に保った基板上に SiC 単結晶を成長させる、いわゆる、CVD (chemical vapor deposition) 法を用いる。反応系の一例を図2に示す。基板は、電気伝導性のあるサセプタを高周波誘導加熱して昇温する。原料ガスには、Si 源として SiCl_4 , SiHCl_3 , SiH_4 などを、C 源として CCl_4 , C_2H_2 , C_3H_8 などを用いる⁵⁾。

(1) 3C-SiC

3C-SiC は電子移動度が大きいなど電子的性質が 6H-SiC より優れているが、高温での昇華法や Si メルトからの結晶成長法では2~3 mm 程度の微結晶しか得られない。これでは、デバイス製作はもとより、物性研究用の単結晶としても不十分である。そこで、大面積で良質の単結晶が容易に入手できる Si を基板にして、その上

図2 気相エピタキシャル成長のための CVD 系

に 3C-SiC をヘテロエピタキシャル成長させる試みが活発に行われた^{6,7)}。しかしながら、Si と SiC の格子定数の不整合が20% ($a_{\text{Si}}=0.357 \text{ nm}$, $a_{\text{SiC}}=0.357 \text{ nm}$) と非常に大きいために、再現性よく 3C-SiC を成長させる方法が確立しなかった。著者らが開発した炭化層を介した CVD 法の採用^{8~10)}によって再現性よく 3C-SiC のエピタキシャル層が得られることが認識されて国内外で追試の研究が盛んに行われるようになり、物性面、応用面からの研究が広がってきている。

図2に示した CVD 系（石英管の内径50 mm）を用いて Si 基板上に 3C-SiC を成長させる^{11~13)}。基板 Si をサセプタ上に置いて高周波（200 kHz）で誘導加熱する。 H_2 キャリヤガスの流量は 3SLM で、流速（ガス流量/反応管断面積）は 5 cm/s である。最初に HCl ガス（10 sccm）を流し、1180°C で5分間基板をエッチングする。次いで、 C_3H_8 （1.2 sccm）を流しながら室温から1360°C まで約2分間かけて温度上昇させ、SiC 表面を炭化させる。この昇温過程が炭化層を制御する key プロセスである。その後、ただちに SiH_4 （0.3 sccm）と C_3H_8 （0.25 sccm）を流して CVD 成長を開始する。成長速度は約 1.8 $\mu\text{m}/\text{h}$ である。反応管径の大型化によって大面積にでき、最近では直径5.0~7.5 cm の単結晶が得られる。SiC の結晶成長に一つの break through が見られたといえるであろう。結晶成長中の不純物添加量を変えると、p 型、n 型の導電率を大きく変えることができる。

成長層の表面モフォロジーと結晶品質は原料ガス中の Si/C 比に強く依存する。成長層と基板との界面の断面透過電子顕微鏡による観測から、(i) SiC から Si へと急峻に変化し、(ii) 格子定数の差を埋める転位が存在し、(iii) 成長層内に積層欠陥や微小双晶などの面欠陥が存在することが判明している^{12,13)}。

最適条件で製作した炭化層表面の反射電子線回折は 3C-SiC の単結晶パターンを示す。炭化層の構造と役割

図3 Si(100)上炭化層の中エネルギーイオン (121 keV) 散乱のスペクトル

を中エネルギーのイオン散乱法を用いて解析した結果、図3に示すスペクトルから次のような結果が得られている¹⁴⁾。(i) Si(100)上のSiC成長層は、界面から4 nm以上離れると基板に対して良好なエピタキシャル関係をもつ。(ii) SiC成長層とSi基板との界面は約2 nmのうねりをもつ。(iii) Si(100)の表面の約2 nmはSiCのひずんだ領域である。(iv) SiCとSiの真の界面から上下約4~5 nmの極薄層がバッファ層として働く。炭化層の詳細な構造解析は今後のSiC結晶成長のための基礎研究として重要な意味をもつ。

Si(100)と(111)基板上では単結晶が成長するが、(110)、(211)上では多結晶が成長する理由を炭化の初期過程を考察することによって説明した¹⁵⁾。(111)上には単結晶が成長するものの“そり”とクラックが存在する。実用上“そり”やクラックは大きな問題になるのでこのままではSi(111)上の3C-SiCは使用できない。一方、Si(100)上にはアンチフェーズドメイン (antiphase domain: APD) が存在するのでこれを除去しなければならぬ。[011]方向へのオフアングルの導入によってAPDを除去し、表面モフォロジーを改善した¹⁶⁾が、電気的性質に異方性が観測されることが分かった¹⁷⁾。

このほか、3C-SiCエピタキシャル成長に関して、二温連続成長法、減圧CVD法、MBE法などの新しい展開がみられる。最近、著者らは高真空ガスソースMBE法によってSi₂H₆とC₂H₂を交互供給することによって3C-SiCの原子レベルエピタキシーの可能性を示唆した¹⁷⁾。

(2) 6H-SiC

基板に6H-SiCを用い、1600~1800°Cに保って、その上に6H-SiCを成長させる。反応ガスやキャリアガスの組合せによって基板付近での反応の仕方が異なるので、モル比の選び方に注意が要る。良好な表面モフォロジー

図4 液層エピタキシー用ディップ法

を得るためには1800°C程度の高温が必要である。成長速度はC面上の方がSi面上よりも大きくて、0.2~1.0 μm/minである。反応ガス中にN₂またはNH₃を添加するとn型が、B₂H₆またはAl(CH₃)₃を添加するとp型が得られる¹⁷⁾。

最近、著者らは、6H-SiCの(0001)基板に加工を加え、表面のステップ密度を制御した基板上への結晶成長を試み、SiCのホモエピタキシャル成長に新しい展開をもたらした。基板温度1350~1500°CでSiC結晶を成長させ、成長層のpolytypeを、反射電子線回折、KOHエッチングによるピット観察およびフォトルミネセンス法を用いて判定した。ステップを制御しない基板上では3C-SiCの双晶が成長する。表面のステップ密度を多くすると1400~1500°Cで再現よく6H-SiCがホモエピタキシャル成長する。従来の1800°Cでの成長層の物性の最高値を凌駕する性質をもつ結晶が300~400°Cも低く製作できる。成長機構としてステップ端からの横方向成長モデルを提唱し、ステップ制御エピタキシーと名付けている^{18,19)}。結晶多形の制御を含めてSiCを実用性のある半導体にするためにも今後の詳細な研究が強く期待される。

2.2 液相エピタキシー (liquid phase epitaxy: LPE) 法

グラファイトるつぼ内でSiを溶融し、高温部でSi内に溶けたCを溶融Siの熱対流を利用して低温部に輸送し、そこに置いた6H-SiC基板上に6H-SiCをエピタキシャル成長させる方法が提案されていた。しかし、Siの固化時の強い応力のためにSiC成長層が損傷を受け、また、るつぼを割ってSiをエッチングで除去しないと結晶が取り出せないなどの欠点があり、実用には不向き

であった²⁰⁾。

図4に示すディップ (dipping) 法は、著者らが上述の問題を解決するために考案した方法である^{21,22)}。高純度のグラファイトるつぼを1650~1800°Cに保って中のSiを溶融し、これに基板ホルダーに保持した6H-SiC基板を浸けて、エピタキシャル成長させ、その後基板ホルダーを引き上げる。成長速度は1650°Cで0.09~0.2 $\mu\text{m}/\text{min}$ である。溶融SiにAl, Bなどを添加するとp型が、雰囲気ガスにN₂を混ぜるとn型が製作できる。この方法では、Siが固化する前に成長した結晶を取り出すので、固化時の応力による損傷がなく、るつぼ内のSiが繰り返し使用できるなどの利点がある。

この方法を拡張して回転ディップ (rotation dipping) 法を考案した²³⁾。3つのるつぼを用意し、p型、n型の不純物を別々のるつぼに入れておく。るつぼを昇温して成長温度に到達すれば、基板ホルダーに保持したSiC基板をp型用のるつぼに挿入し、成長後引き上げる。基板ホルダーを回転させ基板をリンス用のるつぼに挿入してp型るつぼ内で付着したSiを溶融させる。ついで、n型るつぼに基板を挿入してn型を成長させる。このようにすれば階段型のpn接合が容易に製作できる。不純物添加量の精密制御に関する基礎的研究を行った。

3. 基板用 SiC 単結晶の製作

従来、SiCの高純度単結晶は、2500°C以上での昇華法を利用したLely法で製作されていた²⁴⁾。グラファイトるつぼとその内部に置いた多孔性グラファイトの中空円筒との間にSiC粒を入れ、Arガス中で加熱、分解して低温部に輸送し、そこで再結晶させて単結晶を得ていた。6時間ほどで最大径が10 mm程度の薄板結晶(ほとんどが6H-SiC)が得られるが、結晶の核発生が自然に行われるので、形が不揃いとなり、大きさにも制限があった。これを基に、6H-SiCの種結晶上に昇華法で単結晶を成長させてインゴットを製作する改良Lely法が開

図5 SiC インゴット製作用改良 Lely 法

発された²⁵⁾。成長開始時に炉内圧力を高め、1800~2000°Cで種結晶上への堆積を抑えて seeding (種付け) を制御する。その後、圧力を調整して、2 mm/h の成長速度で、直径14 mm、長さ18 mm のインゴットが製作された。ついで、図5に示す二重円筒型のるつぼを用い、上部を2400°C、下部を2200°Cに保ち、縦方向に10~25°C/cmの温度の勾配をつけて結晶製作が試みられた²⁶⁾。昇温時にArガスで雰囲気を1気圧にして余分な核発生を防ぎ、成長温度に達したのち、炉内圧力を1.5 Torrに下げて結晶成長を促進させる。成長速度が4 mm/hで、直径14~20 mm、長さ24 mmのインゴットが得られている。現在、るつぼの大型化によって、直径30 mm、長さ13 mmの大型インゴットが製作可能となり、不純物添加も行われている。将来、2インチウエーハが入手できるインゴットも実現可能となるであろう²⁷⁾。

3C-SiCのインゴットについては、著者らがその可能性を示唆した²⁸⁾。成長温度を高めれば基板の3C-SiCの上に6H-SiCが成長し、インゴットが製作できる見通しがある。

4. SiC デバイスの現状

4.1 青色発光ダイオード

LPE法を用いて6H-SiCのエピタキシャルpn接合を製作すれば青色LEDが作れる²⁹⁾。p型製作には不純物としてAlを、n型にはN₂を添加するが、n型層を製作するときには微量のAlも添加する。n型内でNとAlが形成するドナー・アクセプタ (D-A) 対が発光中心となる。詳細な発光機構ならびに最適の不純物量などは、著者らのグループが、回転ディップ法により製作し

図6 SiC 青色発光ダイオードの室温でのスペクトル

たダイオードを用いて解明した²³⁾。図 6 に室温での発光スペクトルの電流依存性を示す。発光機構は、D-A 対 M: 480 nm), Al が関与する局在準位の束縛励起子 (E: ~455 nm), および自由励起子 (F: ~425 nm) の再結合と考えられる。電流増大に伴って F ピークの強度が増大するので、短波長成分が増加するとともに、輝度も飽和を示さずに増大する。n 型中の N 量が少ない場合には、発光の主ピークは短波長 (~460 nm) にずれる。LPE 法による青色 LED の外部量子効率 η_{ext} は $2 \times 10^{-3} \%$ ^(23,29)であったが、最近の改良 Lely 法による透明基板結晶を用いた素子では $2 \times 10^{-2} \%$ が達成されサンプル出荷に至っている²⁷⁾。輝度も 20 mA で 12 mcd と上がっている³⁰⁾。

青色LED製作にCVD法は不向きとされていたが、著者らが試みた結果、外部量子効率 $2 \times 10^{-3}\%$ を実験室レベルで達成している³¹⁾。ステップ制御エピタキシャル法による良質の単結晶を活用し、不純物としてのAlも有機金属を用いて添加できる見通しができたので今後の進展が特に期待される。

4.2 トランジスタ

CVD 法による Si 基板上の 3C-SiC を用いて MOS (metal-oxide-semiconductor) FET が試作され、特性が報告されている。3C-SiC 上に堆積した多結晶 Si に p⁺ を打ち込んだソース、ドレイン電極の形成、SiC と Si の SiO₂ 膜形成速度の違いを利用したセルフアライン法によるゲート製作に特徴をおいている。ゲート電圧の変化とともにドレイン電流が変化するので電界効果が観測されているが、ドレイン電流の飽和は観測されない³²⁾。

著者らは、オフアングルの導入によって 3C-SiC (100) 表面モフォロジー改善の一方法を見出し、これを用いて図 7 の構造を持つ 3C-SiC の MOSFET を試作した³³⁾。図 8 に示すようにドレイン電流の飽和特性が観測できる MOS 反転型 FET が世界で初めて製作できた。格子定数の不整合が 20% の SiC-Si 系でヘテロエピタキシャル結晶を用いて、能動デバイスが製作できたことに

図7 Si上の3C-SiCを用いた反転型MOSFETの構造

大きな意義がある。デバイスの構造やプロセスの最適化によって、400°Cでも動作する EFT が試作された³⁴⁾。さらに、6H-SiC 上の 3C-SiC を用いた FET が試作され、630°Cでの動作も報告されている³⁵⁾。

このほか、デバイスの高速化のために、SiC を Si に対する wide gap emitter として応用することを目指した、SiC/Si のヘテロバイポーラトランジスタに関する研究が始められている³⁶⁾。また、n 型 6H-SiC 基板をコレクタとし、p 型ベース層を VPE 法で堆積後、一部を Cl_2/O_2 ガスエッチングで薄くし、この上にエミッタとしての n^+ 型を堆積した、バイポーラトランジスタが製作されている³⁷⁾。コレクタ破壊電圧は 50 V 以上で、電流増幅率 4~8 が報告されている。

5. あとがき

SiC を半導体デバイスに応用するために、エピタキシャル成長とインゴット製作の最近の進展を概説した。デバイス応用としての 6H-SiC の青色 LED は、pn 接合ができる良さを顕著に示したといえる。輝度が現状の 5 倍以上となればその利用範囲がかなり広がるといわれており、今後の効率向上が強く期待されている。3C-SiC はヘテロエピタキシャル成長層が再現よく得られて、能動デバイスの試作段階に達した。feasibility が示されたので、今後は問題点の整理とその克服に向けて展開していくであろう。エピタキシャル法による pn 接合以外の SiC の加工法、たとえばイオン打ち込みなどの技術は未開発といってもよい。議論の対象となる良質の結晶が入手できるようになったので、今後の研究方向が明確になってきたといえよう。

図8 反転型 MOSFET の特性

〔文 献〕

- 1) H. Matsunami: Optoelectronics-Devices and Technologies, 2 (1987) 29.
- 2) W. v. Munch and E. Pettenpaul: J. Appl. Phys., 48 (1977) 4823.
- 3) W. v. Munch and I. Pfaffeneder: J. Appl. Phys., 48 (1977) 4831.
- 4) D. K. Ferry: Phys. Rev., B12 (1975) 2361.
- 5) H. Matsunami: Thin Films from Free Atoms and Particles, edited by K. J. Klabunde, Academic Press (1985) 301.
- 6) For example, N. C. Tombs, J. J. Comer and J. F. Fitzgerald: Solid State Electron., 8 (1965) 839.
- 7) For example, D. M. Jackson, Jr. and R. W. Howard: Trans. Metall. Soc., AIME, 233 (1965) 468.
- 8) H. Matsunami, S. Nishino and H. Ono: IEEE Trans. Electron Devices, ED-28 (1981) 1235.
- 9) S. Nishino, H. Suhara and H. Matsunami: Ext. Abstr. 15th Conf. SSDM, (1983) 317.
- 10) S. Nishino, H. Suhara, H. Ono and H. Matsunami: J. Appl. Phys., 61 (1987) 4889.
- 11) K. Shibahara, T. Takeuchi, S. Nishino and H. Matsunami: Jpn. J. Appl. Phys., 28 (1989) 1341.
- 12) H. Matsunami: Mat. Res. Soc. Proc., 97 (1987) 171.
- 13) H. Matsunami: Mat. Res. Soc. Proc., 116 (1988) 325.
- 14) M. Iwami, M. Kusaka, M. Hirai, H. Nakamura, T. Koshikawa, K. Shibahara and H. Matsunami: Nucl. Instr. Meth., B33 (1988) 615.
- 15) K. Shibahara, S. Nishino and H. Matsunami: J. Cryst. Growth, 78 (1986) 538.
- 16) K. Shibahara, S. Nishino and H. Matsunami: Appl. Phys. Lett., 50 (1987) 1888.
- 17) T. Fuyuki, M. Nakayama, T. Yoshinobu, H. Shiomi and H. Matsunami: J. Cryst. Growth, 95 (1989) 461.
- 18) N. Kuroda, K. Shibahara, W. S. Yoo, S. Nishino and H. Matsunami: Ext. Abstr. 19th Conf. SSDM (1987) 227.
- 19) K. Shibahara, N. Kuroda, S. Nishino and H. Matsunami: Jpn. J. Appl. Phys., 26 (1987) L1815.
- 20) R. W. Brander and R. P. Sutton: J. Phys., D2 (1969) 309.
- 21) A. Suzuki, M. Ikeda, H. Matsunami and T. Tanaka: J. Electrochem. Soc., 122 (1975) 1741.
- 22) A. Suzuki, M. Ikeda, N. Nagao, H. Matsunami and T. Tanaka: J. Appl. Phys., 47 (1976) 4546.
- 23) M. Ikeda, T. Hayakawa, S. Yamagiwa, H. Matsunami and T. Tanaka: J. Appl. Phys., 50 (1979) 8215.
- 24) J. A. Lely: Ber. Deut. Keram. Ges., 32 (1955) 229.
- 25) Yu. M. Tairov and V. F. Tsvetkov: J. Cryst. Growth, 52 (1981) 146.
- 26) G. Ziegler, P. Lanig, D. Theis and C. Weyrich: IEEE Trans. Electron Devices, ED-30 (1983) 277.
- 27) K. Koga, T. Nakata and T. Niina: Ext. Abstr. 17th Conf. SSDM (1985) 249.
- 28) W. S. Yoo, S. Nishino and H. Matsunami: Mem. Fac. Eng. Kyoto Univ., 49 (1987) 21.
- 29) H. Matsunami, M. Ikeda, A. Suzuki and T. Tanaka: IEEE Trans. Electron Devices, ED-24 (1977) 958.
- 30) T. Nakata: private communication.
- 31) S. Nishino, A. Ibaraki, H. Matsunami and T. Tanaka: Jpn. J. Appl. Phys., 19 (1980) L353.
- 32) Y. Kondo, T. Takahashi, K. Ishii, Y. Hayashi, E. Sakuma, S. Misawa, H. Daimon, M. Yamanaka and S. Yoshida: IEEE Electron Device Lett., EDL-7 (1986) 404.
- 33) K. Shibahara, T. Saito, S. Nishino and H. Matsunami: IEEE Electron Device Lett., EDL-7 (1986) 692.
- 34) H. S. Kong, H. J. Kim, J. A. Edmond, J. W. Palmour, J. Ryu, C. H. Carter, Jr., J. T. Glass and R. F. Davis: Mat. Res. Soc. Proc., 97 (1987) 233.
- 35) J. W. Palmour, H. S. Kong and R. F. Davis: Appl. Phys. Lett., 51 (1987) 2028.
- 36) T. Sugii, T. Ito, Y. Furumura, M. Doki, F. Mieno and M. Maeda: IEEE Electron Device Lett., EDL-9 (1988) 87.
- 37) W. v. Munch and P. Hoeck: Solid State Electron., 21 (1978) 479.