MBE 成長と量子化機能素子

斎藤 淳二*・柴富 昭洋**

(受付1991年12月16日, 掲載決定1992年4月11日)

Molecular Beam Epitaxial Growth and Quantum Functional Devices

Junji SAITO* and Akihiro SHIBATOMI**

(*Fujitsu Limited, 10-1 Morinosato-Wakamiya, 243-01 Atsugi)

(**Fujitsu Laboratories Ltd., 10-1 Morinosato-Wakamiya, 243-01 Atsugi)

(Received December 16, 1991, Accepted April 11, 1992)

1. はじめに

結晶表面や界面の評価手段として用いられた分子線法を, 結晶成長法として用いようという最初の提唱は, 1968年にベル研究所の A. Y. Cho¹⁾が行った. MBE 成長法は, 分子線が持つ固体表面との相互作用を利用した, 超高真空中での結晶成長法である. MBE 成長は, 高品質な結晶を原子層オーダーで制御できる, 多元混晶が容易にできる, 異なる結晶あるいは混晶の成長 (ヘテロ接合構造) が原子オーダーで制御できる, また大面積基板上に超高均一に成長できる, 電子線, X 線, 光を用いたその場観察や成長制御ができる, 安全で装置がシンプルである, 材料使用効率が良いなど, その特徴を数え上げれば枚挙がない.

MBE 成長は, 他の結晶成長法では真似のできない多くの特徴を兼ね備えているため, 開発当初より大変注目された結晶成長法であった.

MBE 成長は, 最初 L. L. Chang や L. Esaki 等²⁾の超格子の研究や結晶表面の研究等の基礎的な研究に用いられた. ベル研究所の R. Dingle 等³⁾による変調ドーピング構造の開発に続く, 1980年の富士通の三村等⁴⁾による HEMT (高電子移動度トランジスタ) の発明に端を発して, MBE 成長法の実用化技術への研究開発が活発となった. 現在では, MBE 成長技術の実用化が進み, レ

ーザダイオードや HEMT 等の多量生産設備として, 工場では必要不可欠の設備となっている. 将来デバイスである量子化機能素子についても MBE 成長の特徴をフルに生かして様々な研究がなされている. 同時に, MBE 成長の更なる技術向上を目指して, 大学をはじめ, 様々な研究機関で精力的に研究が行われている.

本解説では, 化合物半導体, 特に GaAs/AlGaAs-MBE 結晶成長技術の実用化研究とその現状について述べ, 次に量子化機能素子作製に必要な MBE 成長技術のもつポテンシャルについて述べる. 次に MBE 成長法により構成される, 次世代素子である量子化機能素子について, その研究動向を解説し, 本稿をまとめる.

2. MBE 実用化技術

HEMT は現在, 衛星通信や我々の身近な衛星放送用パラボラアンテナのコンパータ部に超低雑音アンプとして使われている. HEMT が最初に MBE のエビウエハで作られたという歴史的な経緯もあり, 現在この HEMT の90%以上が MBE で成長したエビウエハを使って作られている. この様に, MBE 技術実用化への動機付けとして, HEMT の果たした役割は非常に大きい. ここでは, 我々が開発してきた HEMT LSI 用 MBE 実用化技術を中心に紹介し, 将来の量子化機能素子の作製技術でも MBE が必要不可欠な技術であることを述べる.

* 富士通株式会社 (〒243-01 神奈川県厚木市森の里若宮10-1)

** 株式会社富士通研究所 (〒243-01 神奈川県厚木市森の里若宮10-1)

(1) GaAs 基板の清浄化技術

基板の清浄化技術は、高品質のエピタキシャル結晶を得るための基礎技術である。特に、電子の量子効果を引き出す結晶構造の作製方法として、電子線リソグラフィや反応性イオンエッチングなどの微細加工技術を使って加工した基板上へ、再成長技術を使って縦方向や横方向に量子井戸（縦型超格子構造）を形成する方法が考えられており⁵⁾、基板の清浄化技術は再成長のための技術としても重要である。

従来の MBE 成長の場合、GaAs 基板を有機溶剤や酸で洗浄した後、MBE 成長室に入れ、成長直前に砒素分子線照射下で基板温度を580から600°Cに昇温することにより、表面の自然酸化膜を除去するサーマルクリーニング法という方法が用いられていた^{6,7,8)}。しかし、この方法では炭素のような表面汚染物は蒸発せずに残留するため、基板とエピタキシャル層界面付近にはキャリア空乏層が形成され、エピタキシャル層に作り込むデバイス性能の劣化の原因になることが知られている^{9,10,11)}。

我々は、GaAs 基板表面の清浄化方法として、GaAs 表面を物理的（熱的）にエッチングする方法と化学的にエッチングする方法を開発した。物理的な方法としては、①成長直前に砒素分子線照射下で基板温度を750°C以上に加熱して GaAs 基板表面を熱的にエッチングするサーマルエッチング法¹²⁾や、②大気中で GaAs 基板を加熱して熱酸化膜を形成し、成長直前に砒素分子線照射下で基板温度を600から640°Cに加熱して除去する方法¹³⁾がある。化学的な方法としては、③成長室と真空で連結されたガスエッチング室内で、HCl ガスと水素ガスの混合ガスを500°Cに加熱した GaAs 基板に照射してエッチングを行う反応性ガスエッチング法^{14,15)}がある。

熱的に GaAs 表面をエッチングする方法は、特別な設備は不要で簡単に実施できるが、高温で加熱した GaAs 基板表面からの選択的な砒素の脱離が生じるために、エッチングを深くするに従って表面モロロジーの劣化が進む問題があり¹⁶⁾、微細加工基板の清浄化技術としては適当ではない。一方、反応性ガスエッチング法は、ガスエッチング室の準備は必要であるが、真空プロセスとの整合性が良いと言う MBE の持つ特徴を生かしており、表面モロロジーの劣化のない平坦で清浄な基板表面を得ることができる。

反応性ガスエッチングは次の様な手順で行う。GaAs 基板をターボ分子ポンプ（300 l/s）で排気しているガスエッチング室に入れた後、まず水素ガスを18 SCCM 流しながら基板温度を500°Cまで昇温する。続いて HCl ガスを2 SCCM 加えてエッチングを行う。この時の真空度は、 8×10^{-4} Torr であり、GaAs のエッチング速度は

図1 HCl ガスと H₂ の混合ガスエッチングした GaAs 基板 (100) 面の [011] 方向と [01 $\bar{1}$] 方向の RHEED パターン。砒素分子線照射下で、基板温度が a は500°C、b は700°C。

5 から 7 nm/min となる。5 分間（約30 nm）エッチングした後、基板温度を下げ、真空搬送室を通して成長室に入れる。基板搬送中での基板表面の再汚染を防ぐために、基板搬送室の真空度を 2×10^{-8} Torr に保持し、搬送時間は5分間以内で行うようにしている。

成長室で砒素分子線を照射しながら基板加熱を行った時の、GaAs 基板表面の反射型高エネルギー電子線回折法（RHEED）による回折パターンを図1に示した¹⁴⁾。基板温度が500°Cの場合、GaAs 結晶表面の As 安定化面を示す (2×4) 再配列構造が、また、基板温度が700°Cの場合、GaAs 結晶表面の Ga 安定化面を示す (4×2) 再配列構造が観察された。これらの再配列構造は、エッチングした GaAs 基板表面が原子オーダーで平坦になっていることを示している。もちろん、光学顕微鏡で観察しても表面モロロジーの劣化は全く見られない。

ガスエッチングによる基板表面のクリーニング効果を調べるために、n 型 GaAs 基板の上に同じく n 型 GaAs をエピタキシャル成長して、基板—エpi界面付近の空乏層の広がりを C-V 測定によるキャリア濃度の深さ方向プロファイルにより評価した。図2に、従来のサーマルクリーニング法と HCl ガスエッチングおよび HCl/H₂ 混合ガスエッチング法によって前処理した基板上に成長した n 型 GaAs 層の基板—エpi界面付近のキャリア濃度プロファイルを示した¹⁴⁾。従来のサーマルクリーニング法では空乏化しているキャリア量が 1.2×10^{12} cm⁻² あったものが、HCl ガスエッチングによるクリーニングで

図2 基板—エピ界面付近のC-V プロファイル.

は $3.5 \times 10^{11} \text{ cm}^{-2}$ に低減される. さらに, HCl ガスに水素ガスを混合することにより, クリーニング効果は一層増大し, これが $1 \times 10^{10} \text{ cm}^{-2}$ 以下にまで低減されている.

(2) 大口径・高均一成長技術

我々は, 量産型の MBE 装置として, 3 インチ GaAs 基板を 3 枚同時に成長できる装置を開発した¹⁷⁾. 成長室構成の基本コンセプトは, ①装置内での成長面へのダスト付着を防止するため, GaAs 基板は成長面を下向きにする, ②そのために分子線源セルは, 鉛直軸に回転対称に配置する, ③分子線源セルは大容量にして, ソースチャージのために成長室を大気に開放する回数を極力低減する, などである. これらの構成は, 装置メーカーが最近になって市販を始めたマルチウエハ MBE 装置にも採用されている¹⁸⁾.

図3の様な回転している基板ホルダと分子線源セルとの幾何学的な位置関係において, MBE における成長膜厚の均一領域 D は, 次の様な式で表せる¹⁷⁾.

$$D = k (A + 2L \tan \theta_0) / \cos \theta \quad (1)$$

ここで, A は分子線源セルの開口径 (mm), θ_0 は分子線源セルの開口角度 (deg), L は分子線源セルから基板ホルダ中心までの距離 (mm), θ は基板ホルダ中心軸に対する分子線源セル中心軸の入射角度 (deg) である. また, k は係数であり, $\pm 1\%$ の膜厚均一領域 $D_{\pm 1\%}$ を表す場合には, $k=0.7$ となることが経験的に判っている.

3 インチ 3 枚パッチの MBE 成長室は, この式を基に設計している. 190 mmφ の Mo 製基板ホルダに, 図4

図3 基板ホルダと分子線源セルとの幾何学的な位置関係.

図4 3 インチ基板 3 枚パッチでの In フリーホルダの構造図.

のように基板をセットする¹⁹⁾. 基板の裏面には PBN 製の均熱板を置いて, 面内の均一加熱と加熱による基板裏面からの As の脱離を抑制している. このような In フリーホルダの場合, In ソルダを使った場合の基板のフラットネスの劣化や表面汚染の心配は全くなっている. これは, 再成長や真空一貫プロセスを行う場合には, 必要不可欠な技術である.

図5に, マルチウエハ MBE 装置を使って, GaAs 基板上に成長した Si ドープ n 型 AlGaAs の膜厚とドーピング濃度の面内分布を示した²⁰⁾. 3 インチ全面で膜厚, ドーピング濃度共に, $\pm 1\%$ 以内の均一性が得られている. また, 表面欠陥密度は, Ga ソースに起因した欠陥について, Ga 分子線源セルの脱ガスを十分行うことやセル内の温度分布を最適化することによって, 定常的に $10^6/\text{cm}^2$ 以下の値が得られている^{20,21)}. 従来の小型の MBE 装置に比較して全体の表面欠陥密度が10分の1以下に減少している(図6)のは, 成長面を下向きにした安定な基盤搬送機構や, 分子線源セルを大容量化したことによる容積当たりの表面積の減少(酸化物の量が減少)やセル内の温度分布の制御が容易になったことなどに起

図5 Si ドープ n 型 AlGaAs の膜厚 T とドーピング濃度 N_d の面内分布.

図6 表面欠陥密度のサイズ分布.

因している.

3. HEMT LSI 用 GaAs/AlGaAs ヘテロ構造の成長

HEMT LSI は, そのデバイス設計の主なパラメータがエビ構造の中に作り込まれている. 従って, MBE 成長技術のもつポテンシャルを, この HEMT LSI の重要なパラメータであるしきい値電圧 V_{th} を調べることで評価することが可能である. HEMT のしきい値電圧 V_{th} は, ゲート下のドーピング層の厚さとキャリア濃度によって決まり, 次の様な式で表すことができる²²⁾.

$$V_{th} = \Phi_M - \frac{qN_D}{2\epsilon} d^2 - \Delta E_c \quad (2)$$

図7 E/D HEMT による DCFL 回路の断面構造.

ここで, Φ_M はゲート金属のショットキ障壁ポテンシャル, N_D はキャリア供給層のドーピング濃度, d はキャリア供給層厚, ϵ はキャリア供給層の誘電率, ΔE_c は AlGaAs と GaAs の伝導帯端のエネルギー差である. この式から判るように, しきい値電圧はキャリア供給層厚 d の影響を最も受けやすい. 実験から得られた HEMT の V_{th} を, この式から算出した V_{th} と比較することによって, MBE 成長技術のもつ多層ヘテロ構造における層厚の面内および層方向での制御性について調べることができる.

キャリア供給層厚の変動に対するしきい値電圧の変動は, 次の式で表される.

$$dV_{th}/dd = -[2qN_D(\Phi_M - \Delta E_c - V_{th})/\epsilon]^{1/2} \quad (3)$$

しきい値電圧をエンハンスメントモード (E モード) で 0.2 V, デプレッションモード (D モード) で -0.4 V とした場合, キャリア供給層厚の変動に対するしきい値電圧の変動は (3) 式から, それぞれ -64 mV/nm, -87 mV/nm となる. すなわち, 1 原子層厚 (0.3 nm) 分のしきい値電圧の変動は, E モードで 18 mV, D モードで 25 mV となる.

HEMT LSI の基本構成である E モードと D モード HEMT による DCFL (Direct-coupled FET logic) 回路の断面構造を図 7 に示した. 同じエビウエハ上に E/D モードの HEMT を作るために, 選択ドライエッチング用のストップ層として n-GaAs 層中に薄い AlGaAs 層が埋め込まれており, 超薄膜多層構造となっている.

3 インチエビウエハ全面に 1 チップ 4.8 mm × 6.8 mm の IC を 107 個作り, 各チップの E/D HEMT のしきい値を測定した. 平均のしきい値電圧は E-HEMT で 0.220 V, D-HEMT で -0.412 V となった. 図 8 に, E/D-HEMT のしきい値電圧のばらつきをヒストグラムで示した. しきい値電圧の標準偏差は, それぞれ 12.7 mV, 17.6 mV であり, Si や GaAs のバルク結晶にイオ

図8 E/D HEMT のしきい値電圧分布.

ン注入技術により作製するICのそれに比較して数分の一に小さくなっている。前述の式(3)から計算したしきい値電圧の変動の結果と比較すると、3インチエピウエハ全面に渡って ± 1 原子層厚以下のばらつきになっていることが判る。これは、MBEが原子オーダーで膜厚を制御ができていたことを良く示している。

ここで述べた我々の研究は、実用レベルに近いMBE成長技術であるが、他の研究機関においては、基礎研究レベルにおいても更に高いMBEのもつポテンシャルが示されている。Sakakiらは、GaAs/AlGaAsヘテロ界面の平坦性がヘテロ界面での成長中断によって改良されることを、RHEEDの鏡面反射ビーム強度の観察や低温でのフォトルミネッセンス評価により明らかにしている²³⁾。成長中断によって原子層ステップの大きさは数百nm程度になると考えられている。またPetroffらは、(100)面より数度offした基板表面にできるステップ幅を利用して、面内方向に周期性をもつ超格子を作製する方法を提案している²⁴⁾。電子の量子効果は、電子の波長(数十nm)以下に電子を閉じ込めることによって得られるが、これらの研究成果はMBEによって理想的な量子細線や量子箱が形成可能であることを示している。この様に、量子化機能素子の研究開発と将来での実用化に対して、MBEは必要不可欠な技術である。

4. 量子化機能素子

MBE成長法の数々の特徴を生かして、数多くの量子化機能素子が発案されている。量子化機能素子は、その用いる物性と原理により大きく二つに分類される。一つは低次元構造での量子効果素子であり、波動関数工学に基づく素子である。具体的には、超格子構造を用いた、多機能論理素子や超高密度記憶素子が考えだされている。一方、限りなく微細化した構造での物性(メソスコピック領域)を用いた素子、具体的には電子の波の性質

を利用した、メソスコピック電子工学に基づく電子波干渉論理素子が考え出されている。量子化機能素子の中でも、波動関数工学に基づく超格子構造を用いた素子の研究は、一方の電子波干渉効果を利用した素子に比べ大変進んでいる。超格子構造を用いた量子化機能素子が、既に一部では基本集積回路規模の素子が実現し、機能特性の有効性が実験により証明されるまでに研究開発が進んでいるが、まだまだ量子化機能のほんの一部の現象を使っているだけである。さらに基礎的な物性研究と新しい素子イメージを創出することによって多くの量子化機能素子が生まれるであろう。電子波干渉素子の分野での研究は、まだ電子波の安定した発生、あるいは電子波の干渉効果の検証等、前素子同様に、基礎物性を探索する段階である。しかし、電子波の干渉を利用した素子は、ニューロ素子をはじめとする新しい動作概念の素子が発明される可能性を秘めており、前記述素子同様に各所で精力的に研究開発が進められている。

(1) 超格子構造を用いた量子化機能素子

Esakiが超格子を²⁵⁾提唱して以来、超格子に関する物性の研究や結晶成長の研究が積極的に進められた。しかし、超格子を用いた三端子素子の実現には更に十数年の経過が必要であった。超格子を用いた三端子素子で注目されるのは、Yokoyama²⁶⁾が考えた、ホットエレクトロントランジスタ(HET)²⁷⁾や、エミッタ層とベース層間に超格子構造(共鳴トンネル障壁)を挿入して、ホットエレクトロンの注入源とした、共鳴トンネリングホットエレクトロントランジスタRHET(Resonant Tunneling Hot Electron Transistor)である。また時を同じくしてReed等がHBT(ヘテロ接合バイポーラトランジスタ)のベース層を超格子構造(共鳴トンネル障壁)で置き換えたBiQuaRTT(Bipolar Quantum Resonant Transistor)²⁸⁾やCapasso等²⁹⁾がHBTのエミッタ層とベース層の間に超格子構造(共鳴トンネル障壁)を挿入したRTBTやFutatsugi等³⁰⁾の同様の素子RBT(Resonant Tunneling Bipolar Transistor)が発表された。いずれの素子も、共鳴トンネル障壁の挿入により、伝達コンダクタンスに微分負性抵抗特性を持たせ、素子に機能特性を持たせたものである。RHETは、コレクターベース間の耐圧の関係から77Kの温度以下でしか動作しないが、バイポーラ系のBiQuaRTTやRBTは室温での動作が可能である。素子の動作例に、集積回路作製と高速性が実証されたRHETについて述べる。

RHETの基本構造は、Heiblumが提唱したホットエレクトロントランジスタ(HET)のエミッタ層とベース層間に、共鳴トンネル障壁を挿入した構造である。代表的なInGaAs-InAlAs-RHETの断面概略構造図を図9

図9 InGaAs-RHET 断面構造略図.

に示す。共鳴トンネル障壁構造は、2つの InAlAs 障壁層4.4 nm の間に、3.8 nm の InGaAs 量子井戸層を挿んだ構造である。図10に、ベース電圧に対するコレクタ電流とエミッタ接地電流利得特性を示す。ベース電圧(人力電圧) 0.9 V のところで、共鳴トンネル効果によるピーク電流が観測される。即ち RHET の伝達コンダクタンスに微分負性抵抗特性が現れる。エミッタ接地の電流利得として10~17, 最大電流値と最小電流値 (P/V 比) は19.3であった。論理回路を設計するときには、設計マージンとして、より高い P/V 比と電流利得を高くする必要がある。当初 RHET は GaAs/AlGaAs 結晶で進めたが充分な高い P/V 比と電流利得を得ることができなかった。結晶を InGaAs/InAlAs にすることにより図10に示すような高い P/V 比と電流利得³¹⁾を得ることができた。

RHET の動作速度に関して、マイクロ波測定とマイクロ波解析を行った結果、RHET の中でコレクタ障壁層を電子が通過する時間が、最も長いことが明らかとなり、理論的解析結果とも一致した。そこで、コレクタ層構造の理論解析結果に従って最適化した結果、電流遮断周波数121 GHz³²⁾の超高速性が実証できた。

図10 RHET のベース電圧に対するコレクタ電流とエミッタ接地電流特性.

RHET の論理機能特性に関しては、Yokoyama 等は、排他的論理和 (E-NOR) や双安定回路 (フリップフロップ回路) が RHET を用いることにより、従来のトランジスタを用いた回路に比べ少ない素子数で形成できることを実証し、機能特性の有効性を実証した。続いて、基本ゲート回路である E-NOR, FLIP-FLOP, に続き、NOR, OR, AND, NAND, 3-入力多数決回路, ラッチ回路 3-入力識別回路等を作製し、いずれの回路も、従来のトランジスタを用いたのに比較して素子数が等しいか、あるいは極端に少ない数で構成出来ることを実証している。集積回路での機能素子 RHET の有効性を実証するために、論理回路で最も多用されている全加算器回路を RHET で構成した例を図11に示す。RHET 全加算器回路は、3-入力多数決回路の2つの E-NOR 回路から構成できることに成功し、わずか7個の RHET と12個の抵抗素子から形成できた。従来のバイポーラトランジスタで形成した全加算器回路は31個のトランジスタと11個の抵抗から形成されており、大幅に回路が単純になった。

図11 全加算器の回路比較.

ている。RHET 全加算器は、従来素子を用いた加算器回路に比較し、素子数で約 1/3、レイアウト面積で約 1/3、消費電力で約 1/2 に改善できることを実証し、機能素子の有効性を実証した³³⁾。

実空間遷移効果を利用した電荷注入型の素子 NERFET (Negative Differential Resistance FET) が Kastalsky³⁴⁾ 等によって提案された。二次元電子ガス層のソースとドレイン間でチャンネルに平行に電界を印加することによりチャンネル内の電子温度を上昇させることができ、障壁層を越えて高濃度にドーピングされた基板へ電荷が注入される。これは、Hess 等³⁵⁾ が提唱した実空間遷移効果によるもので、ソース、ドレイン間に微分負性抵抗特性が生じる。集積回路までは実証されていないが、RHET 同様に機能素子としての素子化が可能である。同じ構造の素子は電荷注入トランジスタとして働くことを Luryi 等³⁶⁾ が提唱し、CHINT (Charge Injection Transistor) と名付けた。NERFET や CHINT はメモリ効果も観測されており、記憶素子としての応用も考えられている。共鳴トンネル障壁を組合せることによりメモリ素子を作ることが原理的に可能である。もし共鳴トンネル障壁で記憶素子が作れると、超高密度 (数 Gb/cm²–数 100 Gb/cm²) の記憶素子が可能である。量子化機能素子は、全く新しい動作概念の論理機能素子ばかりでなく、人間の脳の記憶密度に迫る超高密度記憶素子実現の可能性も秘めている。この様な高密度の記憶素子を作成するには、MBE による微傾斜基板上への縦型超格子成長や金属埋め込み再成長技術の確立が必要である。

(2) メソスコピック構造での電子素子

電子をメソスコピック領域 (数 nm から数十 nm の範囲) に閉じ込めると電子の位相情報が壊れずに伝わる距離 (コヒーレント長) が数 μm の長さになる。この電子

図12 量子ポイントコンタクト間隔とコンダクタンスの関係。挿入図は、量子ポイントコンタクトの配置図。

のコヒーレント長内での電子波の干渉を利用すると様々な素子実現の可能性がある。またメソスコピック内に電子を閉じ込めると一次元電子となり、散乱確率の小さな後方散乱しか起こらず、電子移動度が飛躍的に増大すると Sakaki³⁷⁾ が予測した。メソスコピック領域での電子波の干渉は、金属細線リング³⁸⁾ や二次元電子ガスを用いた半導体細線内³⁹⁾ で既に観測されている。

電子波干渉素子の研究は、量子細線リング構造の AB 効果を用いた干渉の基礎研究と、量子ポイントコンタクトを用いた干渉の研究に大別される。本稿では、機能素子の可能性が高い量子ポイントコンタクトを用いた素子研究について述べる。

最初、量子ポイントコンタクトは、フェルミ面を調べるために Sharvin⁴⁰⁾ によって提案された。このアイデアを二次元電子ガスの変調ドーピング構造を用いて伝達コンダクタンスの量子化を実験的に確かめたのが van Wees 等⁴¹⁾ である。GaAs/AlGaAs の HEMT 構造 (二次元電子ガス構造) の結晶の上に、ショットキー型の電極が、

図13 二組の量子ポイントコンタクトによる電子波分布測定素子。

図14 量子ポイントコンタクトから注入された電子波の定在波。

階層型モデル 電子波干渉デバイス概念

図15 電子波素子で形成されるニューロ素子の概念図。

250 nm の間隔を開けて付けられ、狭い間隔にのみ電流がながれる構造になっている (図12・挿入図)。基板とゲート電極間に電圧を印加することにより、狭い間隔に流れる電流は量子化されて、図12に示すごとくコンダクタンスは階段状になる。このコンダクタンスは $e^2/\pi h$ の単位に比例して量子化されている。

齋藤等⁴²⁾は二組の量子ポイントコンタクトを形成し、両間隔を通して電流が流れる構造の素子を作成した (図13)。電流が注入される方の間隔を、ゲート電極に電圧を印加することにより空乏層を増し電子波の一次波長に等しくするようにする。基板に垂直に磁界を印加して電流を測定する。図14の如く一波長の場合、磁界に対し一個のピークがあらわれる、二波長になるように量子ポイント間隔を広げてして同じ測定を行うと二つのピークが現れる。いずれも磁界にたいして対称である。この結果は、量子化された電子の定在波が $1\mu\text{m}$ の間、位相情報を崩すことなく伝播したことを示している。このことは量子ポイントコンタクトが電子波の注入源として利用できることを示している。複数の量子ポイントコンタクトを電子波の注入源にすると複雑な電子波干渉素子を作ることができ、複雑なニューロ素子を一つの電子干渉素子で形成出来る可能性や、さらに新しい動作概念の素子が生まれる可能性を秘めている (図15)。しかし現在はまだまだ、電子波の安定した注入や電子波の干渉等、素子化には程遠い初歩的で基礎的な現象の把握と理論的な研究が主体であり、実現されていない。いずれにしても、電子波素子は二次元電子ガスを用いる。それゆえ、電子波のコヒーレント長を長くするために、超高移動度の二次元電子ガスが基板内に均一に、再現性良く形成できるような MBE 結晶成長技術を確立する必要がある。

おわりに

超高真空中で行われる MBE 成長法は、当初、その結晶品質が他の結晶成長法に比べて見劣りしたために、一時実用化が危ぶまれた時期があった。しかし、MBE 結晶成長は、そのたゆまざる研究活動の結果、他の結晶成長法を凌駕するまでになった。そして、高品質の結晶が再現性良く、高スループットで成長できる実用化装置ができるまでになり、生産工場では必要不可欠の装置となっている。現在、MBE 成長により、高品質な結晶が原子層オーダーで制御でき、超高均一で、任意の混晶のヘテロ接合構造の結晶を容易に、再現性良く、安全でしかも外部環境汚染の問題を生ぜしめることも無く形成できる。このようなポテンシャルを兼ね備えた結晶成長法は他に見当たらない。そして、この結晶材料を用いて次世代素子である様々な量子化機能素子の研究開発を可能としている。また MBE 成長は新しい半導体素子の開発に寄与したばかりでなく、真空中の結晶成長であるために、半導体プロセス技術との整合性もよく、将来の真空一貫プロセス技術として必要不可欠な成長技術でもある。

MBE 成長は真空という技術を用いた、無限の可能性を秘めた結晶成長方法である。それ故、MBE 成長の更なる研究を通して、将来全く新しい動作概念の半導体素子やプロセスの分野が開けてくるものと思われる。

【文 献】

- 1) A. Y. Cho: Appl. Phys. Lett. 19 (1971) 467.
- 2) L. L. Chang, L. Esaki, and R. Tue: Appl. Phys. Lett. 24 (1974) 593.
- 3) R. Dingle, H. L. Stormer, A. C. Gossard, and W. Wiegmann: Appl. Phys. Lett. 46 (1978) 665.

- 4) T. Mimura, S. Hiyamizu, T. Fujii, and K. Nanbu: Jpn. J. Appl. Phys. 19 (1980) L225.
- 5) 例えば, H. Sakaki: Jpn. J. Appl. Phys. 19 (1980) L735.
- 6) A. Y. Cho: J. Vacuum Sci. Technol. 8 (1971) s31.
- 7) J. Massies and J. P. Countour: J. Appl. Phys. 58 (1985) 806.
- 8) T. Mizutani: J. Vacuum Sci. Technol. 6 (1988) 1671.
- 9) C. E. C. Wood and B. A. Joyce: J. Appl. Phys. 49 (1978) 4854.
- 10) C. A. Chang, M. Heiblum, R. Ludeke, and M. I. Nathan: Appl. Phys. Lett. 39 (1981) 229.
- 11) S. Sinharoy and R. A. Hoffman: IEEE Trans. Electron Devices ED-31 (1984) 1090.
- 12) J. Saito, T. Ishikawa, T. Nakamura, K. Nanbu, K. Kondo, and A. Shibatomi: Jpn. J. Appl. Phys. 25 (1986) 1216.
- 13) J. Saito, K. Nanbu, T. Ishikawa, and K. Kondo: J. Appl. Phys. 63 (1988) 404.
- 14) J. Saito, K. Nanbu, T. Ishikawa, and K. Kondo: J. Crystal Growth 95 (1989) 322.
- 15) J. Saito and K. Kondo: in Proceeding of the SPIE Symposium on Multichamber and In Situ Processing on Electronics Materials, Santa Clara, 1989, p 115.
- 16) J. Saito, K. Nanbu, and K. Kondo: J. Vacuum Sci. Technol. B6 (1988) 26.
- 17) J. Saito, T. Igarashi, T. Nakamura, K. Kondo, and A. Shibatomi: J. Crystal Growth 81 (1987) 188.
- 18) 例えば, フランス/リペール社の MBE48 やイギリス/VG セミコン社の V100 などの MBE 装置がある。
- 19) T. Igarashi, J. Saito, Y. Okamoto, T. Ishikawa, and K. Kondo: Materials Research Soc. Symposium Proc. 102 (1988) p 503.
- 20) K. Kondo, J. Saito, T. Igarashi, K. Nanbu, and T. Ishikawa: J. Crystal Growth 95 (1989) 309.
- 21) K. Nanbu, J. Saito, T. Ishikawa, K. Kondo, and A. Shibatomi: J. Electrochem. Soc. 133 (1986) 601.
- 22) T. Mimura, S. Hiyamizu, M. Abe, and H. Ishikawa: in Proceeding of the 8th Japan-USSR Electron. Symp. (1981) p 98.
- 23) M. Tanaka and H. Sakaki: J. Crystal Growth 81 (1987) 153.
- 24) P. M. Petroff, A.C. Gossard, W. Wiegmann: Appl. Phys. Lett. 45 (1984) 620.
- 25) L. Esaki and R. Tue: IBM J. Res. Develop. 14 (1970) 61.
- 26) N. Yokoyama, K. Imamura, S. Muto, S. Hiyamizu, and H. Nishi: Jpn. J. Appl. Phys. 24 (1986) L853.
- 27) M. Heiblum, I. M. Anderson, and C. M. Knoedler: Appl. Phys. Lett. 49 (1986) 207.
- 28) A. C. Seabough: IEEE Trans. on ED 36 (1989) 2328.
- 29) F. Capasso and R. A. Kiehl: J. Appl. Phys. 58 (1985) 1366.
- 30) T. Futatsugi, Y. Yamaguchi, K. Ishii, K. Imamura, S. Muto, N. Yokoyama, and A. Shibatomi: IEDM Tech. Dig. (1986) pp 286.
- 31) K. Imamura, S. Muto, H. Ohnishi, T. Fujii, and N. Yokoyama: Electron Lett. 23 (1987) 870.
- 32) T. Mori, K. Imamura, H. Ohnishi, M. Takatsu, T. Adachihara, S. Muto, and N. Yokoyama: Abstract of 48 D.R.C. (1990) pp IIIB-4.
- 33) M. Takatsu, K. Imamura, H. Ohnishi, T. Mori, S. Muto, and N. Yokoyama: GaAs IC Symp. (1991) pp99.
- 34) A. Kastalsky and S. Luryi: IEEE Electron Devices Lett. EDL-4 (1983) 334.
- 35) K. Hess, H. Morkoc, H. Shichijo, and B. G. Streetman: Appl. Phys. Lett. 35 (1979) 469.
- 36) S. Luryi, A. Kastalsky, A. C. Gossard, and R. H. Hendel: IEEE Trans. Electron. Devices ED-31 (1984) 832.
- 37) H. Sakaki: Jpn. J. Appl. Phys. 19 (1980) L735.
- 38) F. P. Miliken, S. Washburn, C. P. Umbach, R. B. Laibowitz, and R. A. Webb: Phys. Rev. B32 (1985) 4789.
- 39) K. Ishibashi, Y. Takagaki, K. Goma, S. Namba, S. Ishida, K. Murase, Y. Aoyagi, and M. Kawabe: Solid State Commun. 64 (1987) 573.
- 40) Y. V. Sharvin: JETP 21 (1965) 655.
- 41) B. J. van Wees, H. van Houten, C. W. J. Beenakker, J. G. Williamson, L. P. Kouwenhoven, D. van der Marel and C. T. Foxon: Phys. Rev. Lett. 60 (1988) 848.
- 42) 齋藤美寿, 岡田 誠, 高津 求, 横山直樹: 電気学会論文誌 110-C (1990) 749.