半導体素子への真空の応用

伊 藤 糾 次*

(昭和40年2月17日 受理)

Application of Vacua for Semiconductor Devices

Tadatsugu ITOH

(Waseda University., 4-170, Nishi-Okubo, Shinjuku, Tokyo Japan.)

1. ま え が き

いわゆる真空管や放電管への真空の応用ということならばとにかく、半導体素子と真空とは一見余り関係のない取り合せのように思われるかも知れない。しかし、すでに今日では半導体素子の研究やその製作に当って、真空は極めて重要な「手段」として利用されており、将来ますますこの分野での真空の果たす役割は増大して行くことは明白である。

半導体素子の処理や操作に利用される真空は、非常に広い分野にわたっている。すなわち、真空蒸着やスパッタリングによる素子の製作、あるいは、電子線による加工や溶接等である。特に、近年急速にその要求の高まった半導体素子を含むマイクロ・エレクトロニックスの分野では、電子線加工を主体とする真空の利用はその実用化の成果を大きく左右するものと思われる。

一口に半導体素子といっても、その機能や構造は多種、多様であり、これを統一的に取りあつかうことはむづかしいので、個々の例を引きながら、少しずつ解説を加えてみることにする。半導体素子は、半導体という固体中の電子伝導のいろいろな特性を利用した電子装置であるから、真空管の場合のように、真空自体が素子の動作の中で重要な役割を果たしているのではないことは勿論である。しかし、半導体素子で最も問題となるのは、如何にして汚染をさけながら素子を作るかということであり、この立場からいえば、真空管を作る場合よりも、むしろ半導体素子への真空の応用は有効な結果をもたらすことが多い。

2. 蒸着法を消極的手段として用いた素子

半導体素子は、多くの場合1個あるいは数個の整流

接触（あるいはP-N接合）とオーミック接触を持っている。そして、その代表的なものはトランジスタであろう。第1図は、現在、最も広く用いられているトランジスタの構造を例示したものである。

さて、これらの中、(a)と(b)を除くトランジスタは、真空蒸着法を電極構成にたくみに利用している。先づ、第1図(c)および(f)に示した、Ge—メサ形トランジスタ(1)、(2)を例にとってみよう。この形のトランジスタ素子は、蒸着法により、エミッタ接合およびベース領域に対する（オーミック接触）電極を同時に作るように考えられている。すなわち、先に、コレクタ・ベース接合を不純物拡散法によって作ったものをウェファとして使用し、この上に、第2図のような3重構造のマスクを載せて蒸着操作にうつる。中間の主マスクの孔によって、蒸着される電極面積が決定され、下部のスペーサ・マスクは、主マスクとウェファ面とを適当な間隔に保つために用いられる。主マスクはMoの15μ程度の板に、フォトリソ法で作られた50μ×25μの精密な孔を20×20個程度配列されているのが普通である。さて、ウェファを一定の合金温度に加熱しながら、図に示したような方向から、Au+SbとAlが交互に蒸着される。主マスクの孔の大きさと、スペーサマスクの厚さおよび蒸着角度を適当に選べば、ウェファ上には、マスク孔とほぼ同じ大きさの1対のストライプが、所定の間隔をおいて蒸着されることになる。AlはGeと合金してエミッタ接合とエミッタ電極を形成し、Au+Sbはベース領域とオーミック接触を保ち、ベース電極となる。このようにして普通は、1枚のウェファ上に20×20=400個程度のトランジスタ素子が構成される。第3図は、Ge—メサ構造の素子の拡大図である。

Si—メサ形トランジスタ^{3,4)}第1図(d)、(g)は、Si—プレーナ形トランジスタ⁽⁵⁾第1図—(e)、(h)と同様に、

* 早稲田大学理工学部（東京都新宿区西大久保）

第1図 代表トランジスタの構造例

第2図 複合マスクを用いて Al と Au+Sb の蒸着を行う場合の原理的説明

エミッタ領域も不純物拡散法で作リ、蒸着電極はそれぞれ、エミッタ及びベース領域に対するオーミック接触を保つ電極としての役割をはたすだけである。これは、Si に対する金属の合金接合が、Ge に比べて作りにくいことによる。すなわち、この場合には、Au あるいは Al 等の単一金属の蒸着であるため、Ge-メサ形のときのようなスペーサマスクを使用せず、電極位置に相当した2個

の矩形孔を有するマスクを使し、垂直方向からの蒸着を行う。また、他の方法として、予じめ全面にわたり、電極用金属を蒸着し、後に、必要な部分を残して、フォト・エッチング法で蒸着金属を除去する方法も取られている。この方法は、特に、プレーナ形トランジスタあるいは、プレーナ形トランジスタを含むインテグレートッド回路の場合、よく用いられる手法である。

3. 蒸着法を積極的手段として用いた素子

Au-Si ダイオード：この種のダイオードは、表面障壁型ダイオードに属し、例えば、第4図一(a)に示すような構造を有している⁽⁶⁾。これらのダイオードは、光ダイオードあるいは固体放射線検出器 (solid detector) として、 α 線の検出に利用される。一般に、大きな有効面積が比較的容易に作りうる可能性がある。しかし、

光子あるいは α 粒子が Au 膜を通して表面障壁領域に達するので、膜厚を充分薄くすることにより、透過効率の低下を防ぐ必要があり、このため膜厚を 50~100Å に保つことが要求される。蒸着膜をこの程度の厚さに、しかも、均一な膜厚とするためには、サブストレーットの Si の表面の平滑度が問題となる。通常、エピタキシャル生成層を作る場合と同様、HCl エッチング等により、

第3図 Ge メサ、トランジスタの電極構造例

(a)

(b)

第4図 金属-半導体ダイオードの構造：Au-Si(N) 接触の例を示す

(a) ジャンクション・トランジスタ

(b) メタル・ベース・トランジスタ

第5図 Unipolar type と bipolar type のトランジスタの構造の比較、メタル・ベース・トランジスタ

表面の平滑度を上げる必要がある。

この型のダイオードの一種に、hot carrier diode⁽⁷⁾がある。第4図一(b)のような構造を持ち、正方向電流はN型 Si から金電極に注入される hot electron によりはこばれる。このため注入電子は P-N 接合のばあいと異なり、蓄積効果が少く、超高速のスイッチとして用いられている。

メタル・ベース・トランジスタ⁽⁸⁾：現在一般に使用されている、いわゆる接合形トランジスタは、少数キャリアと多数キャリアの共存領域でのトランジスタ作用を目的とした bipolar device である。すなわち、npn トランジスタを例にとれば、第5図一(a)に示すように、エミッタ・ベース接合を通して、ベース領域に注入された電子は、この領域を拡散、あるいは drift により通過して、ベース・コレクタ接合に入り、ここで potential energy を与えられて、コレクタ領域に到達し、コレクタ電流として外部に現われるわけである。しかし、ここに問題となるのは、ベース領域は P 形であるから、電子は多数キャリアの正孔と共存することになる。このため、電子-正孔の再結合が起り、この発生の程度が、トランジスタの性能を左右する一つの大きな因子となる。

すなわち、電子と正孔という2種の電気的極性を有するキャリアがその機構に関与しているので、かかる素子を bipolar device と称することになる。この形のトランジスタでは、ベース領域での再結合の確率を引き下げるため、出来るだけ完全な結晶、すなわち、単結晶を用いて、素子を構成するの必要が生れてくる。また、一方、エミッタ接合を通して、エミッタ領域から、ベース領域への電子の注入効率を高める必要から、必然的にベース巾は 10^{-6} m のオーダーに限定されてしまう。しかもなお現用のトランジスタの最高使用可能周波数に 10^9 c/s 以下という制限を与える原因の一つとなっている。この制限を取り除くために、開発されつつある素子に金属・ベース・トランジスタがある。

このトランジスタは、第5図一(b) に示すごとく、ベース領域を金属膜で置きかえた構造をもつトランジスタであり、先にのべた金属-半導体接合で、半導体 p-n 接合を置きかえた形をしている。構造的には、以上の点を除いて、両者は良く似た形をしているが、機構的には大きな差がある。すなわち、金属・ベース・トランジスタは、エミッタよりの hot electron (熱い電子、すなわち、伝導電子中のエネルギーの大きなもので、この場合は、6~10 eV のエネルギーをもつもの) が、ベースを形成している金属中を突き抜けて、直接にコレクタ障壁部に飛び込むことにより、トランジスタ作用を形成するものである。機構に関しては、余り立ち入らぬことにして、この構成方法についてみると、ここでも真空蒸着法が極めて有効である。

すなわち、金属・ベース・トランジスタは、いわゆる unipolar device であるため、これに使用される半導体は単結晶であることが、絶対必要条件とはならない。このため、第5図一(b) のように、コレクタ領域となる Si 単結晶基板上に、たとえば、 $100\text{\AA}$ 程度の Mo 膜を蒸着法で形成して、ベース領域を作り、その上に、エミッタ領域となる Si 層を蒸着法あるいは気相エピタキシャル成長法で作ることが出来る。エミッタを形成する Si 層は、多結晶体でよいが、ベース領域となる Mo 膜が Si 中に拡散しない温度、すなわち、 800°C 以下までしか熱処理温度を上げることが出来ない。このため、真空蒸着法でエミッタを形成する場合には、真空度を少なくとも 10^{-7} Torr 以上の良い値に保つ必要がある。この構造のトランジスタは 10^{10} c/s で 25 dB 以上の電力利得がえられ、マイクロ波領域での増巾器を作ることが出来る。

電界効果形薄膜トランジスタ⁽⁹⁾⁽¹⁰⁾：このトランジスタの具体的な形は、P. K. Weimer により作られ、T. F. T. (thin film transistor) と名付けられた。これは、真空蒸着のみで構成された電界効果形トランジスタ

第6図 T. F. T. の代表直構造例

で、先にのべた金属・ベース・トランジスタと同様、unipolar device であるため、ここに用いられている半導体も単結晶であることが絶対必要条件とならないため、真空蒸着法による薄膜を有利に用いることが出来る。

構造は、1 例を第6図に示すように絶縁体基板上に、ソース及びドレイン電極を蒸着し、これらとオーム性の接触を保って、CdS (n 型半導体) を蒸着する。次に、CdS の表面に SiO₂ あるいは CaF₂ 等の薄膜を介してゲート電極を絶縁して蒸着する。

このトランジスタの特性について少しふれてみると、ソース・ドレイン間電圧 V_{DS} に対するドレイン電流 I_D の値は、第7図一(a) に示すように、ゲート電圧 V_G で変化し、5 極真空管類似の静特性を示す。一般に、増巾素子の性表はす定数の1つである $G \cdot B$ 積 (gain-bandwidth) は、この場合、

$$G \cdot B = \mu d V_{DS} / 2\pi l^2$$

なる形で与えられ、 $G \cdot B = 12(\text{MC})$, $g_m = 25(\text{mV})$ のものが得られている。この種の、いわゆる insulated gate transistor では、半導体層中に浅いドナー準位を入れて、層中のトラップや表面準位を満たしてやると、実効的な移動度 μ_a の値が増して、 g_m や $G \cdot B$ 特性が改善されると同時に、このドナー準位を形成する不純物の濃度を多くして行くと、第7図一(b) に見られるような、いわゆる、enrichment mode と depletion mode の両側、すなわち、 $\pm V_G$ で動作するという、極めて面白い特性がえられる。同時に、当然のことであるが、制御電極(ゲート電極)が、真空管のように、電子流中に浸っていないので、低周波領域で極めて高い入力インピー

(a) Enrichment mode

(b) Depletion mode

第7図 T. F. T. のドレイン静特性の例

第8図—a 蒸着法による EL セル構造

第8図—b EL 薄膜の発光強度の周波数依存性

ダンスが期待出来る。すなわち、低周波入力インピーダンスは $10^{15} (\Omega)$ 以上にも達するから、PH メータや質量分析計の初段増巾器として利用出来る可能性が充分ある。

薄膜 EL 素子^{(11)~(13)}：今から約20年前、G. Destrian が絶縁性薄層中に粉末蛍光物質を分散させ、これに交番電界を加えることにより電界発光 (electro-lumines-

第9図 InSb 蒸着膜の電子移動度と結晶粒の平均径との関係

xence : EL) の観測に成功して以来、EL は地道な進歩を続けて来たが、1950年頃より、半導体技術の進歩に刺

載されて、基礎および応用研究が活発化し、光電導素子その他の固体電子素子との組合せにより、光増巾器や各種表示装置などに新しい応用分野が開かれつつある。

FL 現象は、内部 EL (intrinsic EL) と注入 EL (carrier injection EL) の 2 種に大別されているが、現在一部で実用化されているのは、主として、ZnS 系 螢光体の内部 EL 効果を利用した分散形 EL セルである。これに対し、1959 年、W. A. Thornton が蒸着法による注入 EL 効果を利用した非分散形 EL セルを發展させた。注入 EL 素子は、比較的低い直流電圧を試料に加えて、これに電流を流すことによって発光が得られる利点がある。これは、電極より注入された少数キャリアが、結晶内の多数のキャリアと再結合する際の発光であり、GaP や GaAs などの金属間化合物の結晶についての多くの研究がある。

この形の EL セルは、真空蒸着法を利用して作られている。この方法には、高温に加熱した基板に、螢光体を蒸着し、後で熱処理を行わない one-step process と、常温蒸着で基板上に螢光体膜を形成した後、600~800°C で熱処理を加える two-step process および、両者の組合せによる膜成生法がある。第 8 図は、注入 EL セルの構造と、発光強度の周波数依存性を示したものである。

蒸着膜ホール素子^{(14)~(16)}：非常に簡単な素子であるが、特に近年その利用価値が再認識されつつあるものにホール素子がある。なかでも、ガラス基板上に蒸着した InSb 薄膜は、熱処理を 150~200°C で数10分行うことによって、結晶粒の大きさを電子の平均自由行程以上に成長させると、第 9 図に示すごとくほとんど bulk の易動度に等しい値がえられる。InSb は銀ペースト等で比較的簡単に良好なオーミック触接が可能であるから、こうした蒸着膜を利用してホール素子を作ると極めて広い応用通が考えられる。

例えば、こうしたホール素子を用いると商用周波数からマイクロ周波数にわたって実用的な電力計を構成することが可能で、最少測定電力は余り注意をはらうことなく数 mW の感度がえられる。また、トランジスタを用いた計数回路では、電源が切断されると計数値は零にもどってしまうが、ホール素子を用いてフリップ・フロップ回路を構成することにより記憶能力を持った高速度計数回路がえられる。

半導体薄膜ストレイン・ゲージ⁽¹⁷⁾：上記の InSb 薄膜をポリカーボネート膜上に形成すると、熱処理を行うことなしに、ゲージ・ファクタがワイヤー・ゲージより数10倍大きな薄膜ストレイン・ゲージが加えられる。1枚の絶縁膜の両面に半導体薄膜を形成し、片面づつを独立なゲージとして、第10図のようなブリッジ回路を作る

第10図 差動型半導体薄膜ストレイン・ゲージ回路

第11図 スパッタ装置

と、差動型の動作を行はせることができ、半導体で常問題となる温度効果を非常に小さくすることも可能である。

4. 半導体素子に用いる基板の製作

半導体素子は、いわゆる薄膜素子を除いて考えた場合、半導体基板の上に構成されることはいうまでもない。したがって、この基板の性質は、素子の性能を大きく左右することになる。1960年の Solid State Device Research Conference で、ベル研究所の Theuerer⁽⁵⁾ らが、メサ型トランジスタの特性を向上させるために、N⁺型の Si 基板上に N 型の単結晶層を成長させ、この上に固相拡散型トランジスタを作って以来、この数年間

に固相拡散型トランジスタは、ほとんどが epitaxial 化されるに至った。このように、Ge, Si の epitaxial growth は、最近の半導体工業において極めて重要な技術的地位を占めるに至った。

epitaxial growth に関しては、現在のところ、主として経済的な理由から、ハロゲン化物の水素還元法が利用されているが、歴史的にも、また将来性からみても高真空中での蒸着法の利用が有望である。すなわち、蒸着法によれば、基板の清浄さがえやすいこと、金属マスクを用いて撰択的に多層膜の成長ができること、また、素子としての電極の蒸着が同時にできるから、真空中で一度に complete device の製作が可能であることなどの利点をもっている。

Ge については、Davey⁽¹⁸⁾が、真空度 $2 \sim 8 \times 10^{-6}$ Torr で、蒸着温度 $1200 \sim 1400^\circ\text{C}$ を用い $300 \text{ \AA}/\text{min}$ の速度で $2000 \sim 5000 \text{ \AA}$ の epitaxial 層を作った。この場合基板上に単結晶を生長させるに必要な温度、すなわち、epitaxial は、始め $750 \sim 800^\circ\text{C}$ を必要としたが、後には $300 \sim 400^\circ\text{C}$ で可能になった。この温度は成長条件に依存し、技術の発展と共に、より低い温度での単結晶の成長が可能になった。

真空中で加熱により蒸発を行う代りに、cathode sputtering による方法も行われている⁽¹⁹⁾。この場合はイオン衝撃により source を蒸発させるため、Si のような高融点物質に特に有利だけでなく、広い面積にわたり、均一な蒸着が可能である。第11図は Ge の例で、イオン源としてアルゴンを用い、 4×10^{-2} Torr, 放電電圧 5kV, 電流 20mA, 電極間距離 5 cm の条件で、成長速度 $1.5 \mu/\text{hr}$ がえられる。epitaxial 層の厚さは、最高 100μ 程度まで可能で epitaxial temperature は $550 \sim 800^\circ\text{C}$ が用いられる。

Si の場合は、蒸着源温度として $1600 \sim 1800^\circ\text{C}$ が必要であるので、高周波の誘導加熱による方法か、電子ビームによる加熱方法がとられている^{(20)~(22)}。第12図に示すような電子ビーム加熱装置を用いると、epitaxial temperature $1100 \sim 1250^\circ\text{C}$, 成長速度 $3 \mu/\text{min}$ で 50μ 程度までの単結晶層がえられ、光学系を用いた安定化法により、厚さを 1 % 以下の精度に制御することができる。成長層の比抵抗は、p 形で最高値 $5 \Omega\text{cm}$, n 形で $3 \Omega\text{cm}$ である。この方法で作った pn 接合で、逆耐圧 320V がえられている。epitaxial temperature は、真空度と成長速度により大きく変化するが、成長速度を落して、真空度を $10^{-8} \sim 10^{-9}$ Torr にすると、基板温度 830°C でも epitaxial growth が可能となる。第13図は、成長速度と epitaxial temperature の関係を示したものである。

この他、Sapphire 上に Si を rheotaxial 成長させる

第12図 静電集束型ビーム電子蒸発源

第13図 単結晶生長速度とエピタキシャル温度との関係(実線)真空堆積法

方法により、絶縁性基板上に薄膜トランジスタを作ることとも試みられ、かなり良い特性がえられている⁽²³⁾。この方法によれば、各素子間のアイソレーションが容易であり、インテグレートッド回路の将来の一つのあり方が示されているように思われる。

5. 電子線による半導体素子の加工^{(22)~(25)}

電子線を用いた加工法は、1950 年頃より西独の Carl Zeiss 社で実用的な成功をおさめてより、高融点材料の

加工法として注目されつつあった。近年に至って、この電子線加工法はマイクロ・エレクトロニックスの立場よりその重要性が再認識されるようになった。

すなわち、電子線による加工は極めて応用範囲が広く、とくにエレクトロニックスの分野では、たんに微小回路の切断や溶接だけでなく、半導体表面のある特定の微小部分に不純物の拡散を行ったり、電極の合金接合を形成することに成功している。

言うまでもなく、電子線加工は電子の持つエネルギーを局所的に集中することにより、熱的な加工を行うものである。たとえば、100 kV で加速された電子のもつ波長は $0.004 \text{ m}\mu$ に相当し、この値が電子の拡がりの程度を意味すると考えられる。したがって、電子をこの程度の微小な工具とみなすことができるから、これを用いた加工法が微細な加工に利用しうることの推定がつく。同時に、加速された電子で物体を衝撃すると、電子の運動のエネルギーは

$$R = 2.2 \times 10^{-2} V^2 / \rho \quad (\text{cm})$$

で与えられる範囲の表面層 R 中で、 10^{-8} 秒以下という短時間に熱に変換する。 V は電子線の加速電圧 (V)、 ρ は物体の密度 (g/cm^3) であり、銅を100 kV の電子線で照射すると、ペネトレーションの深さ R の値は約 25μ となる。

電子線加工の主体はこの熱を利用して材料を溶解、あるいは蒸発させることにより、加工を行うことである。しかし、この過程は一般のガスやアーク等による加熱と大いに異ると同時に、塑性加工や切削加工ともまた異っている。すなわち、たとえば直径 10μ 程度の非常に狭い領域に、 10^9 w/cm^2 程度の極めて大きなエネルギー流密度を与えて、表面層のしかも局限された領域のみを高温に加熱し、バルク内の温度上昇を抑えることができること、また、電子の慣性は殆んど無視できるから、その強度や位置の制御が高い精度で可能であること等の特徴がある。もちろん、電子線による加工は真空中で行われなければならないという不便さはあるが、このことは同時に、加工中の材料の酸化や汚染を防止するという点から見れば、むしろ有利ではある。

例えば、電子流密度 10^9 w/cm^2 、加速電圧 100 kV の電子線でタングステンの表面を照射すること、ペネトレーションの深さは約 8μ で 10^{-8} 秒で温度上昇 4000°C となる。しかし、表面から $2R$ の深さ、すなわち 16μ の層が 100°C の温度上昇をきたすには約 10^{-5} 秒かかるから、 10^{-6} 秒程度で電子線の照射を停止すれば、表面層のみが蒸着してもその直下のバルクには何等の影響を与えないことがわかる。このため、実際の加工装置では $10^{-5} \sim 10^{-6}$ 秒のパルス巾で適当な繰返し周期の照射を行

って加工を進める。こうした加工を半導体素子、あるいはマイクロ・エレクトロニックス素子に応用するには、必要なパターンに沿って電子線を移動し、かつその強度を制御することが要求されるが、この要求に対してはテレビジョン技術の一つであるフライング・スキャンニングの手段が極めて有効であり、この分野の研究もかなり進んでいる。この他デジタル・コンピュータによる制御ももちろん可能である。

電子線による一般のダイオードやトンネル・ダイオードまたトランジスタの微小化の研究でも非常に面白い結果が出されている。電子線的应用が進めば、現在の小形トランジスタを用いると 1 ft^3 に電子回路 3 万余を納めることができるところを、30 万の回路を収容しうることになるといわれている。

9. あとがき

半導体素子への真空の応用は、現在の段階でも直接または間接に行われており、半導体素子の発達は真空技術の進歩があづかって大きな陰の力となっていたし、現在また将来もますますこの傾向は強くなるものと思われる。主として筆者の不勉強のために、与えられたテーマに関し充分な解説ができなかったことは申しわけない、少しでも読者に益するところがあれば幸である。

〔文 献〕

- (1) C. A. Lee : *BSTJ*, **35**, 23 (1956)
- (2) Yoshida : *J. I. E. C. E. Japan* **43**, 431 (1960).
- (3) J. C. Marinace : *I. B. M. Journal* **4**, 247 (1960).
- (4) R. Jackson : *I. R. E. Trans.* GP-9, **3**, 96 (1962).
- (5) N. C. Theverer : *J. Electro Chem. Soc.*, **108**, 649 (1961).
- (6) 原子核研究 : **6** (5) "Ionization Detector の進歩" 特集号
- (7) S. M. Krakauer, S. W. Soshea : *Electronics* **36**, (1963).
- (8) D. V. Geppert, R. A. Mu Eller : *Electronics* **37**, (11), 42 (1964).
- (9) P. K. Weimer, *proc. I. R. E.* **50**, 1462 (1962).
- (10) P. K. Weimer, H. Borkan : *I. E. E. E.* **52**, (12), 1479 (1964).
- (11) W. A. Thornton : *J. Appl. Phys.*, **30**, 123 (1959)
- (12) W. A. Thornton : *J. Electro Chem. Soc.* **108**, 636 (1961).
- (13) W. W. Thornton : *Phys. Rev.* **122**, 58 (1961).
- (14) R. Koike and R. Ueda : *Japan J. Appl. Phys.* **3**, (4), 191 (1964).
- (15) Y. Sakai, M. Osita : *J. I. E. C. E. Japan* **80**, 166 (1960).
- (16) H. E. M. Balow, K. V. G. Krishna : *Proc. I. E. E.* **109B**, 131 (1962).
- (17) R. Koike : *J. Inst. Elect. Engrs. Japan* **84**, (3), 482 (1964).

- (18) J. E. Davey : *J. Appl. Phys.* 33, 1051 (1962).
 (19) F. Reizman : *Metallurgy of Semiconductor Materials* 15, 169 (1962).
 (20) E. Tannenbaum : *Electro. Chem. Soc. Boston Meeting Abstract* : 78 (1962).
 (21) B. A. Unvala : *Nature* 194, 966 (1962).
 (22) B. A. Unvala : *Le. Vide*, 104, 109 (1963).
 (23) C. W. Mulle, P. H. Robinson : *I. E. E. E.* 52, (12), 1487 (1964).
 (24) M. E. Haine : *Brit. J. Appl. Phys.* 3, 40 (1952).
 (25) J. W. Schwarz : *R. C. A. Review*, xvIII, 3 (1957).
 (26) M. E. Haine : *Brit. J. Appl. Phys.* 9, 482 (1958).
 (27) R. Bakish : *Introduction to Electron Beam Technology* (Willy).

電 源

トランジスタ化した電離真空計用電源

中山 勝 矢*

(昭和40年3月5日受理)

電離真空計の制御回路をトランジスタ化した回路の例は、それほど多くない^{(1)~(3)}。しかも、いざ試作してみようとなると、外国製トランジスタと国産品との対応もつけにくいので、いろいろの実験的困難にぶつかってしまう。筆者の試作品は、必ずしも最良のものとは言えないが自作をこころざす人にとって、少しは役に立つだろうと思って公表することにした。

1. 回 路

試作した回路は、第1図に示す。

この回路は、3つの部分からなり立っている。主トランスの2次側のうち、図のいちばん上はグリッド(集電子電極)用の電源、つまりB電源である。最近、東芝から140V用のツェナーダイオードが、M8445という商品名で市販されているから、150~200Vぐらいの直流電源を作ることは容易である。

中央部の回路は、いわゆるA電源であって、電離真空計のフィラメント点火用である。直流の定電圧回路を応用したので、Re2で整流してある。エミッション電流の変動はVR2とR9とでピックアップし、TR6とTR5とで2段増幅して、TR3とTR4とからなる回路に入れられる。

一番下の回路は、TR6のための基準電圧を作っている回路で、ツェナーダイオードRD2とRD3とを組合せて約2Vの直流電圧を得ている。

TR3とTR4との組合せ回路は、ダーリントン回路と呼ばれるもので、1個のトランジスタと同等の働きをする。しかも合成された電流増幅率は、1個のトランジスタのそれぞれの電流増幅率の積に等しくなるので非常に大きくなり、しかもその直線性も改善される。また、

TR4のコレクタには、TR3のベース電流ぐらいの電流しか流れないので、TR4には小電力用のパワートランジスタを使い、その小さなベース電流を制御することにより、TR3のような大電力トランジスタが制御できることになる。つまり、ベース電流の非常に小さな大電力トランジスタを入手できたのと同じことになる⁽⁴⁾。

Re2のところは、両波整流にすれば効率もよくなり、C3も、もっと小容量のものですむだろう。

電離真空計の集イオン電極電圧(V_0)は、R9、VR2、VR3による電圧降下によって得ている。はじめ規定のエミッション電流 I_0 が流れるようにVR2を調節し、その状態のもとでVR3を加減してF(+)線がアースから V_0 だけ正になるようにする。

この回路では、予め設定した I_0 の値以外で使うことができない。 V_0 も変わるからである。もし、 I_0 の値を強いて変化させる必要があるのなら、第2図のような回路にして、いくつかの I_0 を予め設定しておくこともできる。この回路の特長の1つは、トランスが1個しか使っていないことである。これで全体はずいぶん軽くなり小形化される。

トランジスタを用いた場合、真空管のヒータ電力に相当する分だけ電源内部における消費電力が減る。しかしパワートランジスタを直列可変インピーダンスとして使い、入力信号に応じて制御している場合、TR3内部の消費電力を零にするわけにはいかない。電離真空計のフィラメント消費電力と同程度の電子が消費される。

そういうわけで、発生する熱の放散の問題から、セットの小形化には自ら限界がでてくる。セット内部に熱が蓄積されて温度上昇を招くとトランジスタの寿命を縮めるので致命的である。他の部分をできるだけコンパクトにして、TR3には充分な大きさの放熱板をとりつける

* 電気試験所(東京都北多摩郡田無町)