Si 基板上 AlGaIn/GaN ヘテロ構造に関する研究

江川 孝志*¹

Study on AlGaIn/GaN Heterostructures Grown on Si Substrate

Takashi EGAWA*¹

*¹Research Center for Nano-Device and System, Nagoya Institute of Technology, Gokiso-cho, Showa-ku, Nagoya 466-8555, Japan

(Received August 3, 2010, Accepted September 6, 2010)

We have achieved a thick AlGaIn/GaN HEMT on Si substrate using GaN/AlN multilayer. The multilayer is effective in relaxing the stress in the upper GaN layer. The vertical and horizontal breakdown voltages increased with the increase of the epitaxial layer thickness. A breakdown field of 1.8×10^6 V/cm was estimated from the vertical breakdown voltage. The horizontal breakdown voltage as high as 1813 V was obtained across 10 μ m ohmic gap. We also reported on the influence of deep pits on breakdown of AlGaIn/GaN HEMTs on Si. For devices with deep pits, the breakdown was greatly affected by large leakage through buffer and substrate. Cross-sectional transmission electron microscopy image revealed that deep pits originate from Si because of Ga etching Si substrate at thermal cleaning. The three terminal-off breakdown decreased rapidly as the increase of density of deep pits. Both thick and pit-free epitaxial layer are important for the fabrication of device with high-breakdown.

1. はじめに

地球温暖化問題が注目され、その主要因とされる二酸化炭素 (CO₂) の排出削減のために種々の分野で省エネルギー化が取り上げられている。このため、電気エネルギーの高効率利用が重要な課題になってきており、電気の変換や制御を行う Si パワーデバイスの一層の高性能化が要求されている。しかし、金属-酸化膜-半導体電界効果トランジスタ (MOSFET) や絶縁ゲート形バイポーラトランジスタ (IGBT) 等の Si デバイスに見られるように、Si の物性限界に直面し大幅な性能向上はもはや困難な状況にある。この Si の物性限界を大幅に打破できる半導体材料として、シリコンカーバイド (SiC)、窒化ガリウム (GaN) やダイヤモンド等の新しいワイドバンドギャップ半導体に大きな期待が寄せられており、特に Si 基板上の GaN に関しては国内外で活発な研究開発が進められている¹⁻⁸⁾。

一方、Fig. 1 に各種基板上の GaN ヘテロエピタキシャル成長における格子定数と熱膨張係数の差を示す。GaN 系半導体には格子定数及び熱膨張係数が整合する成長基板がなかったため、格子定数と結晶構造の似通った基板としてサファイアや SiC 基板上に成長されてきた。現在、高品質の GaN 基板は入手可能だが基板のサイズは小さく、極めて高価である。よって GaN の結晶成長用基板として、有機金属気相成長 (MOCVD) 法による成長温度 (~1100°C) でも熱分解しないことは当然であるが、既存の製造ラインに載せるため、4 インチサイズ以上の大口径基板が入手可能で FET 動作時の自己発生熱によるパフォーマンス低下を抑制するために熱伝導率が高いことが求められる。サファイアの熱伝導率は 0.5 W/cm·K と低く、フリップチップボンディング以外の手法で発生する自己発生熱を逃がすことは難しい。また、SiC は熱伝導率が 4.9 W/cm·K とサファイア基板の値の約 10

Fig. 1 Relationship between the lattice constant and thermal expansion coefficient mismatches of GaN layers on substrates.

倍であるが、高価で最大口径は 4 インチまでである。

サファイアや SiC 基板と比較して、Si 基板上の GaN 層の結晶成長では格子定数や熱膨張係数の不整合率が大いいため、高品質の GaN 層を成長させるには適切な中間層が必要である⁹⁾。Si 基板は、サファイア基板よりはるかに面積の大きな基板が容易に入手できるだけでなく、1.5 W/cm·K と熱伝導が良く導電性制御も容易という特長を持つ。コストおよび熱伝導率だけでなく、ダイシングのしやすさからも魅力的な Si 基板であるが、従来の二段階成長法では良好な GaN 結晶を得ることができない。また、圧縮歪が生じるサファイア基板上 GaN に比べ、Si の熱膨張係数は GaN より小さいため Si 基板上 GaN には

- ①引張り歪が生じ凹状に反る
- ② 10^9 cm⁻² 程度の高密度の貫通転位が存在する
- ③クラックが発生する
- ④エピ層の厚膜が困難である

*¹ 名古屋工業大学極微デバイス機能システム研究センター (〒466-8555 名古屋市昭和区御器所町)

Fig. 2 Cross-sectional structure of AlGaIn/GaN HEMT on Si substrate using multilayers.

等の問題がある．本研究では，Si 基板上 AlGaIn/GaN 高電子移動度トランジスタ（HEMT）構造の厚膜化，高耐圧化及びパワーデバイスへの応用について報告する．

2. 実験結果及び考察

結晶成長は横型 MOCVD 装置（太陽日酸 SR-4000）を用いた．Ⅲ族源としてトリメチルガリウム（TMG），トリメチルアルミニウム（TMA），Ⅴ族源として高純度アンモニア（5N），キャリアガスとして水素を使用した．Fig. 2 に今回作製した試料の断面構造図を示す．基板は 4 インチ Si(111) を用い，AlGaIn/AlN 中間層，GaN/AlN 多層膜層，GaN 層，AlGaIn バリア層を順次成長させた．今回は多層膜（1.25～5.0 μm ）上に GaN 層（0.5～2.0 μm ）を成長させ，諸特性の評価を行った．評価は，レーザー変位計によるウェハの反りの測定，ノマルスキー顕微鏡及び原子間力顕微鏡（AFM）による表面観察，X 線回折（XRD）測定，透過電子顕微鏡（TEM）及び走査電子顕微鏡（SEM）による断面観察，ホール効果測定，耐圧測定を行った．なお，耐圧測定については AlGaIn バリア層をエッチングし，GaN 層上に形成したオーミック電極間（電極間距離 10 μm ）の電圧測定と AlGaIn バリア層上にゲート長（ L_g ）が 1.5 μm ，ゲート幅（ W_g ）が 15 μm ，ゲートドレイン間隔（ L_{gd} ）が 3.0 μm のデバイスを試作し，3 端子オフ耐圧を評価した．

Fig. 3 に各多層膜の上に GaN 層の膜厚を変化させて成長させた時の総膜厚とウェハの反りの関係を示す．多層膜の膜厚は 1.25, 2.5, 4.0, 5.0 μm とした．すべてのウェハは凹状の反りを示した．各ウェハにおいて，多層膜のみを成長させた場合，ウェハの反りは増加するがその上に GaN 層を成長させるとウェハの反りが最小になる GaN 層の膜厚が存在する．例えば，5.0 μm 厚の多層膜のみを成長させた場合，ウェハの反りは約 130 μm であるがその上に 2 μm の GaN 層を成長させると反りは 80 μm 程度に低減し，クラック無で総膜厚が 7 μm のエピ層が成長できた．熱膨張係数は $\text{Si} < \text{GaN} < \text{AlN}$ の関係にあるので，通常，Si 基板上の

Fig. 3 Wafer bowing of the AlGaIn/GaN HEMT with multilayer as a function of total thickness.

Fig. 4 XRD ω - 2θ scan of AlGaIn/GaN HEMT structure with GaN/AlN multilayer on Si.

GaN 層には熱膨張係数差による引っ張り歪が存在し，厚膜の GaN 層を成長させると反りが増加しクラックなどが発生する．しかし，格子係数は $\text{Si} > \text{GaN} > \text{AlN}$ の関係にあるので GaN/AlN 系多層膜を用いて多層膜上の GaN 層に圧縮応力を印加することにより厚膜化が可能になったものと考えられる．以上の結果は，Si 基板上に厚膜のエピ層を成長させるには，多層膜の総数と GaN 層の膜厚に最適値が存在することを示唆している．現在は，Si 基板上に 7 μm 厚の多層膜と 2 μm 厚の GaN 層から成る総膜厚 9 μm 程度の AlGaIn/GaN HEMT 構造がクラック無で成長できるようになった¹⁰⁾．更なる厚膜化に向けて，多層膜の役割を検討する必要がある．

Fig. 4 に GaN 層膜厚を 1 μm ，多層膜の層数を 50 層とした試料の X 線回折スペクトル（ ω - 2θ スキャン）の結果を示す．X 線回折スペクトルには GaN 層及び AlGaIn 層からのピークと多層膜に起因したサテライトピークが観察され

Fig. 5 Vertical breakdown voltage as a function of total epilayer thickness.

Fig. 6 Horizontal breakdown voltage as a function of total epilayer thickness. The gap of ohmic electrodes is 10 μm .

た．明瞭なサテライトピークが観察されたことから，平坦性及び周期性に優れた多層膜が成長されていることが明らかになった．また，観察されたサテライトピークより多層膜の1層あたりの厚さを計算でき，求めた値は設計値とほぼ一致した．

エピ層表面及びSi基板の裏面にオーミック電極を形成し，縦方向の耐压測定を行った結果をFig. 5に示す．成長層の総膜厚が増加するにつれて縦方向の耐压は増加し，その傾きから絶縁破壊電界強度 $1.8 \times 10^6 \text{ V/cm}$ が得られた．得られた絶縁破壊電界強度は，GaNの理想的な絶縁破壊電界強度 $3 \times 10^6 \text{ V/cm}$ と比較すると低い値であり，この原因は貫通転位などによる結晶品質の低下が原因と考えられる．Fig. 6に成長層の総膜厚を変化させた試料の横方向の2端子耐压の測定結果を示す．これより，横方向耐压においても総膜厚が増加するにつれて耐压が向上することが分かり，総膜厚9

Fig. 7 AFM images of the surface morphology of high breakdown (a) and low breakdown (b). Nomarski micrographs of the surface morphology of high breakdown (c) and low breakdown (d).

Fig. 8 Cross-sectional TEM image of the overall structure near the pit (a) and SEM image of the Si interface near the pit (b).

μm において1813 Vの良好な耐压を得られた．以上の結果から，成長層の厚膜化はデバイスの耐压改善に有効であることが明らかになったが，エピのコスト及び反りの低減などを考慮すると，エピ層の絶縁破壊電界強度を改善する必要がある．

また，総膜厚が5.0, 5.5 μm において耐压が向上しない試料を確認した．この原因を調べるためにFig. 7に総膜厚5.0 μm で耐压が向上したサンプルと耐压が向上しなかった試料の表面AFM像と光学顕微鏡像を示す．両サンプルのAFM像を比較すると，共にステップフロー成長を確認でき，ピット密度($3\text{--}5 \times 10^9 \text{ cm}^{-2}$)に大きな違いは確認できなかった．一方，光学顕微鏡像を比べると，耐压が向上したサンプルからはピットは観察されなかったが，耐压が向上しなかったサンプルからは大きさ1 μm 程度のピットが多数($5.5 \times 10^3 \text{ cm}^{-2}$)観察された．このピットが発生する原因を調べるために，ピット断面の観察を行った．Fig. 8(a)に透過型電子顕微鏡(TEM)を用いたピット周辺の断面TEM像を示す．断面TEM像から，基板から貫通転位が発生しており，それが六角錐状のピットの先端まで達していることを確認できた．

Fig. 8(b)に走過型電子顕微鏡 (SEM) を用いたピット直下のエピ層と Si 基板界面付近の断面 SEM 像を示す。これより、ピット直下において Si 基板のエッチングされていることを観察できた。これは直前の結晶成長でリアクタ内に残留していた Ga がサーマルクリーニング中に Si 基板をエッチングし、この Si 基板表面にできた溝が試料の表面まで達したため、このようなピットが発生したと考えられる。

光学顕微鏡で観察できるピットがデバイス特性に与える影響を調べるために、このピット密度が 0, 2.5×10^3 , 1.3×10^4 , $3.3 \times 10^4 \text{ cm}^{-2}$ と異なる試料を用いて、デバイスの 3 端子オフ耐圧を評価した。なお、構造はすべて多層膜、GaN 層の膜厚がそれぞれ $1.25 \mu\text{m}$, $1.0 \mu\text{m}$ である。**Fig. 9** にピット密度とデバイスの 3 端子オフ耐圧の関係を示す。使用したデバイス特性は、最大ドレイン電流密度が 500 mA/mm 、最大相互コンダクタンスが 150 mS/mm 、しきい値電圧が -2.5 V である。ゲート電極に -5.0 V を印加して 3 端子のオフ耐圧を測定した。ピットの無いデバイスでは、ゲートドレイン間距離が $3 \mu\text{m}$ と短いにもかかわらず約 325 V の高い 3 端子オフ耐圧が得られた。また、光学顕微鏡で観察できるピットはデバイスの耐圧特性を悪化させ、その密度の増加に伴い、3 端子オフ耐圧は低下した。以上の結果から、耐圧向上のためにはリアクタのクリーニングを十分にを行い、ピット密度を零にする必要がある¹¹⁾。

AlGaIn/GaN ヘテロ界面に薄膜の AlN スペーサ層を挿入し AlGaIn 層での合金散乱を抑制することにより二次元電子ガス (2DEG) の移動度が改善できることが報告されている^{12,13)}。Si 基板上の AlGaIn/AlN スペーサ層/GaN ヘテロ構造に形成される 2DEG の特性をホール効果測定により評価

した結果を **Table 1** に示す。Table 1 中の各値は、半径方向に測定した値の平均値を示す。AlN スペーサ層を使用しない場合の 2DEG のシートキャリア密度 (N_s)、移動度 (μ) 及びシート抵抗 (ρ) は 300 K において $1.23 \times 10^{13} \text{ cm}^{-2}$, $1058.6 \text{ cm}^2/\text{Vs}$, $476.5 \Omega/\square$ であり、 77 K において $0.85 \times 10^{13} \text{ cm}^{-2}$, $4113.5 \text{ cm}^2/\text{Vs}$, $182.5 \Omega/\square$ であった。 1 nm の AlN スペーサ層を使用することにより、 300 K において $0.94 \times 10^{13} \text{ cm}^{-2}$, $1715.3 \text{ cm}^2/\text{Vs}$, $369.1 \Omega/\square$ であり、 77 K において $0.97 \times 10^{13} \text{ cm}^{-2}$, $6643.5 \text{ cm}^2/\text{Vs}$, $92.6 \Omega/\square$ となり、2DEG 特性が改善された。また、AlGaIn/AlN スペーサ層/GaN ヘテロ構造の高分解能 TEM 観察の結果から、厚さ 1 nm の平坦性に優れた AlN スペーサ層が形成されていることも明らかになった。

4. おわりに

Si 基板上 AlGaIn/GaN HEMT において、多層膜構造を用いることにより GaN 層の歪が緩和され厚膜化が可能になった。その結果、総膜厚が約 $9 \mu\text{m}$ の AlGaIn/GaN HEMT 構造が成長でき、デバイスの耐圧が改善された。また、耐圧の改善にはリアクタ内の残留 Ga と Si 基板との反応に起因するピットの発生を抑制する必要がある。本研究成果は、パワーデバイスとして家電製品や電気自動車などのインバータへ応用され、高効率半導体デバイスとして期待される。

謝辞

本研究の一部は、知的クラスター創成事業（第Ⅱ期）及び企業との共同研究などにより行われたものである。

〔文 献〕

- 1) T. Egawa, N. Nakada, H. Ishikawa and M. Umeno: Electron. Lett., **36** (2000) 1816.
- 2) T. Egawa, T. Moku, H. Ishikawa, K. Ohtsuka and T. Jimbo: Jpn. J. Appl. Phys., **41** (2002) L663.
- 3) A. Dadgar, J. Bräsing, A. Diez, A. Alam, M. Heuken and A. Krost: Jpn. J. Appl. Phys., **39** (2000) L1183.
- 4) A. Reiher, J. Bräsing, A. Dadgar and A. Krost: J. Cryst. Growth, **248** (2003) 563.
- 5) A. Dadgar, C. Hums, A. Diez, J. Bräsing and A. Krost: J. Cryst. Growth, **297** (2006) 279.
- 6) S. Iwakami, O. Machida, M. Yanagihara, T. Ehara, N. Kaneko, H. Goto and A. Iwabuchi: Jpn. J. Appl. Phys., **46** (2007) L587.
- 7) Y. Uemoto, T. Morita, A. Ikoshi, H. Umeda, H. Matsuo, J. Shimizu, M. Hikita, M. Yanagihara, T. Ueda, T. Tanaka and D. Ueda: *Technical Digest of International Electron Devices Meeting*, Washington DC, 2009 (2009) 165.
- 8) S. Hoshi, M. Itoh, T. Marui, H. Okita, Y. Morino, I. Tamai, F. Toda, S. Seki and T. Egawa: Applied Physics Express, **2** (2009) 061001-1.

Fig. 9 3-terminal off breakdown voltage as a function of pit density.

Table 1 2DEG characteristics at 77 and 300 K for the AlGaIn/GaN HEMT on Si with and without the AlN spacer layer.

AlN spacer	300 K			77 K		
	N_s [$\times 10^{13} \text{ cm}^{-2}$]	μ [$\text{cm}^2/\text{V}\cdot\text{s}$]	ρ [$\Omega/\square$]	N_s [$\times 10^{13} \text{ cm}^{-2}$]	μ [$\text{cm}^2/\text{V}\cdot\text{s}$]	ρ [$\Omega/\square$]
0 nm	1.23	1058.6	476.5	0.85	4113.5	182.5
1 nm	0.94	1715.3	369.1	0.97	6643.5	92.6

- 9) H. Ishikawa, K. Yamamoto, T. Egawa, T. Soga, T. Jimbo and M. Umeno: J. Cryst. Growth, **189/190**, (1998) 178.
- 10) S. L. Selvaraj, T. Suzue and T. Egawa: IEEE Electron Device Lett., **30** (2009) 587.
- 11) S. L. Selvaraj, T. Suzue and T. Egawa: Applied Physics Express, **2** (2009) 111005-1.
- 12) L. Shen, S. Heikman, B. Moran, R. Coffie, N. Q. Zhang, D. Buttari, I. P. Smorchkova, S. Keller, S. P. DenBaars and U. K. Mishra: IEEE Electron Device Lett., **22** (2001) 457.
- 13) S. Tan, T. Suzue, S. L. Selvaraj and T. Egawa: Jpn. J. Appl. Phys., **48** (2009) 111002-1.