微細キャパシタ構造における 抵抗変化メモリ (ReRAM) のフィラメント特性*

高 相圭^{*1}・木下健太郎^{*1,*2}・福原 貴博^{*1}・岸田 悟^{*1,*2}

Memory Characteristics of Filaments in Tiny ReRAM Structure

Sang-Gyu KOH^{*1}, Kentaro KINOSHITA^{*1,*2}, Takahiro FUKUHARA^{*1} and Satoru KISHIDA^{*1,*2}

^{*1}Tottori University, Koyama-minami 4-101, Tottori-shi, Tottori 680-8550, Japan

^{*2}Tottori University Electronic Display Research Center, 2-522-2, Koyama-Kita, Tottori-shi, Tottori 608-8550, Japan

(Received November 13, 2012, Accepted March 6, 2013)

Clarification of memory characteristics of tiny cells is important for practical use of resistive random access memory (ReRAM). However, the limitation of semiconductor micro-fabrication technology hinders to obtain memory characteristics in tiny cell with an area comparable to the size of ReRAM filaments.

In this paper, we established a method to prepare a very small memory cell by fabricating ReRAM structure on the tip of the cantilever of atomic force microscope (AFM). We also established a method to avoid the overshoot of set current. As a result, reset current was successfully reduced enough to suppress serious damage to the cantilever.

The effective cell size was estimated to be less than ϕ 10 nm due to electric field concentration at the tip of the cantilever, which was confirmed by an electromagnetic field simulator based on finite element method.

1. 序 論

抵抗変化型メモリ (ReRAM: Resistive Random Access Memory) は遷移金属酸化物 (TMO) を上部電極 (TEL) と下部電極 (BEL) で挟み込んだ単純な構造をとることから、高密度化への適応性の高さが期待される^{1~3)}。故に、ReRAMの実用化に向けて微細素子のメモリ特性を明らかにすることが重要である。しかし、現在の微細化技術では実際に ReRAM の適用が期待される 20 nm 以下のサイズのメモリ素子を作製することは困難であり、よりシンプルに微細化を実現する手法の確立が待たれる。

本研究では、Atomic Force Microscope (AFM) のカンチレバー先端に Pt/NiO 構造を作製し、これを Pt 下部電極に接触させることで Pt/NiO/Pt 構造を形成した。Pt 下部電極を低配線容量かつ高抵抗にするため、薄くて細長いライン状に形成し、これを用いてセット (高抵抗から低抵抗へのスイッチ) 時の電流増加にリミットを掛けることでリセット電流の低減が可能となった。本素子の実効面積はカンチレバー先端の電界集中によって ϕ 10 nm 以下になることが電磁場シミュレーションによって示された。

2. 実験方法

DC マグネトロンスパッタ法により、先端半径 50 nm の Si 製のカンチレバー (SI-DF3-R (100); SII NanoTechnology Inc.) 上に Pt を 20 nm, 続いて、0.5 Pa のアルゴン、酸素混合ガス (Ar : O₂ = 0.45 : 0.05 Pa) 中で、NiO を室温にて

Fig. 1 (Color online) A very small ReRAM cell fabricated on the tip of a cantilever of AFM.

15 nm 堆積させた。SiO₂ (100 nm) /Si (675 μ m) 基板の上に Pt を堆積し、下部電極として用いた。**Fig. 1** に素子構造を示す。カンチレバー先端の Pt/NiO 構造を AFM のコンタクトモードで板状基板上的 Pt 下部電極に接触させることで Pt/NiO/Pt の ReRAM 構造が形成される (**Fig. 1** 点線部)。形成された Pt/NiO/Pt 構造に対して半導体パラメータアナライザー (Keythley 236) を用いて電流-電圧 (I - V) 測定を行った。ここで、カンチレバーは接地されており、電圧は下部電極に印加した。また、有効素子面積を見積もる為、電界シミュレーションソフト (Femtet; Murata Software Co., Ltd.) を用いて、電界シミュレーションを行った。

3. 実験結果及び考察

14 $\times$ 14 mm², 厚さ 100 nm の Pt 下部電極を用いて I - V 測定を行った結果を **Fig. 2** に示す。始めの電圧印加により高抵抗状態から低抵抗状態へと変化するセット, 続く電圧印加により低抵抗状態から高抵抗状態へと変化するリセットを確認した。すなわち, カンチレバーを用いた微細 ReRAM 構造においてユニポーラ型の ReRAM 動作が確認された。ここで, リセットに注目すると, 半導体パラメータアナライザの電流制限機能を用いてセット時に流れる電流の設定値

* 平成24年11月16日 第53回真空に関する連合講演会で発表

^{*1} 鳥取大学電気電子工学科 (〒680-8550 鳥取県鳥取市湖山南 4 丁目101)

^{*2} 鳥取大学電子ディスプレイ研究センター (〒680-0941 鳥取県鳥取市湖山町北 2 丁目522番地 2 セコム山陰 IT ラボラトリー 内 2F)

Fig. 2 (Color online) I - V characteristics of Pt/NiO/Pt structure composed by Pt/NiO structure on the tip of cantilever and Pt-BEL with area of $14 \times 14 \text{ nm}^2$. Inset: Secondary electron image after the reset.

(I_{comp}) を $90 \mu\text{A}$ としたにも関わらず、 4.0 mA ものリセット電流 (I_{reset}) が流れている。測定後、Scanning Electron Microscope (SEM) を用いてカンチレバー先端を観察したところ、大きな I_{reset} に起因する先端部の溶融が見られた (Fig. 2 の挿入図)。Kinoshita らは ReRAM のキャパシタ構造と電流リミッター間の寄生容量の低減により $I_{\text{reset}} \approx I_{\text{comp}}$ の関係が成立することを報告している。Fig. 2 で観測された大きな I_{reset} ($\gg I_{\text{comp}}$) についても寄生容量の存在によって流れる過渡電流と電流リミッターの電流変化に対する応答性の低さのため、実際にはセット時に I_{comp} を大きく上回る電流が流れたためであると考えられる。寄生容量低減のため、セットに用いる電極を作製した。セット用電極は Pt をライン状に形成し、配線容量を抑えるため $10 \mu\text{m}$ まで細くした。更に、ラインの厚さを 5 nm 以下まで薄くし、長さを 10 mm と長くすることで抵抗を増加させ、ライン電極自体を電流リミッターとして使用した。見積もられた配線容量は 30 pF 、また、抵抗の測定値は $100 \text{ k}\Omega$ であった。本素子構造では寄生容量の主要な要素は配線容量であると考えられることから、配線容量の低減によるセット時の電流オーバーシュートの抑制が期待される^{4,5)}。一方、リセットの際には大きな抵抗が邪魔になるため、抵抗が十分低い別の Pt 電極まで移動した。セットに Pt ラインを用いた微細 ReRAM 構造の I - V 特性を Fig. 3 に示す。 $I_{\text{comp}} = 90 \mu\text{A}$ に対して $I_{\text{reset}} = 110 \mu\text{A}$ であり、 $I_{\text{reset}} \approx I_{\text{comp}}$ の関係が成立した。Fig. 3 の I - V 特性を測定した後、SEM で AFM-tip の形態を観察した結果、先端部の形状変化は確認されなかった (Fig. 3 の挿入図)。この結果より、カンチレバーを用いた微細 ReRAM を低電流で動作させるための手法が確立された。

本素子の有効セルサイズを見積もるため、有限要素法に基づく電磁場解析を行った。カンチレバー先端を半径 70 nm の球体状の電極 (カンチレバー先端径 50 nm + Pt 膜厚 20 nm) と見なし、周囲を NiO (比誘電率 11.9 ⁶⁾、膜厚 15 nm) で覆う事で、Pt/NiO 構造を構成した。この構造を板状の Pt 下部電極と接触させた時に生じる電界分布を計算した。

Fig. 3 (Color online) I - V characteristics of Pt/NiO/Pt structure composed by Pt/NiO structure on the tip of cantilever and Pt-BEL with small capacitance of 30 pF and large resistance of $100 \text{ k}\Omega$. Inset: Secondary electron image after the reset.

Fig. 4 (Color online) Electric field distribution in the ReRAM structure calculated by using an electromagnetic field simulator.

Fig. 5 (Color online) Intensity of the electric field along the path 1.

Fig. 4 にシミュレーション結果を示す。外部電界により NiO 内部で分極が生じる為、Fig. 4 では電束密度表示を用いた。Fig. 4 から電束密度強度がカンチレバーと下部電極の接触部で強いことが分かる。ここで、Fig. 4 中に示したカンチレバーと下部電極の接点を通る経路 1 に沿った電界強度の分布を Fig. 5 に示す。カンチレバーと下部電極の接点で

電場強度は最大の値をとり、接触点から遠ざかるとともに急速に減衰する。ここで、接触点で最大と述べたが、接触点における電束密度及び電界強度は定義されないため、厳密には接触点を僅かにずれた点で電束密度及び電界強度が最大になっている。Fig. 5の電界強度分布より、カンチレバーと下部電極の接触点から経路1に沿ってPt下部電極に平行な方向の距離(x)にして5 nm進むと電場強度が最大値の $1/e$ まで減衰することが示された。この結果から、先端半径50 nmのカンチレバーに膜厚20 nmのPt、膜厚15 nmのNiOを堆積させ、Pt下部電極に接触させることで構成されたReRAM素子の実効的なサイズは $\phi 10$ nm程度であると見積もられた。同様のシミュレーションを行った結果、先端半径15 nmのPt製のカンチレバーを上部電極に用い、膜厚10 nmのNiOを堆積させた際の素子サイズは $\phi 5$ nmと見積もられた。この結果から、先端半径の小さいカンチレバーを用いることで、さらなる微細素子の作製が可能であることが示された。

4. 結 論

カンチレバーにNiOを成膜することでチップ先端にPt/NiO構造を作り込み、Pt下部電極と接触させることで、微細ReRAM構造を作製した。Pt下部電極をライン状に形成し、配線容量及び抵抗を制御することで、 I_{reset} の制御が可

能となった。電界シミュレーションを行うことで見積もられた実効的な素子サイズは、先端半径15 nmのPt製カンチレバーにNiOを10 nm成膜した素子で $\phi 5$ nmとなり、先端半径の小さいカンチレバーを用いることで、更なる微細素子の作製が可能であることが示された。

本研究により微細ReRAMの作製とその低電流駆動が可能となった。今後、本技術を用いることで20 nm以下の微細領域に閉じ込められたフィラメントの挙動が明らかになると期待される。

〔文 献〕

- 1) K. Tsunoda, K. Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki and Y. Sugiyama: Tech. Dig. Int. Electron Devices Meet., (2007) 767.
- 2) B. Gao, H. W. Zhang, S. Yu, B. Sun, L. F. Liu, X. Y. Liu, Y. Wang, R. Q. Han, J. F. Kang, B. Yu and Y. Y. Wang: *VLSI Technology, 2009 Symposium on*, Kyoto (2009) 30.
- 3) I. G. Baek, D. C. Kim, M. J. Lee, H. J. Kim, M. S. Lee, J. E. Lee, S. E. Ahn, S. Seo, J. H. Lee, J. C. Park, Y. K. Cha, S. O. Park, H. S. Kim, I. K. Yoo, U-In Chung, J. T. Moon and B. I. Ryu: Tech. Dig. Int. Electron Devices Meet., (2005) 769.
- 4) K. Kinoshita, K. Tsunoda, Y. Sato, H. Noshiro, S. Yagaki, M. Aoki and Y. Sugiyama: Appl. Phys. Lett., **93** (2008) 033506.
- 5) D. Ielmini: IEEE Trans. Electron Devices, **58** (2011) 4309.
- 6) K. V. Rao and A. Smakula: J. Appl. Phys., **36** (1965) 2031.