ミニマルファブのための小型 HiPIMS 型スパッタ成膜装置の開発

小木曾久人^{*1}・行村 建^{*2}・中野 禅^{*1}・田中 宏幸^{*2}
クンプアン ソマワン^{*2}・藪田 勇気^{*3}・亀井龍一郎^{*3}・原 史朗^{*2}

Development of Miniature Sputtering Deposition Equipment for Minimal Fab with HiPIMS Operations

Hisato OGISO^{*1}, Ken YUKIMURA^{*2}, Shizuka NAKANO^{*1}, Hiroyuki TANAKA^{*2},
Sommawan KHUMPUANG^{*2}, Yuuki YABUTA^{*3}, Ryuichiro KAMEI^{*3} and Shiro HARA^{*2}

^{*1}Advanced Manufacturing Research Institute, National Institute of Industrial Science and Technology (AIST),
1-2-1 Namiki, Tsukuba-shi, Ibaraki 305-8564 Japan

^{*2}Nanoelectronics Research Institute, National Institute of Industrial Science and Technology (AIST),
1-1-1 Umezono, Tsukuba-shi, Ibaraki 305-8568, Japan

^{*3}Seinan-kogyo Co., Ltd., 4-3-24 Kitakagaya, Summinoe-ku, Osaka-shi, Osaka 559-0011 Japan

(Received March 27, 2017, Accepted July 21, 2017)

Minimal fab is a new manufacturing system to suitably fabricate small numbers of semiconductor devices with very low investment. Minimal fab handles a half-inch wafer, and requires that the process equipment is installed in a small regulated chassis. For the minimal fab, sputter deposition equipment was developed. High power impulse magnetron sputtering (HiPIMS) technology was used for the deposition. The HiPIMS equipment for minimal fab successfully deposit conductive Al films for MOSFET devices. The equipment hardly generated particles that contaminated the fabricated devices. The electrical resistivity of deposited film was 45 nΩm. This resistivity was small enough to work the devices.

1. はじめに（ミニマルファブ構想とそのための成膜装置）

スパッタ法やプラズマエッチング法などは、半導体製造中の不可欠なプロセス技術であり、これら製造装置の市場も半導体市場とともに成長してきた。しかしながら、現在の半導体製造、とりわけ我が国の半導体製造産業は岐路を迎えている。Fig. 1 は、World Semiconductor Trade Statistics (WSTS) が発表している半導体の世界市場の推移と予測（本稿投稿時点）である¹⁾。全体としては緩やかな上昇傾向であるが、直近の2016年後半では2015年前半のピーク値に達しておらず、今後の予測値も大きな右肩上がりの成長は期待されていない。スマートフォンの爆発的な普及などもあり、半導体産業は経済成長を牽引しているかのような印象があるが、市場的にはすでに成熟期を迎えているといっても過言ではない。一方、半導体製造には莫大な投資とリスクをとることが必要となってきた。インテルは、アリゾナに建設していたが、需要が予測以下であったことから稼働を延期してきた半導体製造工場「fab42」に対し、7 nm プロセスのために70億ドル投資すると最近発表した。このようにリスクがあっても莫大な投資を行っていける企業は世界でも数えるほどであろう。

Fab42 のような大規模な製造工場、いわゆる「メガファ

ブ」は大面積のウェハーを処理することにより、大量生産を効率的に行うことを目指している。これに対し、ここで紹介する「ミニマルファブ」は、メガファブでは逆に非効率になってしまう生産個数の少ない半導体製造に対して効率的に、かつ、その建設のために莫大な投資をしなくてもすむようにするために提案された半導体製造システムである。ミニマルファブは、産総研コンソーシアム「ファブシステム研究会」（代表：原史朗）と技術研究組合「ミニマルファブ技術研究組合」を中心に研究開発が進められている。

ミニマルファブでは、ハーフインチウェハー（直径 12.5 mm）の利用と、局所クリーン化技術を用い、クリーンルームレスの製造システムの構築というというコンセプトのもとで設計されている。ハーフインチウェハーの利用は1ウェハー1チップという、究極の単品生産をめざしたものである。局所クリーン化技術は、局所クリーン化された筐体と、ミニマルシャトル、PLAD (Particle lock Air-tight Docking) と呼ばれる搬送装置の組み合わせで実現されている。Fig. 2 に示すように、ミニマルシャトルの中に封入されたウェハーは、PLAD によって、自動的にクリーン化された装置内に搬送され、プロセスが終了すると、ミニマルシャトルの中に戻される。作業者は、次のプロセスに移るときに、シャトルごとウェハーをセットするだけでいいので、クリーンルームの中に入る必要がない。装置を並べた上で、ミニマルシャトルを順に各プロセス装置に渡していく自動搬送装置の設置も可能である。これにより、半導体製造のためには、不可欠だと思われたクリーンルームは不必要になり、通常の部屋に装置群を設置するだけでいいことになる。

このコンセプトをさらに活かすために、ミニマルファブでは、装置筐体を小型規格化（W296, H1440, D450）し、装

^{*1} 産業技術総合研究所 製造技術研究部門（〒305-8564 茨城県つくば市並木 1-2-1）

^{*2} 産業技術総合研究所 ナノエレクトロニクス研究部門（〒305-8568 茨城県つくば市梅園 1-1-1）

^{*3} 誠南工業株式会社（〒559-0011 大阪市住之江区北加賀屋 4-3-24）

Fig. 1 The trend of the semiconductor market.

Fig. 2 The way to transfer the half-inch wafer between various types of minimal equipment using minimal shuttle.

置の配置と操作性を容易にするとともに、装置設置のユーティリティも原則、AC100V、15A、圧力空気、窒素ガス、除害済みの排気ポートのみとし、設置場所に特別な施設がいらなようにしている。

ミニマルファブは、ハーフィンチウェハーと小型装置による製造システムであるため、研究試作用のシステムとみなされがちであるが、本来は製品の量産システムとして開発されたものである。ミニマルファブの各プロセス装置での所用時間は1分を目標に開発が進められており、このスピードが実現すれば、1ウェハー1チップという製造システムであっても、自動車の製造ラインとはほぼ同等な生産量を実現できる。また、ミニマルファブは、少量生産に有利な生産システムであるが、それだけにとどまらず、初期投資が少なく、デバイスのアイディアさえあれば、半導体製造が可能にできることから、これまで、参入しなかった中小企業が独自の半導体製造に乗り出す事ができるなど、あらたな需要を掘り起こすことを可能にするシステムであると考えている。

ミニマルファブはその研究開発の進展を、毎年展示会 (SEMICON) で発表している、数年前はコンセプト展示のみであったが、徐々に装置開発が進み、この SEMICON2016の展示では、東京ビッグサイトの会場内で、前工程のデバイス作成から後パッケージまで実施し、実際に作成した pMOSFET の動作確認も会場行い、発振回路に組み込むところまで実証できた。Fig. 3 は実際にパッケージング

Fig. 3 The device that was just made in the convention hall of SEMICON2016.

したデバイスである。

本稿で述べる High Power Impulse Magnetron Sputtering (HiPIMS) 型のスパッタ成膜装置は、このミニマルファブのために試作されたものであり、この SEMICON 会場でのデバイス作成 (Al 導電膜の成膜と Cu のめっきシード層の成膜) に用いられた。

前述したように、ミニマルファブでは装置筐体が非常に小型に規格化されている。そのため、既存の部品や機構を組み合わせるだけではプロセス装置は構成できない。しかし、これこれらはハーフィンチという小さな領域を効率的に処理するためにはどのような機構やプロセス装置が望ましいかということを一から見直す動機にもなっている。

スパッタ成膜装置についても、ミニマルファブにおいては、ハーフィンチウェハーを一枚処理すればいいので、大型のスパッタ源は無駄であるばかりでなく、小型の筐体の中に実装するが困難である。そのため、1 インチマグネトロンスパッタ源を開発し、HiPIMS での高出力化を試みた。HiPIMS は Fig. 4 に示すように、パルス型に電圧を引加することにより、平均電力は DC スパッタと同等だが、瞬間電力を

Fig. 4 The Voltage waveforms applied to the cathode for HiPIMS operation.

極めて高くする方法である．これにより，大出力プラズマを発生させることができることが特徴になる．スパッタ粒子中のイオン化率が高く，試料バイアス電圧と組み合わせることによって，溝への埋め込み成膜が可能なが報告されている²⁾．一方で，DC スパッタに比べると平均電力あたりの成膜速度が小さくなると報告されている³⁾．その意味では HiPIMS を採用するのは不利である．しかし，DC スパッタでは，放電条件をきめる主なパラメータはカソード電圧と真空度である．出力を上げるために電圧を高めると，アークが発生しやすくなり，成膜速度を上げるのには限界がある．後述するように，HiPIMS では，パルス幅や繰り返し周波数などの制御することにより，小型のマグネトロンスパッタ源で，高密度で出力のプラズマを発生させることができた．この結果から，ミニマルファブのスパッタ装置においても HiPIMS を採用しミニマル規格に適合したスパッタ装置を開発することになった．ここでは，この小型マグネトロンスパッタ源による HiPIMS の結果と，これをもとにしたミニマルファブ用のスパッタ装置の開発について述べる．

2. マグネトロンスパッタ源の開発と HiPIMS 動作

ミニマルファブに実装することを想定し，小型の 1 インチマグネトロンスパッタ源を開発し，そのポテンシャルを確認した．**Fig. 5** はそのために開発した，1 インチマグネトロンスパッタ源である．これを，NW50 のフランジを持つガラス配管を利用して，プロセス室として放電と成膜実験を行った．後述するミニマルスパッタ成膜装置と違い，ミニマルファブ装置全体の大きさなどは考慮せず，電源も大容量のものを使用して，マグネトロンスパッタ源とその HiPIMS 動作の能力を確認した．

Fig. 6 がその実験装置の構成である．電源を保護するために， $5\ \Omega$ の抵抗を直列に取り付けている．**Fig. 7** はパルス電圧をマグネトロンスパッタ源のカソードにかけた時の電圧と電流波形である．パルス電圧をかけるとグロー放電が発生し，電流が 92 A まで流れた．大電流が流れると，保護抵抗 $5\ \Omega$ のために，カソードにかかる電圧が降下し，それに伴って若干電流が低下するが，70 A 以上がパルス電圧がかか

Fig. 5 The prototype of the 1 inch magnetron sputtering source.

Fig. 6 Schematic view of experimental setup for the discharge of the 1 inch magnetron sputtering source.

Fig. 7 The voltage and current waveforms of 1 inch magnetron sputtering source during the HiPIMS operation.

ている間は流れており大出力の放電が実現したことを示している．この放電時のピークパワーは 80 kW で，パルスあたりの放電のエネルギーは 10.5 J であった．このマグネトロンスパッタ放電は非常に小型のものであり，放電後測定した，放電に

よるスパッタ痕の面積はおよそ 3 cm^2 であったので、そのスパッタ痕面積あたりのパワー密度は、ピーク時で 26.6 kW/cm^2 にもなる。これは、HiPIMS としても極めて高いパワー密度を実現したことになり、この小型マグネトロンスパッタ源のポテンシャルを示している。

この小型 HiPIMS の試験装置を用い、Cu の成膜実験を行ったところ、 $3\text{ }\mu\text{m/min}$ の成膜速度（Cu 成膜時の実験条件はパルス電圧： -600 V 、パルス幅： $600\text{ }\mu\text{s}$ 繰り返し周波数： 120 Hz ）が得られた。このように小型 HiPIMS に十分なポテンシャルがあることが確認できたので、その他部品の小型化などをはかりミニマルスパッタ成膜装置の開発を行った。

前述したようにミニマルファブでは、規格化された $294\times 1440\times 450\text{ mm}^3$ の筐体の中に、プロセス室、真空排気系、電源、制御系など、すべて実装しなければならない。また、ミニマルファブ用に規格化されて開発された、真空 PLAD と呼ばれる、ロードロックを備えた試料搬出も決められた場所に取り付けなければならない。このように、実装の自由度極めて限られた中で設計されなければならない。そのため、小型スパッタ源の採用だけでなくファブシステム研究会参加の企業の協力を得て、小型のパルス電源なども専用品を試作した。また、チラーなどを用いた冷却水を使わない規格を守るため、ターゲット冷却用の冷却水を循環させラジエターで循環水の冷却を行うなどといった工夫を行った。その結果、Fig. 8 に示すような、ミニマルスパッタ成膜装置の試作に成功した。

この装置は、アルゴンボンベも内部に搭載しており、装置の動作のためには、AC100V の家庭用コンセントと、ベント用の窒素ガス、バルブ類の駆動のための圧縮空気だけという、ミニマル規格を満たすものになった。この装置の仕様を Table 1 にまとめている。筆者の知る限り、世界最小の HiPIMS 装置といえるであろう。

この成膜装置を含めとその他ミニマルファブ用に開発され

Fig. 8 The prototype of HiPIMS equipment for minimal fab.

た装置群によって、Fig. 9 のような MOSFET の製作に成功している。このように、このミニマルスパッタ成膜装置は、半導体製造の一翼を担う装置として利用できる性能を有している。

3. ミニマルスパッタ成膜装置の特性

3.1 成膜中のパーティクル発生

半導体製造では、スパッタ成膜中の突発的なアーク放電などで生成されるパーティクルが作成中のデバイス表面に付着することは避けなければならない。そのため、多くのスパッタ装置では、スパッタ源を下に配置し、ウェハースパッタ源の上方に処理面を下向きにする配置が取られている。パーティクルが上からウェハース処理面に降り積もることを避けるためである。しかしながら、現状のミニマルスパッタ成膜装置では、規格化された PLAD の試料搬送の仕方から、このような配置がとれず、ウェハース処理面が上を向き、上方にスパッタ源が配置されるという構成になっている。そのため、成膜した膜面にパーティクルが多く積もることが懸念された。ところが、実際に成膜した Al 膜を光学顕微鏡や電子顕微鏡で観察した結果では、デバイス用に作成した成膜条件では、膜面でパーティクルを発見することはなかった。Fig. 10 は成膜した Al 膜の SEM 像である。ミニマルファブでの成膜条件は、ミニマルウェハース上にデバイス作成と同じ条件（パルス電圧 -550 V 、パルス幅 $10\text{ }\mu\text{s}$ 繰り返し周波数 5 kHz 、成膜時真空度 $4\sim 6\text{ Pa}$ ）で作成した。比較のため、産総研の共用ナノプロセッシング施設（NPF）に設置されているスパッタ成膜装置で作成した Al 膜を示す。NPF の装置の

Table 1 Specifications of the minimal sputtering equipment introduced here.

Voltage	$\sim -1000\text{ V}$
Pulse width	$5\text{ }\mu\text{s}\sim 200\text{ }\mu\text{s}$
Repetition Frequency	$\text{DC}\sim 5\text{ kHz}$
Maximum average Power	600 W
Maximum Peak current	50 A
Vucuum system	Turbo-molecular pump + Diaphragm pump
Ultimate vacuum	10^{-5} Pa
Gas flow rate	$0\sim 20\text{ sccm (Ar)}$
Usable substrate	$0.5\text{ inch Si Wafer for minimal fab}$
Dimensions	$\text{W } 294, \text{ H } 1440, \text{ D } 450$

Fig. 9 The schematic view of the MOSFET made by minimal fab, where the minimal sputtering equipment introduced here deposited Al conductive film of the uppermost layer of the MOSFET.

Al 膜には、1 μm 程度の粒子が散見されるのに対し、ミニマルスパッタ成膜装置の膜ではなにもみられなかった。この理由として、ここでの実験条件のパルス幅が 10 μs と短く（一般的に、HiPIMS では、50 μs から 500 μs 程度のパルス幅が用いられることが多い）グロー放電がアーク放電に移行する確率（移行する前に電圧の引加が終わってしまう）が小さくなることによって、アーク放電の発生が抑制されたことによるものであると考えている。このパーティクルがない特性は、半導体製造用の装置としては、極めて優れた特性を有していることを示している。

3.2 成膜速度と均一性

次に成膜速度とその均一性を評価するために、ミニマルウェハー上にデバイス作成と同じ条件（パルス電圧 550 V、パルス幅 10 μs 繰り返し周波数 5 kHz、成膜時真空度 4~6 Pa）で 2 分の成膜時間で成膜し、その後、ウェハー上を 2 mm 間隔の 31 点で膜厚の測定を行った。膜厚の測定は、成膜した Al 膜にエッチングをほどこし、測定ポイントで膜の境界ができるようなパターンを作成、その段差を表面粗さ計

を用いて測定することで行った。Fig. 11 は測定した膜厚分布を図示したものである。膜厚はウェハーの中心部分が厚くなる傾向があるが、必ずしも軸対称ではなく不均一性にも異方性があったことを示している。この測定点の膜厚の平均は 233 nm、標準偏差は 26 nm であった。従って、デバイスを作成したときの成膜条件での成膜速度は、ウェハー平均で 116 nm/min であったことが示された。

膜厚の均一性も、標準偏差で $\pm 11\%$ のばらつきがあった。現在作成しているデバイスでは、デバイスの最上面のみにこの Al 膜が作成されているので、このばらつきはデバイスの歩留まりにはあまり影響していないが、デバイスの高度化に伴い、より均一な膜厚分布が求められる。スパッタ 1 号機は、成膜中にウェハーを走査する機構は設けていない。そのため、スパッタ源からでてくるスパッタ粒子に不均一性があると、そのまま膜厚に反映される。

成膜速度は、パルス電圧の引加条件、プロセス中の真空度などに依存する。投入電力が大きくなれば、成膜速度が大きくなるが、放電電圧だけでなくパルス幅や繰り返し周波数で成膜速度を制御することができるので、ここで得られた速度以上の成膜も可能である。ただ、半導体製造プロセスは多くのプロセスの組み合わせで実施されており、すでにデバイス動作が確認されている条件を変えると、デバイスに不良がでたときに原因の究明が困難になるので、当面は同じ条件で成膜を実施している。従って、現時点の値がこの装置の最適化された条件ではないことは付記しておきたい。ここでの Al の成膜速度 116 nm/min と、先に述べた Cu での実験結果 3 $\mu\text{m}/\text{min}$ と比べて著しく小さい理由の一つは、Al の成膜ではパルス幅の短さがその一因となっている。電圧がかかり、放電が開始して、プラズマが徐々に形成され、電流が最大になるのまでには時間がかかる。Fig. 7 の例を見ても、最大電流に達するまでに 25 μs かかっている。Al 成膜の場合はパルス幅が 10 μs と短いため、十分にプラズマが発生する前に、電圧が切られてしまうことになる。つまり成膜速度だけを考えると、あまりいい条件とは言えない。しかしながら、前述したように、このパルス幅の短さによって、異常アーク放電が発生せず、パーティクルの発生が抑制されたことは、半導体デバイスの作成のためには有利な点になる。このように、HiPIMS は DC スパッタなどに比べて、放電のためのパラメータが多く複雑になるが、逆に言えば、目的に合わせて多様な成膜条件が決められるということになる。

成膜速度や膜厚分布は、スパッタ源の能力だけでなく、ターゲットと試料間の距離（T-S 間距離）にも依存する。また、成膜される膜厚の分布も、T-S 間距離と関係する。T-S 間距離が小さくなると成膜速度は大きくなるが、膜厚分布には悪影響を与えるおそれがある。現状のスパッタ 1 号機の T-S 間距離は 36 mm である。（先に述べた Cu 成膜の時は T-S 間距離が 17 mm と近く、成膜速度が大きくなっている一因となっている）成膜速度や膜厚分布などをふまえ、T-S 間距離を最適化するとともに、試料走査機構の追加などが今後の検討課題となろう。

3.3 電気抵抗率

ミニマルスパッタ成膜装置で作成された Al 膜はデバイス

Fig. 10 The scattered particles on the Al film during the sputter deposition, where (a): by minimal HiPIMS sputtering equipment, (b): by the sputtering equipment installed in the Nano-Processing Facility (AIST-NPF) operated by AIST.

Fig. 11 The in-plane distribution of the Al film's thickness deposited by the minimal sputtering equipment.

Table 2 Electric resistivities of the Al films deposited by the minimal sputtering equipment.

Sample No.	Thickness [nm]	resistance [Ω]	resistivity [$\text{n}\Omega\text{m}$]
1	182	2.5	42
2	178	2.1	35
3	111	3.4	34
4	222	1.8	35
5	203	4.3	79
平均	179	2.8	45

の電極として用いられている．そのため，膜の電気抵抗率の評価は重要である．装置の到達真空度が悪く酸素が膜に混入したりすると電気抵抗が大きくなり，電極材料としての性能は劣化してしまうからである．

そこで，ミニマルウェハー表面にシリコン酸化膜を作成しその上に，ミニマルスパッタ成膜装置で Al 膜を成膜し，それにパターンニングしてエッチングし，4 端子法による電気抵抗測定用 TEG パターンをウェハー上に作成した．さらに，デバイス作成時の条件に合わせ， 400°C ，10 分のアニーリングをした後に，電気抵抗を測定した．その結果を **Table 2** に示す．若干のばらつきがあるものの，平均 $45 \text{ n}\Omega\text{m}$ で，これはバルク Al の電気抵抗 $28 \text{ n}\Omega\text{m}$ と比較すると，やや大きな値を示しているが，現在作成している FET デバイスにおいては，ソースドレイン間の抵抗が， $6.3 \text{ k}\Omega$ で，その中で，実際に測定したもっとも電気抵抗の大きな値 $79 \text{ n}\Omega\text{m}$ の Al で作成された電極の抵抗を電極形状から推定すると $880 \text{ m}\Omega$ となり，ソースドレイン間の抵抗より十分小さい．従ってこのデバイスについては問題のない電気抵抗の膜が作成できたものと考えられる．

3.4 グレインサイズ

成膜された Al は多結晶であり，多数のグレインから形成されている．このグレインの境界では，Al 原子の結合エネルギーが小さいために，電流が流れているときに電子と金属原子の衝突によって原子が移動してボイドなどの欠陥が生じてしまうエレクトロマイグレーションと呼ばれる現象が生じ，デバイスの故障の原因の一つとされている．従って，成膜した Al のグレインサイズは，デバイスのための Al 膜を評価する指標の一つとなる．そこでミニマルスパッタ成膜装置で作成された Al 膜のグレインサイズを，成膜後とその後のアニーリング処理後とで評価した．**Fig. 12** は，集束イオンビーム装置 (FIB) を用いて，走査イオン二次電子像で観察した Al 膜である．イオンによる二次電子なので，結晶方位によって二次電子のイールドが異なるので，グレインが明瞭に観察できている．この像から，成膜後なにも処理をしない状態では，Al のグレインサイズは 200 nm と小さくグレインの境界が多く存在することから，エレクトロマイグレーションによるボイド発生のおそれがあることが懸念されるが， 400°C 10 分のアニーリング処理後では，グレインサイズは $2 \mu\text{m}$ 程度まで成長しており，エレクトロマイグレーションのおそれはかなり少なくなっていることが確認された．

Fig. 12 The grain structure of the Al films deposited by the minimal sputtering equipment, where (a): as-deposited, (b): annealed (400°C (not calibrated value), 10 min).

3.5 成膜 Al の利用効率

ミニマルスパッタ成膜装置の小型マグネトロンスパッタ源で発生するリング状プラズマの直径はおよそ 20 mm でありターゲットサンプル間の距離は 36 mm である．それに対してウェハーの直径は 12.5 mm であるため，スパッタ源から出る Al 粒子の多くはウェハー外に堆積されることになる．従って，ミニマルスパッタ成膜装置では，デバイス作成のための Al の利用効率は少なくなってしまう．試作品の作成などデバイス作成の個数が少なければ問題はないが，連続運転によって実製品を製作するような場合は，ターゲットのコストだけでなく，ターゲットの交換頻度の多さなどが問題になる．この問題は，今後解決すべき問題である．さらに小型のスパッタ源の開発が望まれる．

4. ま と め

ハーフインチウェハー生産し，クリーンルーム不要で半導体生産を実現する「ミニマルファブ」に対応した，HiPIMS 型のスパッタ成膜装置を開発した．これにより，実際のデバイス作成の導電膜の成膜に成功した．HiPIMS は工具などのハードコーティングなどで応用が検討されてきたが，小型でいろいろな放電条件での成膜が可能になることから，半導体製造のためのミニマルファブへも応用が可能であることが示された．ただ，現時点では HiPIMS の特性を完全に生かしているとはいえない．今後，装置とプロセス条件の最適化を検討する必要がある．ここで開発した小型 HiPIMS システムは，ハイパワーのプラズマを発生できるが，全体の電源容量は小さくできるので，イニシャルコストも安く，実験用設

備として HiPIMS の可能性をテストするには適したシステムである。ミニマルファブ以外の応用も検討していきたいと考えている。

〔文 献〕

- 1) World Semiconductor Trade Statistics, <http://www.wsts.org>
(Last accessed: 2017-08-03)
- 2) V. Kouznetsov, K. Macák, J. M. Schneider, U. Helmersson and I. Petrov: Surf. Coat. Tech., **122** (1999) 290.
- 3) D. J. Christie: J. Vac. Sci. Technol. A, **23** (2005) 330.