レジンモールド IC の熱応力解析とその強度評価*

尾田 十八^{*1}, 坂本 二郎^{*1}, 久保田 隆司^{*2}, 山田 耕二^{*1}Thermal Stresses in ICs Molded by Resin
and Their Evaluations

Juhachi ODA, Jirou SAKAMOTO, Takashi KUBOTA and Kouji YAMADA

In this paper, thermal stress analyses of all over the integrated circuit (IC), which is molded by resin and subjected to thermal load, are performed in detail. Two models of basic and practical constructions simulating the IC are analyzed. The analytical method is the special finite-element method proposed previously by the authors. In the analyses of basic constitutional models, the influence of the package thickness and the chip size to stress distributions of the IC are evaluated. Moreover, in the analysis of the practical IC model, the causes of failure of an actual IC are also discussed.

Key Words : Electronics, Integrated Circuit, Structural Analysis, Thermal Stress, Numerical Analysis, Finite-Element Method

1. 緒言

近年における集積回路(IC)の高密度化や高温環境下での使用にともない, そのICに生ずる熱応力が原因で生ずる機器の故障, 破損などが重要な問題となってきた. この状況に対応して, ICの応力解析や強度評価に対しての研究も幾つか行われている.⁽¹⁾⁻⁽³⁾ しかし, 解析対象の形状, 構成材料の3次元性や複雑性から問題が大規模なものとなるため, それらの解析は2次元的または一部分に限定して簡単化し行われているのがほとんどである.

そこで本研究では, 熱負荷を受けるレジンモールドICの3次元的な応力・ひずみ解析を目的として, まずICの基本的な構造をモデル化した基本モデルに対して, プラスチック・パッケージ厚さとチップサイズがその応力分布に及ぼす影響を解析した. 次に, 実用的な寸法・形状を有する複雑なモデルの解析を行ない, 得られた解析結果から実際のICにおける破損原因の

考察を行った. なおここで用いた解析手法は著者らの考案した多層構造体のための特殊な有限要素法⁽⁴⁾である.

2. レジンモールドICの構造・組織と破損について

2.1 構造と組織 一般的なレジンモールドICの構造は図1に示すように, ダイアタッチメントによって接着結合されるチップとリードフレームおよび

図1 ICの構造

* 原稿受付 平成2年11月28日.

^{*1} 正員, 金沢大学工学部 (〒920 金沢市小立野2-40-20).^{*2} 学生員, 金沢大学工学部.

回路を接続するリードフィンガーとワイヤがレジンによって完全にモールドされる形態を有する。そして、同図中の () 内に示すような材料が各部に用いられており、それら材料の物性値は表 1 に示すようなものである。

2. 2 破損状況 IC に生ずる熱応力に起因しての主要な破損箇所とその形式は図 2 に示すようなものが挙げられる。つまりこれらのほとんどが異材同志の界面か形状の急変部で生じているものであり、これらが原因となつての回路の破損および故障が問題とされている。

3. 基本モデル IC の解析とその考察

3. 1 解析モデル IC の基本モデルとしてチップとダイパッドの接着構造体がレジンにモールドされている簡略モデルの解析を行う。図 3 は解析モデルの 1/4 領域を示す図であり、添字 R, D, C はそれぞれレジン、ダイパッド、チップに関する諸量を示すものである。ここで図示のように解析モデルを合計 4 層よりなる多層構造体とみなし、それぞれの層を本章では第 1 層～第 4 層と定義する。図 4 はモデルを Z 方向からみたときの要素分割図であり、板厚方向の要素分割は図 3 (Y-Z 断面図) に示す層に対応して 4 層

表 1 IC の構成材料の物性値

Name	Material	Young's modulus (GPa)	Poisson's ratio	Thermal expansion coefficient ($1/^{\circ}\text{C}$)
Chip	Silicon	180	0.3	3×10^{-6}
Die Pad and Lead Finger	Fe-Ni	150	0.3	6×10^{-6}
Resin	Epoxy	15	0.3	20×10^{-6}
Die Attachment	Epoxy	1.15^{*}	—	—

* Transverse Elastic Coefficient

図 2 IC の破損形態

に分割するものとし、それら各層の分割要素には通常の 2 次元要素 (アイソパラメトリック 2 次元要素) が用いられ、その各層間は薄い接合要素 (層間のせん断力のみを伝達する特殊要素) によって結合される。つまりここで用いた解析手法は IC を 4 層からなる 2 次元要素の積層構造体と考え、それらの層間には接合要素があると考へた多層構造体解析のための有限要素法⁽⁴⁾である。この方法により、このような 3 次元構造体の解析が従来の 3 次元有限要素法に比較して、はるかに少ない計算時間と労力により実施できることになる。

ここで各構成材の物性値は表 1 に示す値を用いた。ただし、それらの物性値は温度依存性が無いと仮定した。また熱負荷として与える温度変化 ΔT はレジンのパッケージング温度 (約 $170^{\circ}\text{C} \sim 180^{\circ}\text{C}$) から常温 (約 20°C) への温度降下を考慮して、 $\Delta T = -150^{\circ}\text{C}$ とした。

以上の設定のもと、プラスチック・パッケージ厚さおよびチップサイズ (面積) の変化が IC の応力分布に及ぼす影響について特に吟味検討した。

3. 2 パッケージ厚さの影響 パッケージ厚さ t_s は $t_s = 1.5 \sim 6 \text{ mm}$ に変化させた。

まず図 5 は第 1 層のレジンに生ずる応力 σ_x の X 軸上の分布である。これより、このような表層のレジン

図 3 IC の基本モデル

図 4 要素分割図 (Top View)

図5 第1層のレジンの応力分布

図8 コーナ近傍でのレジンのミーゼス応力

図6 第2層のチップとレジンの応力分布

図7 第3層のダイパッドとレジンの応力分布

図9 ダイアタッチメントのせん断応力分布

図10 チップ上面のせん断応力分布

に生ずる応力は引張応力が主であり、 t_R の増加によって、その応力は大きく減少することがわかる。次に図6は第2層のチップ、レジンに生ずる応力 σ_x のX軸上の分布である。図6-(a)より、チップに生ずる応力は圧縮応力が主であり、 t_R の増加によってその応力は増加すること、また図6-(b)よりレジン部についても t_R の増加によってそれに生ずる応力は増加することがわかる。そして図7は第3層のダイパッド、

レジソに生ずる σ_x のX軸上の分布である。これより、 t_s の増加は第2層と同様にダイパッドおよびレジソの応力を増大させていることがわかる。さらに図8はレジソに生ずるミーゼス応力 σ_{eq} についての、チップおよびダイパッドのY軸に平行な端面上(図3中A-A'部)のコーナ近傍での分布図である。本解析手法ではこのような異材界面近傍での応力分布に若干の誤差が生じ易い傾向があるが、この図にみるとおり一般に t_s の増加はその応力を増加させること、およびダイパッドコーナと比較してチップコーナ近傍のほうが高い応力が生ずる傾向のあることがわかる。よって、レジソ割れの生じ易いと思われるこのようなコーナ部近傍に生ずる応力の緩和には t_s の低減化が望ましいと考えられる。

一方、図9はチップとダイパッドの接着部(ダイア

タッチメント)に生ずるせん断応力 τ_{zx} のX軸上の分布である。これより、応力集中がみられるのはチップ端近傍であり、 t_s の増加によってその応力は増加していることがわかる。さらに図10はチップ上面とレジソとの界面(1, 2層間)に生ずる τ_{zy} のX軸上の分布である。ここでの応力集中部もチップ端近傍であり、 t_s の増加によってその応力は増加していることがわかる。

以上の各種応力分布より、一般にパッケージ厚さの増加は表層のレジソの応力を低下させるが、一方、チップ、中間層(2, 3層)のレジソ、ダイアタッチメント、およびチップ上面に生ずる応力を増加させることがわかった。

3.3 チップサイズの影響 近年、ICの高密度化が進むにつれて、ICパッケージ全域($A_s = 4 l_s W_s$)に占めるチップサイズ($A_c = 4 l_c W_c$)の増加傾向が著しい。ここでは、この傾向がIC各部の応力にどのような効果を与えるものであるかを検討する。解析は A_s を一定として、チップ形状を相似形のまま A_c を $A_c/A_s = 0.05 \sim 0.45$ に変化させて行った。

図11~13は第1~第3層の各部に生ずる応力 σ のX軸上の分布である。まず図11より、 A_c の増加はそのレジソ部の応力を増加させることがわかる。次に図

図11 第1層のレジソの応力分布

図12 第2層のチップとレジソの応力分布

図13 第3層のダイパッドとレジソの応力分布

図14 コーナ近傍でのレジソのミーゼス応力

図15 ダイアタッチメントのせん断応力分布

12より A_c の増加によってチップに生ずる応力は低下するものの、その層でのレジン部に生ずる応力は影響をほとんど受けていないことがわかる。また図13より A_c の増加はレジン部のダイパッドとの界面での応力（同図中黒点）を増加させていることがわかる。

そして図14は図8同様にチップおよびダイパッド端部との界面でレジンに生ずるミーゼス応力 σ_{eq} のコーナ部近傍での分布である。ここでは、一般にダイパッドコーナと比較してチップコーナ近傍のほうで高い応力が生じていることが認められるものの、チップサイズの変化が応力分布に及ぼす影響は余り大きくないことがわかる。

一方、図15はダイアタッチメントに生ずるせん断応力 τ_{xz} のX軸上の分布であるが、これより A_c の変化がこの応力分布に及ぼす影響はほとんど無いことがわかる。このような傾向はチップ上面とレジンとの界面（1，2層間）に生ずる τ_{xz} の分布についても言える。

以上の応力分布より、一般にチップサイズの増加は表層のレジンの応力を増加させ、また中間層のレジンおよびチップに生ずる応力を低下させるものの、チップ、ダイパッドのコーナ部近傍のレジンおよびダイアタッチメント、チップ上面などに生ずる応力にはその影響が大きいことがわかった。

4. 実用モデル IC の解析とその考察

4.1 解析モデル 本章では前章の基本モデルにリードフィンガーを付加した実用モデルの解析を行う。解析モデルの1/4領域を図16に示す。ただし本解析ではこの図に示すように解析モデルを合計5層よりなる多層構造体とみなし、それぞれの層を第1層～第5層と定義する。また図17はモデルをZ方向からみたときの要素分割図であり、板厚方向の要素分割は図16のY'-Z断面図に示した層に対応して5層に分割した。その他、各構成材の物性値や熱負荷条件は先の例と同様のものとした。以上の設定のもと応力分布を

解析し、2章で述べた実際のICの破損形態との関連を考察する。

まず図18は、第3層のレジンに生ずるミーゼス応力 σ_{eq} の等高線図である。ただし応力の無次元化に第1層のレジンの中心点（ $X=0, Y=0$ ）の応力 σ_{eq}^* （ $=37.2\text{ MPa}$ ）を用いている。これより、応力集中が生じているのは、チップ端とリードフィンガーの間隙部、およびチップコーナ近傍であることがわかる。また図19は第4層のレジンに生ずる σ_{eq} の等高線図であるが、これよりダイパッド端との界面での応力が高く、特にそのコーナ部で応力の集中していることがわかる。

以上のレジンの応力分布より、レジンに生ずる応力

図16 ICの実用モデル

図17 要素分割図 (Top View)

図18 第3層のレジンのミーゼス応力 $\sigma_{eq} / \sigma_{eq}^*$

図19 第4層のレジンのミーゼス応力 $\sigma_{eq} / \sigma_{eq}^*$

図20 チップ上面のせん断応力 $\tau_{max} / \sigma_{eq}^*$

図21 リードフィンガー上面およびダイパッド下面のせん断応力 $\tau_{max} / \sigma_{eq}^*$

図22 チップのミーゼス応力

図23 ダイアタッチメントの最大せん断応力

図24 第3層のX軸上およびY'軸上の応力分布

集中部はリードフィンガーとチップとの間隙、およびチップコーナ、ダイパッド端との界面などであり、これらの部分からのレジンの破損の生じ易いことが考えられ、またそれらは図2の破損形態中ダイパッド端から発生しているパッケージクラックに対応していることがわかる。

次に図20はチップ上面とレジンの界面(1,2層間)での各部の主せん断応力 $\tau_{xy} = (\tau_{xy1} + \tau_{xy2})/2$ の等高線図である。これよりチップ端近傍、特にチップコーナ部において高い応力集中がみられ、この部分からバッシュンクラックや回路破損などの生じ易いことが予想される。一方、図21はリードフィンガー上面とレジンの界面(2,3層間)、およびダイパッド下面とレジンの界面(4,5層間)に生ずる τ_{xy} の等高線図である。これより、高い応力の発生している位置は、物体の外境界に接する部分およびダイパッドの凸なコーナ部近傍などであり、これらの部分からのレジンの剥離が考えられる。そしてそれは図2のリードフィンガー部で生じているパッケージクラックに対応しているものと思われる。

さらに図22は第2層のチップに生ずる σ_{eq} の等高線図である。これよりチップ端では一般に応力は低下しているが、コーナ部については応力集中が生じており、この部分からのチップ破壊が考えられる。また図23はダイアタッチメントに生ずる τ_{xy} の等高線図である。これよりチップコーナ部およびダイパッド支持部近傍で高い応力が発生しており、これは図2でのダイアタ

ッチメントに生じているデラミネーション現象の原因と考えられる。

一方、図24は第3層のチップ、レジン、リードフィンガーに生ずる応力 σ_x の、同図中に示すX軸上の分布および σ_y のY'軸上の分布である。両応力分布より、レジンに生ずる応力はチップとリードフィンガー、すなわち異材との接合部において大きく変化していることがわかる。よってレジン部において上述のような非常に接近した異材界面を有する構造は設計上好ましくない。

5. 結言

熱負荷を受けるレジンモールドICの3次元的な応力・ひずみ解析を目的とし、すでに著者らが提案している多層構造体の有限要素法を用い、プラスチック・パッケージ厚さとチップサイズをパラメータとした基本モデル、および実際の複雑な寸法・形状を有する実用モデルの熱応力解析を行ない、以下の結果を得た。

- (i) プラスチック・パッケージ厚さ h をパラメータとした基本モデルの解析より、一般に h の増加は表層のレジンの応力を低下させるが、一方、チップとダイパッドのコーナ近傍を含む中間層のレジン、チップ、ダイアタッチメント、およびチップ上面などの異材界面に生ずる応力を増加させることがわかった。
 - (ii) チップサイズ A_c をパラメータとした基本モデルの解析より、一般に A_c の増加は表層のレジンの応力を増加させるとともに中間層のレジンおよびチップに生ずる応力を低下させる。ただし、破損に大きく関与すると思われるチップとダイパッドのコーナ近傍におけるレジンやダイアタッチメント、チップ上面などの異材界面に生ずる応力については A_c の変化の影響は大きくないことがわかった。
 - (iii) 実用モデルの解析においてはチップやダイパッド端の各境界形状不連続部、およびチップ上面、リードフィンガー、ダイパッド下面とレジンの異材界面等で著しい応力集中現象がみられ、それらは実際のICの破損状況と良く対応していることが確認された。
- なお本研究の一部は文部省科学研究費一般研究B (No.63460077)およびセコム科学技術振興財団の援助の下で行われたものである。

文献

- (1) 三浦・他, 機論, 53-493, A (1987), 1826.
- (2) 服部・他, 機論, 54-499, A (1988), 597.
- (3) 北野・他, 機論, 54-505, A (1988), 1709.
- (4) 尾田・他, 機論, 57-535, A (1991), 掲載予定