パッケージング応力起因の半導体素子特性変動*

三浦英生^{*1}, 西村朝雄^{*1}Electronic Characteristic Changes of Semiconductor Devices
Caused by Packaging Stress

Hideo MIURA and Asao NISHIMURA

The effect of packaging stress on device characteristics was determined experimentally. The sensitivity to stress of the electronic characteristics of MOSFETs was measured by applying uni axial stress to the transistor. The sensitivity to stress was shown to depend on the transistor conduction type and the current flow direction. The packaging stress effect on a simple inverter amplifier using MOSFETs was measured by changing the packaging materials. The residual stress distribution was also measured using stress sensing gauges embedded in LSI chips. The distribution of the amplifier gain change rate agreed well with the residual stress distribution in the LSI chip. The amplifier gain change rate was calculated based on the experimental results of the sensitivity to stress of the electronic characteristics of MOSFETs and the residual stress distribution. This predicted amplifier gain change rate agreed well with the measured data.

Key Words: Experimental Stress Analysis, Residual Stress, Reliability, Nondestructive Inspection, Semiconductor, Electronic Packaging

1. 緒 言

半導体製品開発においては、機能の高度化、記憶容量の高集積化に伴い、半導体(シリコン)チップ寸法が急激に大形化している。これは、薄膜の微細加工技術の開発速度が、記憶容量の高集積化の進展速度に追従できていないためである。例えば代表的な製品として挙げられる DRAM(Dynamic Random Access Memory)製品においては、素子の記憶容量が 256 k(キロ)bit から 16 M(メガ)bit に高集積化される一方で、チップ寸法(面積)は約 30 mm² から約 120 mm² へと 4 倍にも増加している。

一般に、半導体素子は樹脂に覆われたプラスチックパッケージに搭載されており、樹脂封止は、熱硬化性樹脂を使用して 180°C 程度の温度で行われることから、この樹脂封止に伴い、半導体チップには室温近傍で圧縮応力が発生する。従来、半導体チップ寸法はパッケージ寸法と比較すると十分小さかったため、この応力発生は製品の信頼性に大きな影響を及ぼすことはなかった。しかし、このような半導体チップの大形化は、この樹脂応力を増加させる傾向にあることから、パッケ

ージ内部で応力起因の不良が急増する傾向にある。代表的な不良事例としては、半導体チップ自体や封止樹脂の割れ、あるいは半導体チップと金属フレーム間を電気的に接続するワイヤ(30 μmφ 程度)の断線等がある^{(1)~(5)}。このため、半導体製品開発においても、低応力化を図るための構造設計、応力解析、材料設計等が不可欠になり、応力解析技術、測定技術等が活発に開発され^{(6)~(13)}、製品開発段階における不良は大幅に減少しつつある。

しかし、このような“目に見える”不良は対策できつつあるものの、近年、半導体チップ中にひずみが残留すると、製品の電気特性が劣化する場合があることが明らかとなってきた^{(14)~(16)}。この半導体製品特性に影響を与える物理現象としては、半導体の電気抵抗率に変動するピエゾ抵抗効果、あるいは半導体中電子のエネルギーギャップシフト等の存在が知られている⁽¹⁷⁾⁽¹⁸⁾。

したがって、半導体チップに発生する応力の増加は、半導体素子(トランジスタや抵抗)の電気特性、あるいは信頼性にも大きな影響を及ぼす可能性がある。このため、今後の製品開発においては、半導体チップ内部に発生する応力と、半導体素子の電気特性変動の相関性を正確に把握し、変動量が所定の値以下となるよう

* 原稿受付 1995 年 2 月 9 日。

^{*1} 正員、(株)日立製作所機械研究所 (〒300 土浦市神立町 502)。

に製品の構造あるいは材料設計を行うことが重要な課題になるものと考えられる。

著者らはこれまでに、半導体チップに発生する応力を直接測定する技術として、半導体チップ表面にひずみゲージを埋め込み、チップに発生している応力を三次元成分に分離検出する技術を開発し、製品における応力発生メカニズムの検討を進めてきた^{(19)~(22)}。そこで、本報では、半導体チップに応力が発生した場合の半導体素子単体および回路特性の変動量を予測する技術開発を目的として、トランジスタ基本特性の応力感度を実験的に明らかにするとともに、実際の樹脂封止前後における半導体回路特性の変動の測定およびその変動メカニズムの解析を行った概要について報告する。

2. 実験方法

半導体チップの応力測定用ひずみゲージの構造および測定原理について図1を使用して簡単に説明する⁽¹⁹⁾。ひずみゲージは、半導体チップ(シリコン単結晶)の表面から、シリコンを電気的に活性化する不純物(例えばリンやホウ素)を、単結晶シリコンの結晶方位を考慮して拡散させ、拡散抵抗層を形成する方法で作製する。図1に示したように、単結晶シリコンの(100)結晶面上に、拡散抵抗層を図中の結晶軸方位に形成した場合の各拡散抵抗層の応力に対する抵抗変動率は次式で表される。

$$\frac{\delta R_1}{R_1} = \frac{1}{2} \{ \pi_{11}^n + \pi_{12}^n + \pi_{44}^n \} \sigma_x + \frac{1}{2} \{ \pi_{11}^n + \pi_{12}^n - \pi_{44}^n \} \sigma_y + \pi_{12}^n \sigma_z \quad \dots\dots\dots (1 \cdot a)$$

$$\frac{\delta R_2}{R_2} = \frac{1}{2} \{ \pi_{11}^n + \pi_{12}^n - \pi_{44}^n \} \sigma_x + \frac{1}{2} \{ \pi_{11}^n + \pi_{12}^n + \pi_{44}^n \} \sigma_y + \pi_{12}^n \sigma_z \quad \dots\dots\dots (1 \cdot b)$$

$$\frac{\delta R_3}{R_3} = \frac{1}{2} \{ \pi_{11}^p + \pi_{12}^p \} (\sigma_x + \sigma_y) + \pi_{12}^p \sigma_z + \{ \pi_{11}^p - \pi_{12}^p \} \tau_{xy} \quad \dots\dots\dots (1 \cdot c)$$

Fig. 1 Diffused resistors layout of a stress sensing gauge embedded in LSI chips

$$\frac{\delta R_4}{R_4} = \frac{1}{2} \{ \pi_{11}^p + \pi_{12}^p \} (\sigma_x + \sigma_y) + \pi_{12}^p \sigma_z - \{ \pi_{11}^p - \pi_{12}^p \} \tau_{xy} \quad \dots\dots\dots (1 \cdot d)$$

ここで、 $\delta R/R$ は抵抗変動率、 π_{ij} はピエゾ抵抗係数、 σ_j は垂直応力成分、 τ_{xy} は面内のせん断応力成分である。上添字 p, n は拡散抵抗層の電気伝導形を示しており、 p は正孔伝導形、 n は電子伝導形を示している。なお、シリコンの(100)結晶面上に拡散抵抗層を形成した場合には、原理的に式(1)中の4個の応力成分に対してのみ応力感度が存在し、面外のせん断応力成分に起因した抵抗率変動は発生しない。したがって、表1⁽¹⁹⁾に示したように n 形抵抗層のピエゾ抵抗係数と p 形抵抗層の係数は独立の関係にあることから、各拡散抵抗層の抵抗変動率を測定し、式(1)を解くことで発生している応力成分を一意に決定することができる。本ひずみゲージを半導体チップ(長さ約12 mm、幅約8 mm、厚さ約0.5 mm)内部に複数作り込むことで、半導体チップ内部の応力分布測定を行った。なお、本報における応力測定分解能は1 MPaであり、測定温度の影響を除去するために温度センサも内蔵させた⁽¹⁹⁾。

トランジスタの電気特性に及ぼす応力の影響の実験的検討には、四点曲げ試験法を使用し、一軸応力負荷に伴う特性変動の測定を行った。本報では、図2に示したようなMOS形(Metal-Oxide-Semiconductor)のトランジスタを測定対象とし、トランジスタの重要な基本特性である、電流立ち上りしきい電圧(以下 V_{th} と呼ぶ)、拡散層の抵抗率、および電圧増幅率を決定するコンダクタンス(以下 G_m と呼ぶ)について応力変動を測定した。

樹脂封止応力測定には、図3に示したSOJ形

Table 1 Piezoresistive constants of the stress sensing gauge

	π_{11}	π_{12}	π_{44}
n-type	-48.4	25.3	-11.3
p-type	5.7	-2.3	125

(UNITS: $10^{-11} \text{ m}^2/\text{N}$)

Fig. 2 Cross-sectional structure of a MOSFET

(Small outline J-bend)パッケージを使用した。パッケージ構成材料の機械的特性を表2にまとめて示す。リードフレーム材料を2種類、封止樹脂材料を3種類使用し、組合せを変更することで半導体素子に発生する応力レベルを変化させた。

3. トランジスタ特性の応力起因変動

MOS形トランジスタに一軸応力を負荷し、各基本特性の応力に伴う変動を測定した結果を順に述べる。なお、トランジスタの動作条件としては、ソース電圧、ドレイン電圧をそれぞれ0V、1Vに設定した。トランジスタの V_{th} は、ゲート電極に電圧を印加し、ソース/ドレイン間に流れる電流が10nAに達する電圧と定義した。また、 G_m は次式(2)で定義される。ここで、 V_g はゲート電圧、 I_d はソース/ドレイン間電流である。

$$G_m = \max \left\{ \frac{\partial I_d}{\partial V_g} \right\} \dots\dots\dots (2)$$

PMOSおよびNMOSトランジスタの V_{th} の応力起因変動測定結果を図4(a)、(b)にそれぞれ示す。いずれの図においても、図中に示した記号 $\sigma//\langle ijk \rangle$ は、電流方向をシリコンの結晶方位 $\langle ijk \rangle$ と平行となるように設計したトランジスタに対して、 $\langle ijk \rangle$ 方位と平行に応力を作用させた場合の測定結果であり、 σ

$\perp \langle ijk \rangle$ は $\langle ijk \rangle$ 方位と垂直に応力を作用させた場合の測定結果である。トランジスタの電流方向が $\langle 100 \rangle$ 方位と平行なトランジスタにおいては、 V_{th} は応力を平行あるいは垂直のいずれの方向から作用させてもほとんど変化しないことがわかる。一方、従来から使用されている、電流方向が $\langle 110 \rangle$ 方位と平行なトランジスタにおいては、応力の作用方向によらず圧縮応力の増加にほぼ比例して V_{th} は増加することがわかる。増加量は、PMOSトランジスタにおいては数mV/100MPa程度であるが、NMOSトランジスタにおいては数十mV/100MPaにも達している。したがって、NMOSトランジスタの V_{th} のほうが応力感度が高いと言える。

同様にして、PMOS、NMOSトランジスタの G_m の応力感度を測定した結果をまとめて図5(a)、(b)に示す。各図中の記号の意味は図4と同じである。いずれのトランジスタにおいても、トランジスタの電流方向がシリコンの $\langle 100 \rangle$ 結晶方位と平行な場合には、 G_m の応力による変動量は、応力を垂直、平行いずれの方向から作用させても0.1%/100MPa以下と実用的には無視できる程度に小さいことがわかる。しかし、

Table 2 Mechanical properties of a packaging materials

Materials	Young's modulus (GPa)	Thermal expansion coefficient (ppm/°C)	Molding compound parameter (MPa/°C)
Silicon	170	3	-
Fe-Ni alloy	148	5	-
Cu alloy	113	17	-
Molding compound A	15	24	0.32
Molding compound B	15	20	0.26
Molding compound C	13	18	0.20

Fig. 3 Internal structure of an SOJ-type package

(a) p-type MOS (PMOS)

(b) n-type MOS (NMOS)

Fig. 4 Stress dependence of threshold voltage (V_{th}) change of MOSFETs

電流方向が $\langle 110 \rangle$ 方位と平行なトランジスタにおいては、 V_{th} の場合と同様に大きな変動が生じる。PMOS トランジスタにおいては、 G_m の変動方向(増加あるいは減少)は応力の作用方向により異なる。応力を電流方向と平行に作用させた場合には、 G_m は圧縮応力の増加に比例して増加する。増加量は、約15%/100 MPaに達する。応力を電流方向と垂直に作用させた場合には、 G_m は逆に圧縮応力の増加に比例して減少する。減少量は、約17%/100 MPaである。したがって、PMOS トランジスタでは、応力が等方的に作用した場合には G_m の値は実質的にはほとんど変化しないことになる。一方、NMOS トランジスタにおいては、応力の作用方向によらず、 G_m の値は圧縮応力の増加に比例して単調に減少する。減少量は、約2%/100 MPa程度である。したがって、一般に樹脂封止に伴って半導体チップには圧縮応力が作用するので、NMOS トランジスタの G_m の値は、樹脂封止に伴い減少することになる。以上のMOS トランジスタにおける、 G_m の応力起因変動挙動の測定結果は、これまで報告されている結果⁽¹⁴⁾⁽¹⁵⁾と定性的には一致するものの、定量的

には異なっている。 G_m の応力感度はトランジスタの構造そのものにも依存している可能性がある⁽¹⁵⁾ことから、応力変動のメカニズムに関しては今後詳細に検討していく必要がある。

4. 樹脂封止後の半導体チップ内応力分布

半導体チップを実際のパッケージに樹脂封止した場合に、チップ内に発生する応力分布の測定例を図6に示す。本測定は、リードフレーム材料としてCu合金を、封止樹脂として樹脂Aを使用したものである。図の横軸はチップ中央からのチップ長手方向の位置を表しており、縦軸は各応力成分の応力値である。図中の記号 σ は垂直応力成分、 τ はせん断応力成分をそれぞれ示している。座標はチップ表面において長手方向を x 方向、幅方向を y 方向、チップ表面の法線方向を z 方向としている。また、 $\sigma_x, \sigma_y, \sigma_z$ は圧縮応力であることから便宜上マイナス符号で表している。本結果から明らかなように、樹脂封止に伴ってチップに発生する応力場は、近似的にはチップ表面内の二次元応力場になる。しかも、面外の垂直応力成分 σ_z 、面内のせん断

(a) p -type MOS (PMOS)

(b) n -type MOS (NMOS)

Fig. 5 Stress dependence of transconductance (G_m) change of MOSFETs

Fig. 6 Residual stress distribution in an LSI chip after encapsulation

Fig. 7 Packaging material dependence of σ_x at the chip surface center

応力成分 τ_{xy} は、ともにチップ中央近傍では 1 MPa 以下であり、チップ端(チップ中央から 6 mm の位置)から 0.5 mm の領域でわずかに増加傾向を示すものの測定範囲では数 MPa 程度である。一方、面内の垂直応力成分 σ_x, σ_y はチップ中央で最大値を示し、チップ端に向けて単調に減少する分布となっている。絶対値は σ_x が大きく、チップ中央で最大値約 210 MPa(圧縮応力)が得られている。 σ_y の最大値(圧縮応力)は同じくチップ中央で約 140 MPa である。このようにチップに発生する応力は等方的ではない。これはチップおよびパッケージ形状が長方形形状をもっているための形状効果の影響である。以上の各応力成分の分布形状はチップ幅方向でも同様に得られている。

最も大きな応力値を示したチップ中央における σ_x の値のパッケージ材料依存性の測定結果をまとめて図 7 に示す。図の横軸 R_p は、封止樹脂の機械的特性を表す特性パラメータで、樹脂のヤング率と樹脂とシリコンの線膨張係数差の積である⁽²³⁾。縦軸のマイナス符号は圧縮応力であることを示している。また、図中にはリードフレーム材料として 42 Ni-Fe 合金を使用した場合と Cu 合金を使用した場合の測定結果をそれぞれ示している。本図から明らかなように、 σ_x の値は樹脂特性パラメータ R_p にほぼ比例して増加する。さらに、リードフレーム材料を 42 Ni-Fe 合金から Cu 合金に変更すると、応力値は約 40% も増加する。この σ_x のリードフレーム材料依存性はリードフレーム材料と樹脂の線膨張係数の大小関係に基づくものである。すなわち、42 Ni-Fe 合金の線膨張係数は樹脂のそれと比較すると小さいため、樹脂封止に伴う収縮力(圧縮応力)をリードフレームも一部負担してくれる。一方、Cu 合金の場合には、線膨張係数の値が樹脂と同等であることから、樹脂封止応力をリードフレームがほとんど負担せず、半導体チップが直接負担することになる。このため、リードフレーム材料を 42 Ni-Fe 合金から Cu 合金に変更するとチップ応力が増加する。した

がって、半導体チップの応力設計を行う場合には、封止樹脂とリードフレーム材料の組合せを詳細に検討しなければならない。

5. 樹脂封止に伴う増幅回路特性の変動

樹脂封止に伴う半導体素子回路特性の変動を検討するため、基本増幅回路であるインバータ回路(図 8 参照)の増幅特性の変動を評価した。この回路はトランジスタ 1 個と負荷抵抗(R_L) 1 個からなる最も簡単な回路である。本増幅回路を、各応力センサ近傍に 1 個ずつ設けた。

PMOS トランジスタおよび p 形拡散抵抗で構成したインバータ回路における増幅率変動の測定結果を、図 9 (a), (b) に示す。図 9 (a) はリードフレーム材料として Cu 合金を、封止樹脂として樹脂 A を使用して封止した半導体チップの、チップ中央から長手方向チップ端に向けての変動量分布、図 9 (b) はチップ中央における最大変動量のパッケージ材料依存性である。PMOS インバータ回路の増幅率は、樹脂封止に伴いわずかに増加する。増加率はチップ中央で最大(約 1.2%)となり、チップ端に向けて単調に減少する分布となっている。チップ中央における増幅率の増加率はパッケージ材料の組合せにも依存する。増加率は、封

Fig. 8 Basic inverter amplifier

(a) Distribution of amplifier gain change

(b) Packaging material dependence of amplifier gain change

Fig. 9 Amplifier gain change of a p -type MOSFET inverter circuit

止樹脂の特性パラメータにほぼ比例して増加する。また、リードフレーム材料を 42 Ni-Fe 合金から Cu 合金に変更すると、増加率は約 40% も増加する。以上のチップ内における増幅率の変動率分布およびパッケージ材料依存性は、先に述べた樹脂封止に伴うチップ応力の測定結果と対応するものである。

同様に、NMOS トランジスタおよび n 形拡散抵抗で構成したインバータ回路における増幅率変動の測定結果を、図 10(a), (b) に示す。図 10(a) はリードフレーム材料として Cu 合金を、封止樹脂として樹脂 A を使用して封止した半導体チップの、チップ中央から長手方向チップ端に向けての変動率分布、図 10(b) はチップ中央における最大変動量のパッケージ材料依存性である。NMOS インバータ回路の増幅率は、樹脂封止に伴い PMOS インバータ回路とは逆に減少する。減少率はチップ中央で最大(約 3.5%)となり、チップ端に向けて単調に減少する分布となっている。この 3.5% という値は単独では特に製品性能を著しく低下させるものではないが、増幅回路が本インバータ回路を複数使用した多段増幅回路の場合には深刻な性能低下を引き起こす可能性がある。例えば本インバータ回路を直列に三段接続した場合には、回路全体の増幅率は $(0.965)^3 = 0.9$ となり、10% も低下することになる。

(a) Distribution of amplifier gain change

(b) Packaging material dependence of amplifier gain change

Fig. 10 Amplifier gain change of an n -type MOSFET inverter circuit

となる。

チップ中央における増幅率の減少率はこれまでと同様、パッケージ材料の組合せにも依存する。減少率は、封止樹脂の特性パラメータにほぼ比例して増加する。また、リードフレーム材料を 42 Ni-Fe 合金から Cu 合金に変更すると、減少率は約 40% も増加する。以上のチップ内における増幅率の変動率分布およびパッケージ材料依存性は、やはり樹脂封止に伴うチップ応力の測定結果と対応する。

以上の測定結果から、半導体回路の特性は樹脂封止に伴い、変動する場合があることが明らかとなった。しかし、特性変動の方向(増加か減少か)あるいは変動量は使用する半導体素子の形(p 形か n 形か)によって異なっている。したがって、このままでは実際の複雑な回路の特性変動を正確に予測するのは困難である。そこで、今回評価した基本インバータ回路の増幅率変動の解析方法について次に検討した。

6. 回路特性の変動予測方法の検討

樹脂封止応力に起因した半導体回路特性の変動予測方法を検討するため、各半導体素子(トランジスタおよび抵抗)特性の応力感度の測定結果および樹脂封止後の半導体チップ内応力分布測定結果を使用して、インバータ回路の増幅率変動の予測を試みた。

図 8 に示したインバータ回路の等価回路は、近似的に図 11 のように表すことができる。本等価回路における電圧増幅率 $AG (= V_{out}/V_{in})$ は次式(3)で表される。

$$AG = \frac{-G_m r_d R_L}{r_d + R_L} \quad (3)$$

ここで、 G_m , R_L は先に述べたトランジスタのコンダクタンスと負荷抵抗である。また、 r_d はトランジスタの出力抵抗(ドレイン抵抗)である。式(3)の電圧増幅率 AG を決定するパラメータの応力感度はすでに測定してある(抵抗の変動量は応力センサの動作原理であるピエゾ抵抗効果から算出できる)ことから、樹脂

Fig. 11 Equivalent circuit of a basic inverter circuit

封止に伴う半導体チップの電圧増幅回路の応力起因変動(予測値)を解析することが可能である。

実際に評価したインバータ回路では、トランジスタおよび抵抗の電流方向は x 方向(チップ長手方向)に平行となるように配置してあることから、トランジスタの G_m の変動率は次式(4)を使用して算出した。

$$\delta G_m / G_m = \beta_{//} \sigma_x + \beta_{\perp} \sigma_y \quad \dots\dots\dots (4)$$

ここで、係数 $\beta_{//}$ および $\beta_{\perp}$ は、それぞれトランジスタの電流方向と平行に応力を作用させた場合と垂直に作用させた場合の G_m の応力感度である。

抵抗値の変動率は式(1・a)を利用して算出した。ただし、インバータ回路が配置された半導体チップ中央近傍においては、 σ_x, σ_y に比較して σ_z および τ_{xy} は無視できることが実験から明らかになっているので、 σ_x と σ_y の影響のみに着目し、次式(5)を使用して変動予測を行った。

$$\frac{\delta R}{R} = \frac{1}{2} \{ \pi_{11}^i + \pi_{12}^i + \pi_{44}^i \} \sigma_x + \frac{1}{2} \{ \pi_{11}^i + \pi_{12}^i - \pi_{44}^i \} \sigma_y \quad \dots\dots\dots (5)$$

ここで添字 i は、抵抗の形、すなわち p 形か n 形かを

示すものである。

以上の式(4)および式(5)を式(3)に代入することで、インバータ回路の増幅率の変動 AG_p を予測する式は次式(6)のように決定される。

$$AG_p = \frac{-G_m \left(1 + \frac{\delta G_m}{G_m} \right) \left\{ r_d \left(1 + \frac{\delta r_d}{r_d} \right) \right\} \left\{ R_L \left(1 + \frac{\delta R_L}{R_L} \right) \right\}}{\left\{ r_d \left(1 + \frac{\delta r_d}{r_d} \right) \right\} + \left\{ R_L \left(1 + \frac{\delta R_L}{R_L} \right) \right\}} \quad \dots\dots\dots (6)$$

樹脂封止後の半導体チップの応力分布測定結果に基づき、算出した増幅率の変動量と実際の測定結果の比較をまとめて図12(a), (b)に示す。各図の横軸は、封止に使用した樹脂の特性パラメータ R_p 、縦軸は増幅率の変動率である。また、各図中には、リードフレーム材料として42 Ni-Fe合金(□, ■印)とCu合金(○, ●印)を使用した場合の結果を表示している。白抜き記号が解析結果で黒塗り記号が測定結果である。図12(a)はPMOSインバータ回路における評価結果である。解析(予測)結果(増幅率の増加挙動)は、樹脂の特性パラメータ R_p 依存性、リードフレーム材料依存性ともに約0.1%(相対的には10%)以内の誤差で測定結果と一致していることがわかる。

同様に、NMOSインバータ回路について比較を行った結果が図12(b)である。NMOSインバータ回路においても、増幅率の変動(減少)の樹脂の特性パラメータ R_p 依存性、リードフレーム材料依存性の予測結果は、約0.2%(相対的には10%)程度の誤差範囲で測定結果と一致することを確認した。以上の評価結果から、簡易等価回路を使用して、各半導体素子(トランジスタや抵抗)の応力感度をデータベースとしても、樹脂封止に伴い半導体チップに発生する応力分布を正確に評価(解析あるいは測定)することができれば、10%程度の誤差で回路特性の変動を予測できる見通しが得られた。

実際の製品において使用される回路は今回評価に使用したような簡単なものではなく、非常に複雑であり、かつ微視的にはトランジスタ構造も製品ごとに異なることから、応力感度データベースを構築するのは容易ではない。今後は、応力起因変動の物理メカニズムを理論的により詳細に明らかにすることで特性変動予測技術の精度向上を図る予定である。

7. 結 言

樹脂封止工程において、半導体チップに発生する応力起因の、半導体素子単体および回路の電気特性変動

Fig. 12 Comparison of predicted amplifier gain change of inverter circuits with measured results

予測技術について検討し、以下の知見を得た。

(1) トランジスタや抵抗のような半導体素子の電気特性(例えばトランジスタのコンダクタンスや抵抗値)は、チップに応力が作用すると10%以上も変動する場合があることを明らかにした。

(2) 特性変動量は半導体素子を形成する単結晶シリコン基板の結晶方位にも依存し、特に電流方向が $\langle 100 \rangle$ 結晶軸と平行な場合には、 $\langle 110 \rangle$ 結晶軸と平行な場合と比較して1けた以上も低いことを明らかにした。

(3) 樹脂封止に伴い半導体チップに発生する応力は、近似的にはチップ表面における二次元応力場となること、主として発生するのは面内の垂直応力成分で、数百MPaに達する圧縮応力が作用する場合があることを明らかにした。

(4) 樹脂封止応力の封止樹脂およびリードフレーム材料依存性を明らかにした。

(5) 樹脂封止に伴う基本インバータ回路の電圧増幅特性の変動を各半導体素子特性の応力感度およびチップ内の応力分布を用いて10%程度以内の誤差で予測できる見通しを得た。

本研究を進めるに当たり、評価試料の作製および評価結果の討論にご協力いただいた(株)日立製作所中央研究所の武田英次 ULSI センタ長、三浦明美研究員、および半導体事業部の河合末男部長、西邦彦副部長、中村篤主任技師に感謝の意を表す。

文 献

- (1) Van Kessel, C. G. M., ほか2名, *Proc. of the 33rd Electronic Components Conf.*, (1983-5), 237.
- (2) Thomas, R. E., *Proc. of the 35th Electronic Compo-*

- nents Conf.*, (1985), 37.
- (3) Nishimura, A., ほか3名, *IEEE Trans. on Components, Hybrids, and Manufacturing Technology*, CHMT-10-4 (1987), 637.
- (4) Nishimura, A., ほか2名, *IEEE Trans. on Components, Hybrids, and Manufacturing Technology*, 12-4 (1989), 639.
- (5) Kitano, M., ほか2名, *Proc. of the International Reliability Physics Symposium*, (1988-4), 90.
- (6) Usell, R. J. and Smiley, S. A., *Proc. of the 19th Ann. Reliability Physics Symposium*, (1981-4), 65.
- (7) Okikawa, S., *Proc. of Int. Symp. Testing and Failure Analysis*, (1983-4), 275.
- (8) Edwards, D. R., *Proc. of the 33rd Electronic Components Conf.*, (1983-4), 386.
- (9) Groothuis, S., *Proc. of the 23rd Ann. Reliability Physics Symposium*, (1985-4), 182.
- (10) Edwards, D. R., *IEEE Trans. on Components, Hybrids, and Manufacturing Technology*, CHMT-10-4 (1987), 618.
- (11) Spencer, J. L., *Proc. of the 19th Ann. Reliability Physics Symp.*, (1981-4), 105.
- (12) Van Den Bogert, W. F., *IEEE Trans. on Components, Hybrids, and Manufacturing Technology*, CHMT-11-3 (1988), 245.
- (13) Lundstrom, P. and Gustafsson, K., *Proc. of the 38th Electronic Components Conf.*, (1988-5), 396.
- (14) Komatsu, S., *IEEE Catalog*, 80CH1616-2 (1980), 144.
- (15) Mitsuhashi, J., ほか2名, *Tech. Dig. of Int. Electron Devices Meeting*, (1986-12), 386.
- (16) Hamada, A., ほか3名, *IEEE Trans. on Electron Devices*, 38-4 (1991), 895.
- (17) Smith, C. S., *Phys. Rev.*, **94** (1954), 42.
- (18) Kanda, Y., *IEEE Trans. on Electron Devices*, ED-29-1 (1982), 64.
- (19) 三浦・ほか3名, 機論, **53**-493, A (1987), 1826.
- (20) 三浦・ほか3名, 機論, **55**-516, A (1989), 1763.
- (21) Miura, H., ほか3名, *Proc. of the 40th Electronic Components and Technology Conf.*, (1990-5), 316.
- (22) Miura, H., ほか3名, *ASME J. Electronic Packaging*, **115**-9 (1993), 9.
- (23) 三浦・ほか3名, 機論, **57**-539, A (1991), 1575.