マイクロスケールひずみセンサを用いた 三次元フリップチップ実装構造内局所残留応力測定に関する研究*

佐々木 拓也^{*1}, 上田 啓貴^{*2}, 三浦 英生^{*3}

Measurement of Local Residual Stress in Si Chips Mounted by Flip Chip Technology Using Micron Scale Strain Sensors

Takuya SASAKI, Nobuki UETA and Hideo MIURA^{*4}

^{**} Fracture and Reliability Research Institute, Graduate School of Engineering, Tohoku University,
6-6-11-716 Aoba, Aramaki, Aoba-ku, Sendai-shi, Miyagi, 980-8579 Japan

The change of the electronic performance of NMOS transistors caused by mechanical stress was measured by applying a four-point bending method. The change rate of the transconductance of NMOS transistors increased to about 15%/100-MPa by decreasing the gate length from 400 nm to 150 nm. In addition, the local residual stress in the stacked chips mounted by a flip chip technology was measured by utilizing piezoresistive stress sensors with 2- μ m long gauges. The amplitude of the residual stress in the top chip was almost constant of about 220 MPa regardless of the bottom bump alignment. On the other hand, the amplitude of the residual stress in the bottom chip decreased to about 80 MPa depending on the relative position of bumps between the top and bottom chips.

Key Words: Structural Reliability, Experimental Mechanics, Residual Stress, 3-D Stacked Structure, Flip-Chip Technology

1. 緒 言

近年、携帯電話やノート PC 等の小型電子機器において、機能や性能の高度化と機器の小型軽量化あるいは低コスト化を加速するために、搭載する半導体デバイスの実装密度も急速に高まっている。このため、システム LSI 実装を中心として、メモリや ASIC 等の異なる機能を有する複数のチップを 1 パッケージ内に集約する三次元実装構造の製品適用が加速しており、SiP(System in Package)あるいは CoC(Chip on Chip)等が既に実用化されている⁽¹⁾。例えば、SMAFTI(Smart Chip Connection with Feedthrough Interposer)と呼ばれる DRAM と論理 LSI を混載した CoC や MCL(Multi Chip LSI)と呼ばれる DRAM 混載論理 LSI が開発されており、主に携帯機器やゲーム機の画像処理 LSI として使用されている⁽²⁾⁽³⁾。また、この三次元実装構造においては、高速信号処理を実現する上で、接続端子数の増加、配線長

の縮小による配線抵抗や容量の低減が不可欠となっている。このため、チップ間の電気接続方式に微細バンブを用いたフリップチップ実装技術が採用されている。さらに、携帯機器を中心にシステムやモジュール全体の厚さにも厳しい制約があることから、積層する半導体チップの厚さも数 100 μ m から数 10 μ m まで急速に薄型化する傾向にある。

このエリアアレイ型のフリップチップ実装構造は、積層するチップ間あるいはチップと基板間の電気接続に銅やはんだなどの金属微細バンブを用い、接続信頼性を確保するため、バンブ間に樹脂等の絶縁体材料を充填する構造となる。著者らは既に、ワイヤーボンディング接続からフリップチップ接続に実装形態を変化させると、チップとバンブ接続界面近傍にバンブ周期に依存して局所的な残留応力分布が発生することを明らかにしてきた。また、この局所残留応力の発現メカニズムが複数混在し、残留応力の絶対値や振幅はチップ厚さ、バンブ幅、バンブピッチに依存して大きく変化することを解析と実証実験を通して明らかにしてきた⁽⁴⁾⁽⁵⁾。また、複数の薄型チップを積層する三次元実装構造では、実装構造全体の曲げの中立軸からの距離に依存して、積層チップ間に発生する平均残留応力値に相違(分布)が生じる。さらに、積層チップ間に配置

* 原稿受付 2008 年 10 月 3 日。

^{*1} 准員、東北大学大学院工学研究科(〒980-8579 仙台市青葉区荒巻青葉 6-6-11-716)。

^{*2} 正員、東北大学大学院工学研究科。

^{*3} 正員、フェロー、東北大学大学院工学研究科。

E-mail: hmiura@rift.mech.tohoku.ac.jp

されるバンプの相対位置関係に依存して、積層構造の局所的な曲げ剛性分布も変化するため、局所的には残留応力値が数倍も変化する可能性がある⁽⁵⁾。このような残留応力により、チップ割れや Low-k 材料の割れ等の機械的な不良の発生が懸念される。さらに、Si 結晶のバンドギャップあるいは不純物準位が Si 結晶のひずみに依存してシフトすることは、 piezo 抵抗効果⁽⁶⁾等の存在で公知であることから、局所的な高い残留応力の発生により、チップ内や積層チップ間で電子回路を構成するトランジスタの電気特性や回路特性に局所的な分布や変化が生じ、製品の信頼性に多大な影響を及ぼす危険性がある⁽⁷⁾⁽⁸⁾。従って、三次元フリップチップ実装構造の実装信頼性を確保するためには、積層チップ内の残留応力分布を定量的に把握して、局所残留応力をできるだけ小さくする実装材料システムあるいは構造設計指針を確立することが不可欠である。

そこで本報告では、電子回路を構成するトランジスタの微細化動向を考慮し、トランジスタ特性の応力起因変動率のゲート長依存性を測定した。また、チップ積層構造の積層チップ内に発生する局所残留応力を単結晶 Si の piezo 抵抗効果を応用した試作センサチップにより実測した。その結果、最上層チップと下段チップではバンプによるチップの拘束状態が異なることから、局所残留応力が大幅に異なることを実証した結果について述べる。

2. トランジスタの応力起因特性変動測定

ひずみ Si 技術で明らかのように、Si 結晶がひずむことで拡散層のバンドギャップ構造が変化し、デバイス特性がシフトする⁽⁸⁾。材料強度試験法でもある 4 点曲げ試験法を応用して NMOS トランジスタに一軸応力を負荷した場合のドレイン電流 I_d のゲート電圧 V_g 依存性の変動測定例を図 1 に示す。本測定例では

Fig. 1 Example of the change of I_d - V_g characteristic of NMOS transistors caused by mechanical stress

NMOS トランジスタのチャネル平行方向に引張応力を 120 MPa まで負荷している。負荷応力の増加に伴いドレイン電流 (I_d) が単調に増加していることがわかる。ゲート長を 400 nm から 150 nm まで変化させたトランジスタに対して同様な実験を行い、NMOS トランジスタの相互コンダクタンス (G_m : 本測定では図 1 の曲線の傾きの最大値) 特性の応力起因変動感度のゲート長依存性を測定した結果を図 2 に示す。測定した範囲においては、トランジスタゲート長の微細化に伴い、応力起因特性変動感度が急激に増加することが確認できる。ゲート長 150 nm の NMOS トランジスタにおいては、 G_m 特性変動は最大で約 15%/100 MPa にまで達している。

トランジスタの微細化は今後さらに加速されることから、この応力起因のトランジスタの特性変動感度は、微細化に伴いさらに増加することが懸念される。したがって、三次元実装構造内の局所残留応力を低減する構造・材料設計が一層重要になるものと考えられる。なお、トランジスタの特性変動感度は各トランジスタ構造にも依存して変化するので、あらかじめこの感度を定量的に把握しておくことも重要であると言える。

3. 積層フリップチップ実装構造における Si チップ内の局所残留応力分布解析

3.1 フリップチップ実装構造における Si チップ内局所残留応力分布の発現メカニズム フリップチップ実装構造は Si チップ、基板、バンプ、アンダーフィルがそれぞれ接続界面を共有する構造である。このため、各部材間で線膨張係数差が存在する場合、局所的に熱応力が発生する。フリップチップ実装構造において、熱応力の発生源となる異種材料の組合せは、主として (1) チップと基板、(2) バンプとアンダーフィル、(3) チップとバンプ、(4) チップとアンダーフィルの 4 種類になる。各応力発生メカニズムと構造の剛性を

Fig. 2 Effect of the gate length on the change of the transconductance (G_m) of NMOS transistors caused by mechanical stress

考慮すると、チップ内局所残留応力の主要な発生メカニズムが、①実装構造の局所的な剛性分布、②バンパとアンダーフィルの線膨張係数差、③局所的なバイメタル構造の熱変形量の差で説明できることを著者らは提案してきた⁽⁴⁾。以下にそれぞれのメカニズムについて簡単に説明する。

まず、①のメカニズムを図3に示す概念図を用いて説明する。チップと基板に線膨張係数差が存在すると、図中の左図で示すようにバイメタル変形により、構造全体は一様な曲率半径で変形する。しかし、図中の右図に示すように、フリップチップ実装構造では、チップと直接接合する部材はバンパとアンダーフィルである。このため、バンパとアンダーフィルの弾性率に相違がある場合、即ち、実装構造内に局所的な剛性分布が存在する場合、チップの変形にも分布、すなわちひずみ分布が生じる。

次に、②のメカニズムを図4に示す概念図を用いて説明する。バンパとアンダーフィルに線膨張係数差が存在する場合、バンパとアンダーフィル間でチップ厚さ方向の熱変形量に差が生じる。このため、図4で示したように、薄型化されたチップにおいては、局所的に曲げ変形が発生し、チップ内にひずみ分布が発生する。

Fig. 3 Mechanism of the local thermal stress in a Si chip caused by the local distribution of the stiffness in stacked structure

Fig. 4 Mechanism of the local thermal stress in a Si chip caused by the difference of the thermal expansion coefficient between bumps and underfill

最後に、③のメカニズムを図5に示す概念図を用いて説明する。図中に示したチップとバンパ、チップとアンダーフィルの局所的なバイメタル構造において、バンパとアンダーフィルの材料物性が一致しない限り、それぞれのバイメタル変形にも相違が生じることになり、結果としてチップ内にもひずみ分布が発生する。

最終的なチップ内の残留応力分布は、主としてこれらのメカニズムにより発現する局所残留応力が重畳して決定される⁽⁴⁾。積層フリップチップ実装構造においては、最上段以外のチップでは、チップ上下に配置されるバンパの相対位置関係に依存してチップの局所変形に対する拘束状態が変化する。このため、上述した複数の応力発現メカニズムの相対的な重要性も積層バンパ間の相対位置関係にも依存して変化し、各チップ内の残留応力分布も積層構造に依存して大幅に変化するものと考えられる。そこで、有限要素法解析を用いて、積層フリップチップ実装構造内のチップ内の残留応力分布を定量的に検討した。

3.2 解析モデル 基本構造としてエリアアレイ型にバンパを配置し、チップを二段積層した実装構造を仮定した。図6に二次元解析モデル例を示す。基板は幅6 mm、厚さ1 mmを仮定し、バンパ高さ100 μm 、バンパ幅100 μm の銅バンパを周期200 μm で配置する構造を仮定した(ただし、チップ中央のバンパのみバンパ幅200 μm)。また、上下チップでバンパ配置が同一のモデル[図6(a)]と上下チップでバンパ位置が一致しない交互配置モデル[図6(b)]を仮定した。構造の対称性を考慮して、1/2断面を解析の対象とした。本解析では、要素形状は四辺形四節点、要素数26 640、節点数27 025、最小要素寸法を0.5 μm とし、二次元の一般化平面ひずみモデルで解析した。また、解析ではSiチップ、樹脂基板、バンパ間充填用熱硬化性樹脂(アンダーフィル)は弾性体と仮定し、Cuバンパのみ弾塑性体として近似(降伏応力300 MPaの

Fig. 5 Mechanism of the local thermal stress in a Si chip caused by the difference in the deformation of local bimetal structures

二直線近似)し弾塑性解析を行った。表1に解析に使用した材料定数を示す。アンダーフィルの硬化温度(180°Cを仮定)から室温(30°C)を想定し構造全体に温度差-150 Kを与えた。また、評価パラメータとしてトランジスタの電気的特性変化を検討するために、構造中心から約1 mm離れた、チップのトランジスタ形成面に発生する水平(x)方向垂直応力の最大値と隣接バンプ間に生じる局所応力分布の振幅(Peak to Peak)を用いた。また、解析には汎用有限要素法プログラム ANSYS(ver. 8.0)を使用した。

3・3 二段積層フリップチップ実装構造における Si チップ内局所残留応力分布 上下チップ厚さを 100 μm 一定とし、積層バンパ位置が同一のモデル [図 6(a)] を用いて、各チップのトランジスタ形成面に発生する x 方向垂直応力分布を解析した結果を図 7 に示す。各チップのトランジスタ形成面には、バンパ配列周期に依存して発生するチップの局所的な面外変

Table 1 Materials constant

Material	Young's modulus (GPa)	Poisson's ratio	Thermal expansion coefficient ($10^{-6}/K$)
Si	130	0.28	4.2
Cu bump	130	0.34	16.5
Underfil	3	0.30	70.0
Substrate	20	0.25	16.0

Fig. 6 Finite element model for the analysis of residual stress in Si chips mounted by flip chip technology

形により、周期的な応力分布が発生する。また、本実装構造ではチップの線膨張係数より基板の線膨張係数が著しく大きいために、構造全体は上に凸の曲げ変形が生じる。このため、曲げの中立軸からの距離に依存して、下段チップ内のトランジスタ形成面に発生する x 方向垂直応力の最大値は約 -170 MPa であるのに対し、上段チップでは約 -150 MPa とやや減少する。一方、 x 方向垂直応力の振幅は、下段チップでは約 40 MPa であるのに対し、上段チップでは約 100 MPa と大幅に増加する。これは、上段チップの上面は自由表面であるのに対し、下段チップでは、チップ上下が同一部材により構成される上下対称構造であることから、チップの局所面外変形が著しく拘束されるためである。

次に、上下チップ厚さを $100\text{ }\mu\text{m}$ 一定とし、上下チップでバンパ位置が一致しない交互配置モデル〔図 6(b)〕を用いて、各チップのトランジスタ形成面に発生する x 方向垂直応力分布を解析した結果を図 8 に示す。本解析モデルにおいて、下段チップはバンパ

Fig.7 Distribution of the normal stress along the x -direction in each Si chip in the synchronous bump alignment model

Fig. 8 Distribution of the normal stress along the x -direction in each Si chip in the alternative bump alignment model

配置が同一のモデルと同位相であるのに対し、上段チップではバンパ配置は位相を 180 度シフトしている。このため、上段チップと下段チップの応力分布は位相が 180 度ずれる。まず、上段チップ内の残留応力分布は、位相は 180 度シフトしているが、最大値、応力振幅いずれもバンパ配置が同一のモデルと同等である。従って、最上段チップ内に発生する残留応力分布は、下段チップと基板間を接続するバンパ配列には依存しないと言える。しかし、下段チップ内のトランジスタ形成面に発生する x 方向垂直応力の最大値は約 -210 MPa、応力振幅は約 120 MPa と図 7 に示したバンパ位置が同一のモデルと比較するとそれぞれ大幅に増加する。これは、上下のバンパ位置が交互配置となる構造では下段チップにおいて、前述した上下対称構造がくずれ、チップの面外変形拘束条件が消失し、局所変形が発生するためである。

以上述べたように、複数チップ積層構造内のチップ内の局所残留応力分布がバンパの相対位置関係に依存して大幅に変化することを示した。そこで、有限要素法解析に基づく局所残留応力の変動を実証するため、 piezo 抵抗効果を用いたセンサチップを試作し、積層フリップチップ実装構造内の局所残留応力を測定した。

4. 試作センサチップを用いた 積層フリップチップ実装構造内の 局所残留応力測定

4.1 単結晶 Si の piezo 抵抗効果を用いたひずみセンサと動作原理 本試作センサには単結晶 Si の piezo 抵抗効果を応用した。piezo 抵抗効果とは応力(ひずみ)により、結晶格子にひずみが生じた場合、結晶内のバンド構造が変化し、結晶の電気抵抗が変化する現象である。この piezo 抵抗効果による抵抗値変化率と応力の関係は以下の piezo 抵抗テンソル演算式で表される。

Fig. 9 Alignment of strain gauges on (001) crystallographic surface of single-crystalline silicon

$$\frac{1}{\rho} \begin{pmatrix} \delta\rho_{xx} \\ \delta\rho_{yy} \\ \delta\rho_{zz} \\ \delta\rho_{yz} \\ \delta\rho_{zx} \\ \delta\rho_{xy} \end{pmatrix} = \begin{pmatrix} \pi_{11} & \pi_{12} & \pi_{13} & \pi_{14} & \pi_{15} & \pi_{16} \\ \pi_{21} & \pi_{22} & \pi_{23} & \pi_{24} & \pi_{25} & \pi_{26} \\ \pi_{31} & \pi_{32} & \pi_{33} & \pi_{34} & \pi_{35} & \pi_{36} \\ \pi_{41} & \pi_{42} & \pi_{43} & \pi_{44} & \pi_{45} & \pi_{46} \\ \pi_{51} & \pi_{52} & \pi_{53} & \pi_{54} & \pi_{55} & \pi_{56} \\ \pi_{61} & \pi_{62} & \pi_{63} & \pi_{64} & \pi_{65} & \pi_{66} \end{pmatrix} \times \begin{pmatrix} \sigma_{xx} \\ \sigma_{yy} \\ \sigma_{zz} \\ \tau_{yz} \\ \tau_{zx} \\ \tau_{xy} \end{pmatrix} \quad (1)$$

ここで、 $\delta\rho_{ij}(i, j=x, y, z)$ は i 方向に電流を流した際に j 方向で検出される比抵抗の変化成分、 $\sigma_{ii}(i=x, y, z)$ は各座標軸方向の垂直応力成分、 $\tau_{ij}(i, j=x, y, z)$ は各座標軸面内のせん断成分である。 $\pi_{ij}(i, j=1\sim6)$ は piezo 抵抗係数と呼ばれる。単結晶シリコンの異方性により平面内にセンサを図 9 のようにそれぞれの結晶軸で 4 つ設置することにより (1) 式から次式 (2) - (5) が得られ、三次元ひずみ成分の分離測定が可能となる⁽⁹⁾。

$$\frac{\delta\rho_1}{\rho_1} = \frac{1}{2} \{ \pi_{11} + \pi_{12} + \pi_{44} \} \sigma_x + \frac{1}{2} \{ \pi_{11} + \pi_{12} - \pi_{44} \} \sigma_y + \pi_{12} \sigma_z \quad (2)$$

$$\frac{\delta\rho_2}{\rho_2} = \frac{1}{2} \{ \pi_{11} + \pi_{12} \} \{ \sigma_x + \sigma_y \} + \pi_{12} \sigma_z + \{ \pi_{11} - \pi_{12} \} \tau_{xy} \quad (3)$$

$$\frac{\delta\rho_3}{\rho_3} = \frac{1}{2} \{ \pi_{11} + \pi_{12} - \pi_{44} \} \sigma_x + \frac{1}{2} \{ \pi_{11} + \pi_{12} + \pi_{44} \} \sigma_y + \pi_{12} \sigma_z \quad (4)$$

$$\frac{\delta\rho_4}{\rho_4} = \frac{1}{2} \{ \pi_{11} + \pi_{12} \} \{ \sigma_x + \sigma_y \} + \pi_{12} \sigma_z - \{ \pi_{11} - \pi_{12} \} \tau_{xy} \quad (5)$$

試作センサチップの概観図を図 10 に示す。本センサチップは 8 mm 角でチップ厚さは約 140 μm まで薄型化しており、192 個のセンサが配線されている。右

Fig. 10 Outlook of a sensor chip for measuring strain distribution in stacked chips

図に示すように、搭載されているセンサはゲージ長 $2\ \mu\text{m}$ 、幅は $0.5\ \mu\text{m}$ とし、三次元ひずみ成分の分離測定を可能にするために、図9に示したように4本のひずみゲージを1組として配置している。また、センサチップ内には、隣接バンプ間の $100\ \mu\text{m}$ 間に5組のセンサゲージを配置している。このセンサゲージは、2010年に実現すると予測されている、最小バンプ径 $20\ \mu\text{m}$ のフリップチップ実装構造内の局所残留応力分布も測定可能である。抵抗体の抵抗値は約 $4\ \text{k}\Omega$ であり、4点曲げ試験治具を用いて測定した本センサのピエゾ抵抗係数は約 $-2.53 \times 10^{-4}/\text{MPa}$ であり、多結晶シリコン薄膜を用いて試作したひずみセンサ⁽⁴⁾と比較して、応力感度は約10倍である。また、Si単結晶を用いて $4\ \text{mm}$ 角のダミーチップ(試作基板)も試作した。ダミーチップ上には、径 $200\ \mu\text{m}$ 、高さ $50\ \mu\text{m}$ の銅めっきバンプをピッチ $200\ \mu\text{m}$ でエリアアレイ状に172個配置した。

4・2 一段積層フリップチップ実装構造内の局所熱残留応力分布の測定 本センサチップを用いて一段積層フリップチップ実装構造のトランジスタ形成面の応力分布を測定した。センサチップは厚さ $280\ \mu\text{m}$ のバンプ形成基板上に実装した。実装ではアンダーフィル材を模擬した銀ペーストを用い、 200°C で約 $7\ \text{N}$ の熱圧着を行った。この一段フリップチップ実装構造内のトランジスタ形成面に発生する熱残留応力分布の測

Fig. 11 Measurement of the residual stress distribution at a transistor formation surface in a stacked chip

Fig. 12 Cross-sectional structure of a two-chip-stacked structure for the measurement of stress distribution in a top chip

定結果を図11に示す。本測定では、測定温度は 30°C に制御した。図の横軸はチップ内のエリアアレイ配置されたバンプ・アンダーフィルの1周期を示しており、縦軸はチップ面内の垂直応力を示している。また、図中の各測定点には、チップ内の同等位置で測定した各20点の測定誤差(測定時の温度誤差や熱圧着後のバンプの塑性変形状態のばらつき等に起因)をエラーバーで表示している。バンプ・アンダーフィルの配列周期に沿って明確に残留応力分布が形成されていることが確認でき、最大で応力振幅は約 $250\ \text{MPa}$ にも達することを明らかにした。解析で使用したアンダーフィル材料と銀ペーストの物性が大きく異なるため、定量的な相違は存在するが、この実験結果は、前章で示した有限要素法解析結果の妥当性を実証したものと考えている。

4・3 二段積層フリップチップ実装構造におけるチップ内の局所熱残留応力分布の測定 二段積層フリップチップ実装試作構造の断面構造観察写真を図12に示す。上段のセンサチップ厚さは $140\ \mu\text{m}$ 、中段のバンプ形成ダミーチップは厚さ $140\ \mu\text{m}$ 、最下段のバンプ形成基板は厚さ $280\ \mu\text{m}$ である。本試作実装構造は、上下チップ間のバンプ位置はほぼ交互配置になっていることが確認できる。実装にはアンダーフィル材料の代替として、熱硬化性の銀ペーストを用い、 200°C 30分で硬化させた。熱圧着では、約 $7\ \text{N}$ の荷重を加えた。この二段積層フリップチップ実装構造内の上段チップ内に発生する局所残留応力の測定結果を図13に示す。図中の各測定点のエラーバーの意味は前述した通りである。本構造においてもバンプ・アンダーフィルの配列周期に沿って明確に応力分布が形成されることが確認できる。測定された応力振幅は約 $220\ \text{MPa}$ であり、図8で示した一段積層フリップチップ実装構造の測定結果とほぼ一致した。従って、最上段チップ内の応力振幅値は下段バンプ配列に依存しないことを確認した。

Fig. 13 Measured local residual stress distribution in a top chip

Fig. 14 Cross-sectional structure of a two-chip-stacked structure for the measurement of stress distribution in a bottom chip

次に、下段チップ内に発生する局所熱残留応力分布を測定するために試作した二段積層フリップチップ実装構造の断面図を図 14 に示す。上段のダミーチップは厚さ $140\ \mu\text{m}$ 、中段のセンサチップ厚さは $140\ \mu\text{m}$ 、最下段の bumps 形成基板は厚さ $280\ \mu\text{m}$ である。本試作実装構造の上下チップ間の bumps 位置は、ほぼ一致していることが確認できる。実装方法は前述した通りである。この二段積層フリップチップ実装構造内の下段チップ内に発生する局所残留応力の測定結果を図 15 に示す。図中の各測定点のエラーバーの意味は前述した通りである。bumps 配列周期に従い下段チップにおいても周期的な応力分布が発生するものの、応力振幅は最大でも約 $80\ \text{MPa}$ であった。この値は、上段チップ内に発生した局所応力振幅の半分以下である。本結果は、第 3 章で述べた、上下の bumps 位置が一致する構造におけるチップの面外変形拘束の影響を実証したものと考えている。以上の結果から、有限要素解析により明らかにした局所残留応力変動メカニズムを実証できたものと考えている。また、本測定結果と図 1, 2 の結果を考慮すると、応力によるトランジスタ特性変動が数%～数十%にも達する危険性があることを確認でき、残留応力を低減する bumps レイアウトやチップ厚さ等の実装構造の最適化が不可欠である。

5. 結 言

超 LSI の微細化動向を考慮し、トランジスタ特性の応力起因変動率のゲート長依存性を測定した。その結果、NMOS トランジスタの G_m 特性が一軸引張応力負荷により向上すること、またその変動率はゲート長が $400\ \text{nm}$ から $150\ \text{nm}$ まで縮小されるに伴い単調に増加し、最大で $15\%/100\text{-MPa}$ にも達することを明らかにした。また、有限要素法解析を用いて積層フリップチップ実装構造の積層チップ内に発生する局所残留応力が積層 bumps 間の相対位置関係に依存して約 $40\ \text{MPa}$ から約 $120\ \text{MPa}$ にまで変動することを明らかにした。さらに、単結晶 Si の piezo 抵抗効果を適用し

Fig. 15 Measured local residual stress distribution in a bottom chip

たゲージ長 $2\ \mu\text{m}$ のセンサチップを試作し、積層フリップチップ実装構造のチップ内局所残留応力を測定した。その結果、チップのトランジスタ形成面に bumps とアンダーフィルの配列周期に沿って局所残留応力分布が発生し、その応力振幅は最上段チップで約 $220\ \text{MPa}$ にも達することを実証した。一方、上下チップの bumps 配置が同一となる構造において、局所的なチップの面外変形が拘束される下段チップでは、応力振幅が最大でも約 $80\ \text{MPa}$ に抑制されることも明らかにし、有限要素法解析結果の妥当性を実証した。以上の結果から、三次元フリップチップ実装構造内の局所残留応力を低減するためには、bumps レイアウト等の構造因子を最適化する構造設計が不可欠であることを明らかにした。

文 献

- (1) Electronics & Information Technology Industries Association ed., Electronic System Integration Technical Committee, and Japan Jisso Technology Roadmap Council, *Japan Jisso Technology Roadmap 2003* (2003).
- (2) Ezaki, T., Ozaki, H., Ishikawa, N. and Sasaki, N., High Speed Data Transfer Technology Using COC-Multichip LSI (MCL), *Journal of Japan Institute of Electronics Packaging*, Vol. 8, No. 7 (2005), pp. 550-554.
- (3) Nikkei Electronics, No. 939, 11-20 (2006), pp. 67-74.
- (4) Ueta, N. and Miura, H., *Dominant Structural Factors of Local Residual Stresses in Three-dimensionally Stacked LSI Chips Mounted Using Flip Chip Technology*, ASME/The 9th PACIFIC Rim Technical Conference and Exhibition on Integration and Packaging of MEMS, NEMS and Electronic Systems, No. IPACK 2007-33402 (2007), (CD-ROM).
- (5) Ueta, N. and Miura, H., *Structural Design of Three-dimensionally Stacked Silicon Chips for Minimizing Their Residual Stress*, 9th International Conference on Electronic Materials And Packaging, No. A052 (2007), (CD-ROM).
- (6) Smith, C. S., Piezoresistance effect in Germanium and Silicon, *Physical Review*, Vol. 94 (1954), pp. 42-49.
- (7) Hamada, A., Furusawa, T., Saito, N. and Takeda, E., A new aspect of mechanical stress effects in scaled MOS devices, *IEEE Trans on Electron Devices*, Vol.

838 マイクロスケールひずみセンサを用いた三次元フリップチップ実装構造内局所残留応力測定に関する研究

- 38, No. 4 (1991), pp. 895-900.
- (8) Miura, H. and Nishimura, A., Device Characteristic Changes Caused by Packaging Stress, *ASME, Mechanics and Materials for Electronic Packaging*, Vol. AMD-195 (1994), pp. 101-109.
- (9) Miura, H., Kitano, M., Nishimura, A. and Kawai, S., Thermal Stress Measurement in Silicon Chips Encapsulated in IC Plastic Packages Under Temperature Cycling, *ASME, Journal of Electronic Packaging*, Vol. 115 (1993), pp. 9-15.
-