施設レイアウトにおける配置と通路設定の同時最適化*

白井 裕^{*1}, 松本直文^{*2}Simultaneous Optimization of Floor and Aisle Planning
for Facility Layout Problems

Yutaka SHIRAI and Naofumi MATSUMOTO

Shop layout and aisle routing in factories, equipment layout and piping in chemical plants, and machine or cell layout and AGV routing in FMS are important problems to be solved having been remained in the research area of facilities planning. In this paper, we propose an optimization method aiming simultaneous floor and aisle planning based on Simulated Annealing (SA). This method permits us to decide optimal block placement without any overlap between blocks, optimal I/O ports of blocks and optimal aisle routing, subject to a constraint of a placement region. Also, we propose a modified maze routing (M. M. R.) for planning aisles or routing AGVs. M. M. R. can penalize excess crossings of paths, excess traffic density and excess number of corners. Finally, we clarify the effectiveness of this method, based on numerical experiments.

Key Words: Layout Planning, Aisle Planning, Simultaneous Optimization, Simulated Annealing, Maze Routing, Modified Maze Routing, Pareto Solutions

1. 緒言

工場における職場と通路の設計, 化学プラントにおける装置と配管経路の設計, 並びに FMS (Flexible Manufacturing System) におけるマシンやセルの配置と通路や AGV (Automated Guided Vehicle) の経路の設計は, 工場計画の研究分野に残された, 解決すべき重要な問題の一つであり, 近年これらに関する研究が活発化しつつある⁽¹⁾⁻⁽⁶⁾.

本稿では, この種の配置(レイアウト)設計と通路(または搬送経路や配管)設計の同時最適化問題を扱う. 配置および通路設定の最適化問題は, それぞれ NP 困難性が指摘されている⁽⁷⁾. すなわち, 決定的な(運や当て推量によらない)方法では多項式時間で解けず, ほとんど手に負えない問題と考えられている.

これまで著者らが扱ってきたレイアウト問題では, プラント等の設備や職場をサイズの異なる矩形ブロックとみなし, 各ブロック間のフローや近接性の要求をできるだけ満たし, かつ各ブロックを重なりなく配置

するものと定義した⁽⁸⁾. そこでは, 工場内のマシンや職場の部門を矩形ブロックと見なし, 矩形ブロック内にメンテナンス領域や通路を含めて考えてすき間なくブロックを配置するものとした.

さらに, 実際のプラント等の設備を配置する場合, 配置領域に強い制限が加えられ, この配置領域の制約(枠制約)を無視するわけにはいかない場合があり, 枠制約付き問題に対して新しい考え方に基づく解法も考案してきた⁽⁹⁾. 問題を簡単にするために, 通路の設計は, レイアウト問題の最良解を得たあとに, 別途行うことを考えていた.

本研究では, 工場や化学プラント等において職場(または装置)と通路(または搬送経路や配管)を最適に設計する場合に, 配置と通路設定を同時に最適化できる解法の提示を行う.

これに対する従来の研究では, メインおよびサブ通路をあらかじめ与え, 職場配置と入出力端子の位置を決定する方法⁽¹⁾, 通路幅を設定せずに配置と入出力端子の位置および大まかな通路設計を行う方法⁽²⁾⁽³⁾, メイン通路はある程度固定し, 配置とともに枝通路のみを決定する方法⁽⁴⁾, および入出力端子が固定のマシンレイアウトと AGV フローパスを同時に考慮する方法⁽⁵⁾などが提案されている. また, 藤田ら⁽⁶⁾は, 統合

* 原稿受付 1998年5月20日.

^{*1} 正員, 足利工業大学大学院 (☎ 326-8558 足利市大前町 268-1).^{*2} 正員, 足利工業大学工学部.
E-mail: matsu@ashitech.ac.jp

化モデルによる配置配管処理法を提案した。まず装置の概略配置を決定し、次にルールに基づき順次配管経路を決定するもので、同時最適化を目指してはいない。

ここで提案する職場配置と通路設定の同時最適化アルゴリズムは、ブロックを配置するとき配置領域とともに通路スペースも考慮しながらブロックを詰め込む方法を用いている。また、通路設定のために、通路の交差、屈曲および人や物の移動頻度に応じたペナルティを考慮した、迷路(maze)法⁽¹⁰⁾の改良法を新たに考案し、アルゴリズムに組み込んでいる。さらに、解の最適性を追求するために、組合せ最適化法として有効視されているSA(Simulated Annealing)を用いている。ここでは、以下に本解法の提示を行い、数値実験により、その妥当性と有効性を明らかにする。

本解法では通路設定に関し、あらかじめ何らかの情報を与える必要がなく、各ブロックに1箇所必要な入出力端子の位置設定も自動的に行うことができる。ただし、入出力端子の位置指定や建物の出入口の位置指定は可能である。

2. 職場配置・通路設定の同時最適化問題

2・1 問題の設定 工場やプラントにおける現実の状況をふまえて、問題の設定を行った。主要な設定項目は以下のとおりである。

- (1) 職場や設備などは矩形ブロックとする。各ブロックの面積とアスペクト比は、要求仕様に依拠して異なる。
- (2) フローの存在するブロック間の人や物の移動は、ブロック間に設置する通路を通して行う。すなわち、隣同士のブロック間の移動にも通路を用いる。
- (3) 各ブロックの入出力端子は、基本的に1箇所とする。その位置は、ブロックの四隅のうちのひとつとする。
- (4) ブロック間の距離は、各ブロックの入出力端子間の通路に沿ったマンハッタン距離とする。
- (5) 省スペースのため、使用されない通路は削除する。
- (6) 人や物の移動密度(通路混雑度)の分散化、通路同士の過度な交差の回避及び通路の屈曲数の低減を考慮できる。

本稿では、同一通路上の交通量の過密さを表すために、通路混雑度の用語を用いる。

2・2 問題の定式化 職場配置と通路設定の同時

最適化問題は、次のように定式化できる。

$$\begin{aligned} \min. f = & \sum_{i=1}^n \sum_{j=1}^n c_{ij} d_{ij} + p_1 \sum_{i=1}^{n-1} \sum_{j=i+1}^n a_{ij} \\ & + p_2 \sum_{i=1}^n b_i + p_3 \sum_{i=1}^{n-1} \sum_{j=i+1}^n h_{ij} + p_4 \sum_{i=1}^{n-1} \sum_{j=i+1}^n e_{ij} \\ & + p_5 \sum_{i=1}^{n-1} \sum_{j=i+1}^n g_{ij} \dots\dots\dots (1) \end{aligned}$$

ここで、

n : ブロック数,

c_{ij} : ブロック i から j へのフロー,

d_{ij} : ブロック i と j の入出力端子間のマンハッタン距離,

a_{ij} : ブロック i と j の重なり面積,

b_i : ブロック i の枠からはみ出し面積,

h_{ij} : i, j 間の通路の総交差回数,

e_{ij} : i, j 間の通路の総屈曲回数,

g_{ij} : i, j 間の通路混雑度の最大値,

である。

このほかに、使用されない通路に対するペナルティが考えられるが、上式(1)には入っていない。

p_1, p_2 は配置に関するペナルティ、 $p_3 \sim p_5$ は通路に関するペナルティ定数を示している。

決定変数は各ブロックの入出力端子位置、向きおよび各入出力端子間の経路である。式(1)の右辺第1項は重み付き距離の総和であり、これが枠制約なしのレイアウト問題の目的関数であり、重み付き総移動距離の最小を意味する。第2項はブロック間の重なりに関するペナルティ項、第3項はブロックの配置枠からの飛び出しに関するペナルティ項、第4項は経路の交差回数に関するペナルティ項、第5項は屈曲に関するペナルティ項、第6項は通路混雑度に関するペナルティ項を表している。

式(1)は、ブロック間の重み付き移動(搬送)距離の総和を最小にする際に、ブロック間の重なりと枠からはみ出しがなく、かつ通路同士の交差回数、屈曲回数ならびに通路混雑度に制約を加えることを意味する。 p_1, p_2 は強いペナルティであり、 p_3, p_4, p_5 は零もしくは有限の値をとる弱いペナルティと考えられる。

3. 提案する解法

3・1 提案する解法の考え方 ブロックの配置案を生成すると同時に、通路のスペースを考慮して、その全経路を決定するためのSAに基づく解法を提案する。

前述のように、配置と通路設定の同時最適化に関する従来の技法^{(1)~(5)}では、メイン通路をあらかじめ与

えるか、枠制約なしか、入出力端子位置を固定するなど、制約を緩めるか何らかの通路設定に関する情報を設計者が用意する必要があった。

提案する本解法の特徴は、通路設定に関する情報を用意する必要がなく、すべての通路形態とブロック配置および入出力端子位置を同時に決定できる点にある。

提案する解法の概要を図1に示す。本解法では、ある与えられたブロック配置と入出力端子位置に対し、迷路法もしくは改良迷路法を用いて、各一对入出力端子間の最短経路を求めること、並びに SA によりブロック配置(位置, 向き)と入出力端子位置に変更を加えながら、総移動距離の最小を目的として、解の進化を図る。また、改良迷路法では、最短経路設定時に経路の交差、通路混雑度、屈曲数に応じたペナルティを考慮できる点が新しい。

ここでは、配置領域(枠内)を単位長さを基準としてメッシュ状に分割し、各ブロックの形状が縦横それぞれメッシュ何個分かを情報として与える。当面、ブロック形状は変化させないこととする。通路幅は、メッシュ1個分とする。また、配置領域にブロックを配置する際に、ブロック間に通路幅をあけてパッキング(packing)法⁽⁹⁾を適用する。これは、上方向を優先に左上に向けて、ブロックのパッキング順に従って各ブロックを詰め込む方法である。その考え方を図2に例示する。

3.2 解の表現方法(コーディング法) 上記のパッキング法に対応して、ブロックの配置案を生成すると同時に、通路のスペースを考慮して、通路形状を決

定するためには、解の表現法の工夫が必要である。本研究では、表1のようにパッキング順序、ブロック番号、ブロックの向き、入出力端子の位置を記述した解の表現を採用する。ただし、ブロックの向きの指定は、

0: 水平方向 1: 垂直方向

のいずれかにブロックを配置することを意味する。

また図3に示すように入出力端子位置の番号付けは、ブロックの左上角より反時計回りに行うものとする。入出力端子の位置は、ブロックの四つの角をランダムに一つ選ぶことができるものとする。ただし、ブロックが配置領域の角に配置され、そのブロックの入出力端子の位置も角にある場合(例えば図3の①)は、その対角側(図3の③)に入出力端子の位置を変更する。

提案する解法では、入出力端子から通路への接続方向は、場合により複数方向を許している(図3の矢印参照)。入出力端子から通路への接続方向(ドア位置)

Table 1 Coding of solution for simultaneous floor and aisle planning

Packing sequence	1	2	3	4	5	...
No. of block	6	4	8	3	7	...
Direction of block	1	0	0	1	1	...
I/O port position	2	4	1	2	3	...

Fig. 2 Illustrating block packing method

Fig. 3 Example of I/O port positions

Fig. 1 Concept of simultaneous floor and aisle planning

をブロックごとに一方向に限定することは可能である。また、ブロックの辺上の任意の位置にドアを設定できるように解法を改良することも容易である。これらは、いずれも解表現の変更が必要である。

3・3 職場配置・通路設定の同時最適化アルゴリズム 本稿で提案する、職場配置・通路設定の同時最適化アルゴリズムは、3・1節で述べたように、メトロポリス基準による、内部ループを有する通常のSA解法に基づく。この場合、冷却パラメータ α と各温度でのループ回数(エポック数) L のパラメータが必要となる。 t は、コントロール・パラメータであり、一般に温度と呼ばれている。 t_0 は初期温度である。 $f(x)$ は、解 x に対する目的関数である。

SAに基づいて提案したアルゴリズムを以下に示す。

職場配置・通路設定の同時最適化のアルゴリズム

[step 0] 初期温度 t_0 , 終了温度 t_f , 冷却パラメータ α , エポック数 L を設定する。

[step 1] ランダムに配置順序と向きおよび入出力端子位置を生成する。 $t=t_0$ とおく。

[step 2] 解候補の生成:

- (a) パッキング法によりブロックを配置する。そのときブロックの周囲に単位幅の通路候補のスペースをとる。
- (b) 最短経路算出による通路候補の設定: 迷路法または改良迷路法を使用する。同一経路上の隣接する仮想端子間を通路とする。
- (c) 通路候補の未使用スペースを左上角に向けて削除し、(b)を実行する。これらの処理を未使用スペースがなくなるまで続ける。

[step 3] 解候補 x の目的関数値 $f(x)$ を求める。

[step 4] 温度 $t \leq t_f$ ならば、そのときの配置と目的関数値 $f(x)$ を出力して終了。

[step 5] 解の摂動:

一対ブロックの交換, 突然変異的な 90° 回転と入出力端子位置の変更を行う。
さらに[step 2]と同じ処理を行う。

[step 6] 摂動された解 x' の $f(x')$ を求め、 $f(x')$ と $f(x)$ の差 Δf を計算する。

[step 7] $\Delta f \leq 0$ ならば $x=x'$ とおく。さもなければ一様乱数 $r(0 \leq r \leq 1)$ を発生させ、
 $\exp(-\Delta f/t) > r$ ならば、 $x=x'$ とおく。

[step 8] [step 5~8] を L 回ループさせる。

[step 9] $t=\alpha \cdot t$ として更新し、[step 4]へ。

パッキング処理、最短経路算出および未使用スペースの削除の各処理は、step 2 と 5 において同等であ

る。パッキング処理では、与えられたブロックの配置順序と向きに応じて、前掲の図2のように通路幅1単位だけスペースを空けて、ブロックを詰め込む。最短経路算出では、後述の迷路法または改良迷路法を使用する。未使用スペースの削除処理では、通路候補のスペースのうち未使用の部分のすき間を詰める。未使用スペースの削除時には、その後に必ず最短経路算出を行う。以上の処理は、ブロックの移動がなくなるまで行う。

なお、メタ戦略の中でSAを選んだ理由の一つは、SAがほかに比べメモリ容量が少ないことであった。上記のアルゴリズムを他のメタ戦略ベースに変更することは可能である。

また、step 2 のパッキング法において、左上角に向けてブロックを詰め込む際に、枠の左辺と上辺に沿って通路スペースをあける方法も考えられる。これへの変更も容易である。

3・4 最短経路算出法(迷路法) 通路(配線、または配管)最適決定問題において考えられる解法の一つとしては、VLSI(超大規模集積回路)における配線処理のために開発された迷路法⁽¹⁰⁾を挙げることができる。迷路法は、さまざまな障害物(ブロック)を避けて始点と終点を最短距離で結ぶ経路設定のためのヒューリスティック法である。

以下に、文献(10)を参考にして、著者らがまとめた迷路法のアルゴリズムを示す。

迷路法(M. R.)のアルゴリズム

[step 0] 配置領域を格子状に分割し、この領域にS(始点)、T(終点)、X(障害物)を配置する。

また、初期のラベル番号(探索番号)は、1とする。

<Path Search Phase>

[step 1] S から上下左右四方向のセルに以下のルールでラベル番号を配置する。

- ・ルール 1...同一方向でラベル付けされるセルの個数は、4個までとする。
- ・ルール 2...ラベル付けが、Xにぶつかった場合は、そこでラベル付けを止める。

[step 2] [step 1]でラベル付けされたセルを新たな始点 S' とする。ラベル番号を一つ増してラベル付けがTに到達するまで[step 1]を繰り返す。

<Trace Back Phase>

[step 3] T を始点として上下左右四方向をそれぞれ探索して現在のラベル番号よりも小さいラベル番号があればそこを新たな始点 T' [図4(c)]

加える。

[step 2] FIFO リストが空になれば終了。さもなくば [step 1]へ。

FIFO(First-In First-Out)リストは、要素の挿入順に取り出しと削除ができるリストであり、キュー(queue)とも呼ばれる。FIFO リストが空になることは、全通路が決定したことを示す。

改良迷路法は、 c_{ij} の大きい順に通路を決定して行く一種の貪欲法(greedy method)⁽¹¹⁾である。これにより最適性が保障されるわけではないが、最良に近い設計が得られるものと期待できる。

図5に改良迷路法を適用して、交差のペナルティにより経路が一对端子の最短経路からずれて遠回りに設定されるようすを示す。この例では、すでに設置された経路ABをよけてCDが設定されている。この例は、AB間のフロー値が3のケースで、ABの経路設定後にCを始点としてDに向けてラベル付けする際に、経路AB上のセルのラベル値がフロー値だけ足され、結局経路ABを迂回してCDが設定される。

4. 数値実験と解法の評価

上記のアルゴリズムに基づいた、職場配置と通路設

Fig. 5 Change of route penalized by crossing of paths

M. R.=Maze routing M. M. R.=Modified M. R.

Fig. 6 Generating Pareto solutions

定の同時最適化システムをPC上でC言語を用いて開発した。解法の妥当性および有効性を確認するために、本システムをブロック数10の問題に適用した。この実行例では、ブロックのアスペクト比を固定にしている。SAのパラメータ設定は、初期温度は100、終了温度は1.0、 $\alpha=0.999$ および $L=1$ とした。この α および L の設定は、 $\alpha=0.9$ および $L=100$ に相当する温度制御であり、予備実験により同等の性能(解の最適性と計算時間)を得ることを確認した。また、迷路法を用いたときのペナルティは、 $p_1=\infty$, $p_2=\infty$, $p_3=0$, $p_4=0$, $p_5=0$ であり、改良迷路法を用いたときのペナルティは、 $p_1=\infty$, $p_2=\infty$, $p_3=1$, $p_4=0$, $p_5=1$ に設定した。

図6には、10回の試行を行った結果を総移動距離 f とレイアウト面積 S を正規化してプロットしたものである。この図において、迷路法に基づくケースではパレート解が存在する。一方改良迷路法では、 f と S の最小となる解 B が存在する。パレート解を形成する解より一つの解を選定するのは設計者に任される。図6中の A は、配置面積を重視したケースである。

図6より、迷路法ではペナルティがない分、平均的に改良迷路法に比べて f と S がともによくなる。改良迷路法では過大な通路の交差や通路混雑度を防止しながら、迷路法のケースに近い最良解が得られることがわかる。本解法にもフレキシブルなブロック形状に対処する工夫⁽¹²⁾を導入することにより、デッドスペースの低減を図ることは可能と思われる。 S の大きいほどデッドスペースが大きいことを示す。

図7には、経路探索において、迷路法を用いた場合の最良解に至るまでのスナップショットの一例を示す。各ブロックの“*”は、それぞれの入出力端子の位置、“○”は経路の交差や屈曲点を示す。図中の数字はブロックの番号を示している。図7(a)には、ブロックの初期配置を示し、(b)にその配置に対する全経路を表示している。(c)には、最終的に得られた配置および通路を示す。これは図6中の A 点对应する。

この図7より、最初の配置では、配置領域にすき間が多く存在し、経路もばらばらで総経路長も長いことがわかる。それに対し、最終レイアウトでは、配置領域のすき間がほとんどなくコンパクトにまとまった配置が求められていて、通路もまとまって、おおよそのメイン通路を決めることができる。この例では、一つのループ状のメイン通路(図7(c)中のハッチング部分)が形成されている。

図7(c)のブロック6と10間、およびブロック8と

(a) Initial block layout

(b) Initial routing corresponding to (a)

(c) Final layout and routing

Fig. 7 Evolution of solutions obtained by maze routing

9間の通路スペースなどは削除できるようにも見える。しかし、本システムでは一対ブロックのどちらかの辺に接するセル上に経路の印(図7(c)中の“●”の部分)が付くと、スペースは使用されたことになるために、これらは削除されていない。よりコンパクトな配置・通路設定のためには、このようなケースへの対処も必要となろう。

図8は、改良迷路法を用いて、経路の交差と通路混雑度のペナルティを考慮したケースの最終レイアウト例である。これは、図6中のB点に対応する最良解である。図8は、図7(c)に比べて目的関数値はほぼ同等であるが、経路の交差と通路混雑度のペナルティの

Fig. 8 Layout pattern obtained by modified maze routing

ために、ブロック7から出る経路などで迂回路が発生しており、全体のデッドスペースが約9%増加している。このケースでは、一本の短いメイン通路(図8中のハッチング部分)から枝状の通路が形成されている。図8と7(c)のハッチング部分以外の経路は、図8のほうが増加している。これは、改良迷路法の使用によりメイン通路の交差回数と通路混雑度が減少して、メイン通路以外の迂回路が増加していることを示す。

改良迷路法を用いると、交差や通路混雑度を避けるために目的関数値の総移動距離やレイアウト面積が多少増加する。しかし、実際の工場計画やプラント等の配管を設計する際に、交差や通路混雑度に制限を加えたいときには、この改良迷路法が有効であるといえる。現状では、改良迷路法を用いた解法では、迷路法を用いた解法に比べて本例題のケースで約4倍の処理時間がかかり、その短縮が課題として残る。

本システムの数値実験により、提案する解法を用いて、各ブロックの入出力端子もブロック配置と向き及び通路設定を同時に決定できることが確認できた。これにより、提案する解法の妥当性と有効性を明らかにすることができた。

5. 結 言

本研究では、職場配置と通路設定の同時最適化に対する解法を提案し、開発したシステムによる数値実験により、その妥当性と有効性を確認した。

提案する解法により、ブロックの配置と向き、入出力端子位置および最短経路を同時に決定することができる。本解法により、おおよそのメイン通路も決定できる。本解法は、従来の技法^{(1)~(5)}と異なり幅以外の通路形状に関する情報を必要とせず、枠制約も満たす配置、通路設定法である。

提案する解法の特徴は、

- ・ブロック上の入出力端子同士を結合する最短経路を算出するために、迷路法を用いていること、
- ・経路の交差、通路混雑度や屈曲数に応じたペナルティ

ィを考慮した、改良迷路法を採用できること、

・ブロック配置、向きと入出力端子位置に摂動を与え、
 枠制約と重なりなしの制約を満たしながら、総移動距離を最小とすることを目的として、解を進化させるため SA 解法を上記の改良迷路法(または迷路法)と組み合わせること、
 である。

開発システムの問題点は、特に改良迷路法を組込んだときに、多少処理時間がかかることである。ブロックの詰め込み処理を含めてこの点の改善を行い、さらに大規模な問題に適用することも必要であろう。

文 献

- (1) Benson, B. and Foote, B. L., DoorFast: A constructive procedure to optimally layout a facility including aisles and door locations based on an aisle flow distance metric, *Int. J. Prod. Res.*, **35**-7(1997), 1825-1842.
- (2) Banerjee, P., Zhou, Y. and Montreuil, B., Genetically assisted optimization of cell layout and material flow path skeleton, *IIE Transactions*, **29**(1997), 277-291.
- (3) Montreuil, B., Venkatadri, U. and Ratliff, H. D., Generating a layout from a design skeleton, *IIE Trans.*, **25**-1(1993), 3-15.
- (4) Sessomboon, W., ほか 3 名, Main 通路設定を考慮した異形状異面積職場レイアウト技法の開発, *機論*, **63**-615, C (1997), 4057-4064.
- (5) Sessomboon, W., ほか 3 名, マシンレイアウトを考慮に入れた AGV フローパス設計技法の開発, *機論*, **64**-617, C (1998), 370-376.
- (6) 藤田喜久雄・赤木新介・廣川敬康, 製品設計における配置配管統合化のための対象モデリング, *日本機械学会第 4 回設計工学・システム講論*, **940**-22(1994), 308-313.
- (7) Banerjee, P., *Parallel algorithms for VLSI computeraided design*, (1994), 119-225, Prentice Hall International Edition.
- (8) 白井裕・松本直文, レイアウト設計のためのメタ戦略によるハイブリッド技法, *機論*, **63**-611, C(1997), 2337-2344.
- (9) 白井裕・松本直文, 枠制約付きレイアウト問題に対する ES 型遺伝的アルゴリズムの性能評価, *機論*, **65**-634, C (1999), 掲載予定.
- (10) Banerjee, P., *Parallel algorithms for VLSI computeraided design*, (1994), 230-237, Prentice Hall International Edition.
- (11) 例えば, 浅野孝夫・今井浩, *計算とアルゴリズム*, (1990), 49-56, オーム社.
- (12) 白井裕・黒杉宜弘・松本直文, 可変アスペクト比のブロックを対象とする枠制約付きレイアウト問題の解法, *日本機械学会第 3 回最適化シンポジウム講論*, **98**-14(1998), 249-254.