ラインパターンニング法を用いたプラスチックエレクトロニクス

奥崎 秀典

導電性高分子材料を用いた電子素子の研究開発は、軽量、柔軟かつ安価なプラスチックエレクトロニクスという新分野を拓いた。これまで、回路や素子の作製にはフォトリソグラフィや真空蒸着などのシリコン半導体技術が流用されてきたが、高分子材料の特性を活かした新しいプロセス技術が求められている。たとえば、R. H. Friendらはインクジェット法を用いて導電性パターンを印刷し、高分子半導体および絶縁体をスピコートすることにより有機トランジスタ素子を作製している¹⁾。また、J. A. Rogersはマイクロコンタクト法を用いてプラスチック基板上にトランジスタ回路を印刷し、電子インクと組み合わせることで、フレキシブルな「電子ペーパー」を開発している²⁾。

筆者らは、市販のプリンタを用いて任意の導電性高分子パターンをカスタマイズできる「ラインパターンニング法」を開発し、抵抗、コンデンサ、センサー、スイッチ、液晶ディスプレイ、トランジスタなどさまざまな電子素子の作製を試みている³⁾。ラインパターンニング法は、素子や回路のデザイン作製とプリンタによる印刷、および導電性高分子溶液のコーティングからなるウェットプロセスであり、基板とプリンタトナー表面の親水性の違いを利用している。また、コーティング後に有機溶媒中で超音波洗浄することにより、導電性パターンを残したままトナーのみを除去できるのも本方法の特徴のひとつである。

ラインパターンニング法による電界効果トランジスタ(FET)素子の作製例を図1に示す。まずはじめに、ソース/ドレインおよびゲート電極をコンピュータ上でデザインし、OHPシート(A)上に市販のレーザープリンタを用いて印刷する(B)。これに(3,4-エチレンジオキシチオフェン)/ポリスチレンスルホン酸(PEDOT/PSS)水溶液をコートし、ドライヤーで乾燥させる(C)。次にトルエン中で超音波洗浄することによりトナーを除去し(D)、ソース/ドレインおよびゲート電極を光硬化性樹脂で接着する(E)。得られたFETは導電性高分子と光硬化性樹脂、プラスチック基板からなり、透明かつフレキシブルな全有機型素子である。ゲート電圧を印加しない場合、ドレイン電流は印加電圧に比例して増加する。これは、素子がPEDOT/PSSからなる導電チャネルを内蔵しているためである。一方、正のゲート電圧印加によりドレイン電流が抑制されることから、ディプリーション型FETとして動作することがわかった。さらに、チャネル部分に半導体を用いること

図1 ラインパターンニング法によるFET素子の作製プロセス(模式図)

で、エンハンスメント型の応答を示す素子を作製することも可能である。

本方法は、特殊な装置を必要とせず、市販のプリンタを用いて導電性高分子パターンを作製できることからきわめて汎用性が高く、プリンタの分解能程度の精細な素子や回路が作製可能である。また、一般の複写機を用いて手書きの文字やデザインからも電極を作製することができ、大面積化も容易である。このような導電性高分子材料の新規パターン形成法や素子作製技術の開発は、安価でディスプレイ、大量生産可能なプラスチック/ペーパーエレクトロニクス時代への第一歩である。

最後に、本研究は文部科学省在外研究員として米ペンシルベニア大で行った研究の一部である。ご指導いただいたAlan MacDiarmid教授ならびに共同研究者のDirk Hohnholz博士に深く感謝いたします。

文 献

- 1) H. Sirringhaus, T. Kawase, R. H. Friend, T. Shimoda, M. Inbasekaran, W. Wu, E. P. Woo: *Science*, **290**, 2123 (2000)
- 2) J. A. Rogers: *Science*, **291**, 1502 (2001)
- 3) A. G. MacDiarmid, D. Hohnholz, H. Okuzaki: US Patent, 01/15773 (2001)