CWレーザー結晶化のディスプレイデバイスへの応用

原 明人, 竹内 文代, 竹井 美智子, 菅 勝行, 吉野 健一,
千田 満, 佐野 泰之, 佐々木 伸夫

(株)富士通研究所 (〒243-0197 神奈川県厚木市森の里若宮10-1)

Application of CW Laser Crystallization for Display Devices

Akito HARA, Fumiyo TAKEUCHI, Michiko TAKEI, Katsuyuki SUGA, Kenichi YOSHINO,
Mitsuru CHIDA, Yasuyuki SANO, and Nobuo SASAKI

Fujitsu Laboratories Limited, 10-1 Morinosato-Wakamiya, Atsugi, Kanagawa 243-0197

(Received July 11, 2002)

High-performance poly-Si TFTs were created using the diode pumped solid-state (DPSS) continuous-wave (CW) laser lateral crystallization (CLC) method through fabrication processes at no higher than 450 °C. With decreasing Si film thickness, the grain size became finer and the surface orientation of the grains changed from (100) to other orientations. These effects reduced the field-effect mobility as the Si film became thinner, but with the CLC method we can still obtain a high field-effect mobility of over 300 cm²/Vs without applying special processing techniques, even from a Si film as thin as 50 nm. We expect this crystallization method to lead to the fabrication of high-performance Si-LSI circuits on large non-alkaline glass substrates.

Key Words: Poly-Si, Thin film transistor, Glass, CW laser

1. はじめに

安価な大面積ガラス基板上にプラズマCVD(PECVD)技術によりアモルファスシリコンを低温成膜し、この膜を利用して薄膜トランジスタ(TFT)が形成されている。このTFTは、パソコン・TV・携帯電話・携帯情報機器(PDA)などで使われるアクティブマトリックス型の液晶ディスプレイ(LCD)の画素スイッチとして利用されている。しかし、アモルファスシリコンの移動度は0.5 cm²/Vs程度と非常に小さく、またn-MOSFETしか形成できないためにCMOS回路を組むことはできない。

この問題点を解決するために、多結晶からなるシリコン薄膜をガラス上に形成し、高性能な薄膜トランジスタを形成する試みがなされてきた。パルス発振のレーザー光を用いて短時間のシリコン融液成長を実現し、ガラスに対して強い熱損傷を与えることなく多結晶シリコン(poly-Si)薄膜を形成できるエキシマレーザー結晶化技術(ELC)¹⁻⁴⁾は、このような技術の一つであり、現在実用化されている唯一の方法である。しかし、冷却速度が極端に大きく、強い過冷却での成長であるため、多量の核形成を伴い結晶粒径は300-500 nmと非常に小さい。この程度の大きさの結晶粒径でも移動度はn-MOSFETで100-150 cm²/Vsとa-Siの100倍程度を実現できる。さらにp-MOSFETも形成できるように動作周波数の低いCMOS回路ならばガラスの上に形成することができる。

また、固相成長を利用したpoly-Si成長技術も有効な方法である。この方法では、大粒径のpoly-Siは形成されるが、結晶粒内に積層欠陥や双晶などの結晶欠陥を多量に含むためにTFT特性は期待されるほどは良くない。さらに固相成長は600 °C程度の熱処理を必要とするために、ガラスにとってはかなり高温の熱にさらされることになる。このような固相成長の問題を改善するために、金属シリサイド、とくにNiシリサイドを利用する固相成長方法が注目されている。この方法には2種類あり、金属シリサイドを結晶核形成のみに利用する方法と、結晶核と結晶化前面のテンプレートとして利用する方法がある。前者は核形成の時間の短縮や核形成位置を制御するのに有効であり⁵⁾、また後者は固相成長の低温化と結晶品質の改良に有効であることが知られている⁶⁾。

将来は低価格のガラスやフレキシブル基板の上にLCDや有機ELディスプレイとともに、ディスプレイの駆動回路のみならず、プロセッサ機能、メモリ機能等も同時に形成した高付加価値ディスプレイ(システムオンガラスと呼ばれている)の実現が期待されている。この場合、回路の高速動作が要求されるため、微細化技術と移動度が高いpoly-Si薄膜が必要とされる。

Poly-Si薄膜の移動度を上げるためには、キャリアの最大の散乱要因となる結晶粒界の数を低下させる必要がある。すなわち結晶粒を大きくすることが好ましい。パルスレーザーを利用して大粒径を形成する代表的な技術と

してSequential Lateral Solidification (SLS)法^{7,8)}がある。ビームエッジをシャープに加工したパルスレーザー光を非常に小さいピッチで少しずつ移動させることにより、結晶粒を横に伸ばして大きなラテラル結晶粒を形成する。この方法はパルスのレーザー光を利用するために、ガラスに損傷を与えることなく良質の結晶を形成できる。この結晶を利用して低温プロセスで $500\text{ cm}^2/\text{Vs}$ 近い移動度が得られている。

大粒径を形成する別の技術としては、古くから連続発振(cw)レーザーを使う方法が良く知られている。cwレーザーを利用したシリコン結晶化の研究・開発は、約20年ほど前にSilicon On Insulator(SOI)基板の形成をめざして行われた^{9,10)}。シリコンウエハーを基板として利用し、レーザーによる再結晶化、さらに高温($>1000^\circ\text{C}$)の半導体プロセスでSi-MOSFETに匹敵する特性が得られている^{9,10)}。

一方、TFTへの応用という視点では、Kaminsら¹¹⁾やFujiiら¹²⁾はレーザー再結晶化と石英基板を利用して大粒径のポリシリコンを形成し、 1000°C 程度の半導体プロセスを利用して高い移動度を実現している。また、Serikawaら¹³⁾は初期膜としてスパッタリングで形成したアモルファスシリコンとAr cwレーザーを利用して粒径の小さいポリシリコンを形成し、移動度 $350\text{ cm}^2/\text{Vs}$ という高い特性を報告している。しかし、プロセス温度は 650°C と高く、ガラスが熱的に耐えうる温度で形成されたTFTではない。Yukiらは、 450°C の低温プロセスとAr cwレーザーを利用してガラス上にTFTを形成したが、結晶粒サイズは小さく、移動度も $50\text{ cm}^2/\text{Vs}$ と小さい¹⁴⁾。

cwレーザーを利用してガラス基板上に大粒径のポリシリコンを形成し、ガラスが耐えうる低温プロセスを利用して高性能TFTを形成した例は過去に報告されていなかった。我々は世界に先駆けて、半導体励起固体(DPSS)cwレーザーを利用したガラス上の大粒径poly-Si結晶成長技術(Continuous Wave Laser Lateral Crystallization (CLC技術))を開発し、 $300\times 300\text{ mm}^2$ ガラス基板上に形成された厚膜(100 nm 以上)のpoly-Si層に対して、 450°C のプロセス温度で、チャンピオンデータではあるがn-ch移動度 $566\text{ cm}^2/\text{Vs}$ 、p-ch移動度 $200\text{ cm}^2/\text{Vs}$ を実現した¹⁵⁻²⁰⁾。

現状のガラス上のpoly-Si TFTプロセスは、ELCで良質なpoly-Siを形成できるシリコン膜厚 50 nm に対して最適化されている。この程度の薄いシリコン膜に対してもCLC技術で高性能TFTが得られるのであれば、現状のTFTプロセスをそのまま使えるという利点がある。また、完全空乏型MOSFETを実現できるという点で魅力的である。本論文では、poly-Siの結晶性およびTFT特性がシリコン膜厚とともにどのように変化するかを調べた結果、また薄いシリコン層に対してCLC技術で形成したpoly-Si TFTのリング発振器の性能を示し、CLC技術の優位性を示す。

2. 実験

2.1 結晶化方法

耐熱温度が 600°C のガラス基板に対してcwレーザーを利

用する場合、ガラスに対する熱損傷を低減するための何らかの工夫が要求される。さらに、大きなガラスサイズ(最先端の低温poly-Siパネルのガラスサイズは $730\times 920\text{ mm}^2$ とされている)を結晶化する必要があるため、非常に安定で、しかも再現性のある結晶成長技術が要求される。本研究では以下の工夫により、これらを実現した。

第1の工夫は、先に述べたようにArレーザーの代わりにDPSS cwレーザーを利用したことである。DPSS cwレーザーは非常に安定した出力が得られるため、大面積のガラス基板を均一に再現性よく結晶化するのに適している。第2のポイントはレーザー波長にある。本実験ではNd:YVO₄の第2高調波である 532 nm (グリーン)を利用している。この波長はガラスに対して透明であるために、ガラス自身がレーザー光を吸収し、温度が上昇することはない。したがって、ガラスの溶融変形を防ぐことができる。また、この波長はシリコン膜に対して高い光吸収係数を有するために、シリコンの完全溶融を容易に実現することができる。第3の工夫は、シリコン膜をFig. 1(a)に示すように、リボン状に加工したことである。ここでは、 $50\times 200\text{ }\mu\text{m}^2$ のリボン状に加工しており、島と島の間隔は $5\text{ }\mu\text{m}$ である。リボンは結晶化時のシリコン膜の剥がれを防ぎ、さらにガラスに対する熱損傷を低減する効果がある。ベタ状のアモルファスシリコン膜を結晶化した場合、メルト蓄積などの効果により、膜の剥がれを生じやすい。Fig. 2は1例を示したものであるが、途中からシリコン層が剥がれた領域が観測される。一方、リボン状に加工することにより、剥がれを激減させることが出来る。Fig. 1(a)に示したリボン形状のシリコン島を2000個集積したテストパターンを利用して膜の剥がれ数を調べたところ、0個を実現できることが確認されている。第4の工夫は、シリコン層の膜厚をSOI基板に利用されていたシリコン層膜厚(300 nm - 1000 nm)に比較して極端に薄くしたことである。膜厚が厚い場合、結晶化時にガラス基板にクラックが入ることが確認されており、本研究のシリコン膜厚は 50 nm から 150 nm である。第5の工夫は、スキャン速度を速くしたことである。SOI基板形成時には、数-10

Fig. 1 (a) Si ribbons (b) Grain distribution in a ribbon.

Fig. 2 Optical microscope image of peeling region.

cm/s程度のスキャン速度であったが、本研究では20 cm/s以上の速度で結晶化している。これもガラスに対する熱損傷を低減する効果がある。

実験には、大きさ300×300 mm²、厚さ1.1 mmのガラス基板(NA35またはOA10)を利用している。ガラス上にPECVD法を利用してバッファ層SiO₂を400 nm成膜の後、厚さ50-150 nmのアモルファスシリコン膜を成膜している。水素を排除するために450 °Cの熱処理を行った後、リボン状に加工している。レーザービームは400×20 μm²の擬似線状ビーム(楕円形状)である。レーザースキャン速度は20-25 cm/sである。結晶化は大気・室温にて行った。また、結晶化に際しアモルファスシリコン膜上に保護膜は形成していない。

結晶性の評価には、セコエッチングによる結晶粒界の顕在化と光学顕微鏡または走査型電子顕微鏡(SEM)による結晶粒の観察、電子線バックスキャタリングによる結晶方位の観察、顕微ラマン散乱を利用した。

2.2 TFTプロセス

Fig. 3(a)はTFT作製プロセスを示している。本実験では、一つのリボンに対して1つのTFTを形成しているが、リボンサイズおよび形状を変えることにより複数個のTFTを形成することも可能である。ゲート酸化膜はSiH₄+N₂Oガスを利用してPECVDにより形成した。膜厚は30 nmまたは120 nmである。ソース、ドレイン、Lightly Doped Drain (LDD)は非質量分離型のイオンドーピング装置を利用して注入し、活性化はエキシマレーザーを利用した。最高プロセス温度はガラスが熱的に十分耐えうる450 °Cである。また、結晶粒界やSi/SiO₂界面のダングリングボンドを終端するために通常利用されている水素化処理などの技術は用いていない。本実験では2種類のTFTを作製した(Fig. 3(b))。一つはレーザースキャン方向とトランジスタの電流が流れる方向が平行なタイプ(平行TFT, parallel TFT)、他は電流の方向がレーザースキャン方向と垂直なタイプである(垂直TFT, perpendicular TFT)。

回路性能を調べるために41段のCMOSリング発振器を作成した。シリコン層の厚さは65 nmである。ゲート長は4.0 μmおよび2.5 μm、ゲート酸化膜は30 nmである。また、ゲート幅比は2である。V_{th}制御の為にボロンをチャネル

Fig. 3 (a) TFT processes and (b) two different types of TFTs.

ドーピングしている¹⁷⁾。

3. 実験結果

3.1 poly-Si薄膜の結晶性

厚さ150 nmのpoly-Si薄膜をセコエッチング液を利用して選択エッチングをおこなったのち、光学顕微鏡で観察した写真をFig. 1(b)に示す。結晶粒のサイズは光学顕微鏡で十分に観察できる程度に大きい。レーザースキャン速度は20 cm/sである。リボンの周辺で核形成が生じ、中央部に向かうにつれて粒径が大きくなっている。また、結晶粒界はレーザーの走査方向にほぼ平行になっている。本論文ではこのような結晶粒をラテラル結晶と呼ぶ。Fig. 4は、厚さ150, 100, 50 nmのpoly-Si薄膜のリボン中央部の結晶粒径を光学顕微鏡で観測した結果を示している。レーザースキャン速度はすべて20 cm/sである。シリコン膜厚が薄くなるとともに結晶粒径が小さくなることが確認される。Fig. 5(a) (b)は膜厚50 nmと150 nmを有するpoly-Si薄膜のセコエッチング後のSEM写真を示したものである。両者ともレーザースキャン速度は20 cm/sである。比較のため、各図の中に同一スケールで示した膜厚50 nmのELC poly-Si膜のSEM写真も示す。ラテラル結晶の粒径サイズは、シリコン層が50 nmであっても、ELC poly-Si膜の粒径に比べて非常に大きい。

膜厚50 nmのラテラル結晶、ELC poly-Si膜およびSiウエハーを顕微ラマン散乱で観測したスペクトルおよび半値幅をFig. 6に示す。ラテラル結晶の半値幅はELC poly-Siよりも小さいことが確認できる。この結果は、ラテラル結晶の結晶品質はELC poly-Siより優れていることを示しており、Fig. 5のSEMの結果と一致する。しかし、ピーク位置はSiウエハーよりも低波数を示しており、ELC poly-Si膜と同様に強いストレスを含んでいることを示している。

ラテラル結晶粒の方位を電子線バックスキャタリングで観測した結果をFig. 7に示す。レーザースキャン速度は20 cm/sである。図中の立方体の方位は、結晶粒の配向方位を示している。膜厚150 nmでは多くの結晶粒は(100)に近い配向を有している(Fig. 7(a))。一方、シリコン膜厚

Fig. 4 Optical microscope image of poly-Si films with different thickness.

が薄くなると配向方位が(100)から変化することが確認される。Fig. 7(b)は、シリコン層100 nmに対して電子線バックスキャタリングを観測した結果である。(100)配向の結晶粒は少なく、多くの結晶粒は(110)に近い配向をとっていることが確認される。

3.2 TFTおよび回路特性

Fig. 8は、シリコン膜厚100 nmおよび50 nmのラテラル結晶に対する平行TFTの I_D - V_G 特性および移動度を示している。シリコン層100 nmで移動度 $480 \text{ cm}^2/\text{Vs}$ 、シリコン層50 nmに対して $420 \text{ cm}^2/\text{Vs}$ が得られている。Table 1に多数点測定によって平均化したTFT特性を示す。高い移動度と小さい S 値を示しており、優れたTFT特性が得られている。Fig. 9はシリコン膜厚150 nm、100 nmおよび50 nmに対して平行TFTおよび垂直TFTの平均移動度の変化を示している。シリコン層の厚さが減少するとともに平均移動

Fig. 5 SEM images of poly-Si films with (a) 50-nm-thick (b) 150-nm-thick. Inset figures show SEM image of ELC poly-Si film.

Fig. 6 Raman scattering spectra for lateral poly-Si film, ELC poly-Si film and Si wafer. Inset table shows FWHM of Raman scattering spectra.

度が減少する傾向が観測されている。さらに、垂直TFTは平行TFTよりも移動度が小さい。

システムオンガラスでは、周辺回路部分のトランジスタには高い移動度の実現が要求されるが、画素部は、高い移動度を実現することよりもオフ時のリーク電流が低いTFTが要求される²¹⁾。これを実現するために一般的にはLDD構造を付加したTFTを利用する^{21,22)}。Fig. 10は、シリコン膜厚が100 nmと50 nmに対して、LDD-平行TFTの I_D - V_G 特性を示したものである。LDD構造をとることによりオフ電流が低く抑えられている。マルチチャネル型についても作製しているが、良好なTFT特性を示すことが確認されている。

Fig. 7 Orientation of grains for poly-Si film with (a) 150-nm-thick (b) 100-nm-thick.

Fig. 8 Performance of parallel-TFT with (a) 100-nm (b) 50-nm-thick poly-Si film (Gate SiO₂ = 120 nm, L/W = 5/3).

Table 1 Average parallel-TFT performance for 100-nm and 50-nm-thick poly-Si film (Gate SiO₂ = 120 nm).

	100 nm	50 nm
Mobility (cm ² /Vs)	396	320
S-value (V/dec)	0.20	0.18
V _{th} (V)	-0.39	-0.83

Fig. 9 Dependency of average field-effect mobility for parallel- and perpendicular-TFTs on Si film thickness.

作製した41段CMOSリング発振器の性能をFig. 11に示す。挿入図にはゲート長2.5ミクロンのTFTの写真を示してある。電源電圧の増加と共に遅延時間は単調に短くなり、ゲート長2.5ミクロン、 $V_{dd} = 5$ Vで760 ps/段を実現している。

4. 議 論

4.1 シリコン膜厚と結晶性

シリコン膜厚が減少すると結晶粒サイズが減少する。この理由は、シリコン融液自身が持つ容量の減少による。シリコンの体積が十分にある場合の固液界面近傍の温度勾配は、融液側では、固液界面からレーザー照射位置に向かうにつれ温度が上昇し、結晶側では固液界面から離れるにしたがって低温になる。この温度勾配は、スキャン速度やレーザー出力が安定し、さらに不純物濃度が小さければ、固液界面のゆらぎを安定化させる効果をもっている²³⁾。しかし、シリコン層が薄く融液の量が少ない場合、融液の温度はガラスへの熱伝導により急激に

Fig. 10 Performance of TFTs with and without LDD structure.

Fig. 11 Relation between delay time and supply voltage for 41 stage ring oscillator.

Fig. 12 Temperature dependency of field-effect mobility for several kinds of MOSFETs.

低下し、固液界面の温度勾配が弱くなる、または壊される。このような状況下では、微妙な固液界面のゆらぎなどにより、マクロな結晶成長方向すなわち結晶粒界が走る方向はレーザースキャン方向に対して傾きを持つようになり、粒界どうしの衝突・合体を起こす。その結果、シリコン層が薄い場合には、結晶粒径は小さくなる。

4.2 平行TFTと垂直TFT

平行TFTと垂直TFTでは移動度が異なっている。この結果はSOI研究時に行われた類似の実験結果と一致する²⁴⁾。Fig. 12は移動度と測定温度の関係を示している。移動度は室温の値で規格化している。本実験では、数種類のMOSFETが利用されている。平行TFT、垂直TFT(シリコン層150 nm)、比較のために移動度117 cm²/Vsを有するELC poly-Si TFT(シリコン層50 nm)も測定している。また、(100)SIMOX基板(p型, 10Ω・cm, シリコン層62 nm)を利用し、450 °CのTFTプロセスで形成されたSIMOX-MOSFETについても測定を行った。Fig. 12中に各々のデバイスの室温での移動度を記してある。SIMOX-MOSFETの温度依存性は、キャリア散乱が室温以上においてフォノ

ン散乱によって支配されていることを示している²⁵⁾。一方、ELC poly-Si TFTの温度依存性は、SIMOX-MOSFETとは大きく異なっている。温度上昇とともに移動度が大きくなり、最大値をとったのち温度とともに低下している。この結果は、室温付近では結晶粒界の散乱が移動度を支配していることを示している。ラテラル結晶の平行TFTは(100)SIMOX-MOSFETの温度依存性に類似しており、フォノン散乱の影響を強く受けていることを示している。また、垂直TFTの温度依存性は、平行TFTの温度依存性よりも弱い。ELC poly-Siの温度依存性より強い。この結果は、垂直TFTではフォノン散乱に加えて結晶粒界によるキャリア散乱が生じていることを示しており、電流方向と交差する結晶粒界が強い散乱要因になることがわかる。

4.3 シリコン膜厚とTFT特性

シリコン膜厚が薄くなるとともに、移動度が減少する。チャンネル内に電流方向(SD方向)と交差する結晶粒界が存在しないような粒径サイズの大きいラテラル結晶の平行TFTの主たるキャリア散乱は、上記したようにフォノン散乱によるものであるが、平行TFTであっても結晶粒サイズが減少して電流方向と交差する粒界がチャンネル領域中に存在するような粒径の小さいラテラル結晶では、フォノン散乱に加えて結晶粒界の散乱による効果が加わる。このために、膜厚の減少とともに移動度が減少する。

膜厚の減少にともなう移動度低下のもう一つの要因は結晶粒の配向が関係している。Fig. 7に示したように、膜厚が減少すると表面配向は移動度の低い(111)または(110)方向に変化する。このため薄膜化とともに平均移動度は減少する。

一般的に、シリコン層が厚い場合には、表面配向は(100)面に近い成分が含まれるが、シリコン層が薄い場合には(111)配向に近い方位をとることが知られている²⁶⁾。しかし、表面配向は結晶化時の雰囲気やに敏感に依存して変化する。また、加熱機構の違い・成長速度・キャップ層の有無・バッファ層の種類などにより大きく変化することが知られている¹⁰⁾。配向のメカニズムは十分に理解されているとはいいがたく、今後の重要な研究課題である。

4.4 回路性能

作製したリング発振器の性能をバルクSi-MOSFETあるいはエキシマTFTの回路性能と比較したいところであるが、参照試料の作成は行っていない。そこで過去に報告されているデータを参考に、今回作製したリング発振器の性能を比較検討してみる。三島らは、n-chの平均移動度150 cm²/Vs、p-chの平均移動度50 cm²/Vsのエキシマレーザー結晶化poly-Si薄膜を利用してゲート長0.5 μmまでのTFTを作製し、高速回路をガラス上で実現している²⁷⁾。TFT作製プロセスは本実験と同じである。その結果によると、ゲート酸化膜30 nm、ゲート長2 μmの回路に対して、V_{dd}=5 Vで遅延時間は約1 ns/stageである。今回の実験は、

ゲート長は2.5ミクロンと長いにもかかわらず、 $V_{dd}=5\text{ V}$ で遅延時間は760 ps/stageとエキシマレーザー結晶化poly-Siよりも小さくなっており、高い移動度を実現できることのメリットが回路性能に現れていると考えられる。

5. まとめ

ガラス上にDPSS cwレーザーを利用して形成された大粒径poly-Si膜の結晶性およびTFT特性がシリコン膜厚ともどのように変化するか調べた。その結果、シリコン膜厚の減少とともに表面配向が移動度の大きい(100)に近い配向面から移動度の小さい配向面((110)あるいは(111)配向)に変化するため、さらに膜厚が減少するとともに結晶粒径が小さくなることが関与し、膜厚の減少とともに平均移動度が減少する傾向が観測された。しかし、シリコン層厚が50 nm程度に薄くなっても、プロセス上の特別な工夫を要することなく、エキシマレーザー結晶化では容易に実現できないような高い性能を有するTFTをガラス基板上に450°Cプロセスで実現できることが明らかになった。また、リング発振器を作製し、ゲート長2.5 μm に対して $V_{dd}=5\text{ V}$ で遅延時間760 ps/段を実現した。本結晶化方法を用いることによりガラス基板上に高性能なSi-LSI回路を形成することが可能であり、将来のシステムオンガラスへの道を開く重要な要素技術になるものと考えている。

一方で、結晶粒径が小さくても、Si/SiO₂界面の欠陥を低減したり、強い欠陥ターミネート技術を利用すると、高い移動度を実現できることが報告されている^{28,29)}。本実験では、これらの技術を使うことなく高い性能が得られていることから、これらのプロセス技術と組み合わせることにより、さらに高いTFT性能を実現できる可能性が有る。実際、CLC技術とプラズマダメージを伴うことなくゲート酸化膜を形成できるオゾン酸化を組み合わせることにより、移動度が増加することが明らかになっている³⁰⁾。

参考文献

- 1) T. Sameshima, S. Usui, and M. Sekiya: IEEE Trans. Electron Device Lett. **EDL-7** (1986) 276.
- 2) K. Sera, F. Okumura, H. Uchida, S. Itoh, S. Kaneko, and K. Hotta: IEEE Trans. Electron Devices **ED-36** (1989) 2868.
- 3) H. Kuriyama, S. Kiyama, S. Noguchi, T. Kuwahara, S. Ishida, T. Nohda, K. Sano, H. Iwata, H. Kawata, M. Osumi, S. Tsuda, S. Nakano, and Y. Kuwano: Jpn. J. Appl. Phys. **30** (1991) 3700.
- 4) N. Ibaraki: Digest of Tech. Papers of 1999 SID (Society for Information Display, 1999) p. 172.
- 5) K. Makihira, M. Yoshii, and T. Asano: Digest of The International Workshop on 2001 Active-Matrix Liquid-Crystal Displays -TFT Technologies and Related Materials- (c/o Business Center for Academic Societies Japan, Tokyo, 2001) p.235.

- 6) S. W. Lee and S. K. Joo: Digest of The Int. Workshop on 1995 AM-LCD Conf. (AM-LCD'95 secretariat, c/o Business Center for Academic Societies Japan, Tokyo, 1995) p. 113.
- 7) J. S. Im, M. A. Crowder, R. S. Sposili, J. P. Leonard, H. J. Kim, J. H. Yoon, V. V. Gupta, H. Jin. Song, and H. S. Cho: phys. status solid (A) **166** (1998) 603.
- 8) Y. Helen, R. Dassow, M. Nerdling, K. Mourgues, F. Raoult, J. R. Kohler, T. Mohammed-Brahim, R. Rogel, O. Bonnaud, J. H. Werner, and H. P. Strunk: Thin Solid Film **383** (2001) 143.
- 9) 古川 清二郎編著: SOI構造形成技術(産業図書, 1987)
- 10) K. F. Lee, T. J. Stultz, and J. F. Gibbons: *Beam Recrystallized Polycrystalline Silicon: Properties, Application, and Technique*, ed. J. F. Gibbons (Academic Press, INC. 1984) Semiconductors and Semimetals. vol.17, p.227.
- 11) T. I. Kamins and P. A. Pianetta: IEEE Trans. Electron Device Lett. **EDL-1** (1980) 214.
- 12) E. Fujii, K. Senda, F. Emoto, A. Yamamoto, A. Nakamura, Y. Uemoto, and G. Kano: IEEE Trans. Electron Devices **ED-37** (1990) 121.
- 13) T. Serikawa, S. Shirai, A. Okamoto, and S. Suyama: IEEE Trans. Electron Devices **ED-36** (1989) 1929.
- 14) M. Yuki, K. Masumo, and M. Kunigita: IEEE Trans. Electron Devices **ED-36** (1989) 1934.
- 15) A. Hara, F. Takeuchi, M. Takei, K. Yoshino, K. Suga, and N. Sasaki: Digest of The International Workshop on 2001 Active-Matrix Liquid-Crystal Displays -TFT Technologies and Related Materials- (c/o Business Center for Academic Societies Japan, Tokyo, 2001) p.227
- 16) F. Takeuchi, M. Takei, K. Hotta, K. Yoshino, K. Suga, A. Hara, and N. Sasaki: Digest of The International Workshop on 2001 Active-Matrix Liquid-Crystal Displays -TFT Technologies and Related Materials- (c/o Business Center for Academic Societies Japan, Tokyo, 2001) p.251.
- 17) A. Hara, T. Kakehi, Y. Mishima, F. Takeuchi, M. Takei, K. Yoshino, M. Chida, and N. Sasaki: *Proc. 2001 International Electron Devices Meeting* (Washington DC, 2001) p.747.
- 18) F. Takeuchi, A. Hara, and N. Sasaki: *2002 International Display Manufacturing Conference* (Seoul, Korea, 2002) p.73.
- 19) A. Hara, F. Takeuchi, M. Takei, K. Suga, K. Yoshino, M. Chida, Y. Sano, and N. Sasaki: Jpn. J. Appl. Phys. **41** (2002) L311.
- 20) N. Sasaki, A. Hara, F. Takeuchi, Y. Mishima, T. Kakehi, K. Yoshino, and M. Takei: Digest of Tech. Papers of 2002 SID (Society for Information Display, Boston, 2002) p. 154.
- 21) 松本 正一編著: 液晶ディスプレイ技術—アクティブマトリックスLCD—(産業図書, 1996).
- 22) 伊藤 隆司編著: ULSIデバイス・プロセス技術(電子情報通信学会, 1995).
- 23) 大川 章哉: 結晶成長(裳華房, 1977).
- 24) T. Nishimura, A. Ishizu, and Y. Akasaka: Jan. J. Appl. Phys. **22** suppl. **22-1** (1983) 217.
- 25) F. F. Fang and A. B. Fowler: Phys. Rev. **169** (1968) 619.
- 26) M. Nerdling, S. Christiansen, J. Krinke, R. Dassow, J. R. Kohler, J. H. Werner, and H. P. Strunk: Thin Solid Film **383** (2001) 110.
- 27) Y. Mishima, K. Yoshino, F. Takeuchi, K. Ogata, M. Takei, and N. Sasaki: IEEE Electron Devices Lett. **22** (2001) 89.
- 28) A. Kohno, T. Sameshima, N. Sato, M. Sekiya, and M. Hara: IEEE Electron Devices **42** (1995) 251.
- 29) S. Higashi, D. Abe, Y. Hiroshima, K. Miyashita, T. Kawakura, S. Inoue, and T. Shimoda: Jpn. J. Appl. Phys. **41** (2002) 3646.
- 30) Y. Ebiko and Y. Mishima: 2002 International Display Workshop Conference (2002, Hiroshima, Japan) p. 271.