ULSI用シリコンウェハ結晶技術

三 上 雅 生*

1. はじめに

1960年代初めに開発された半導体集積回路(IC)は毎年2倍ないし3年で4倍の率で高集積化が進展し、“産業の米”として大きなインパクトを社会に与えている。高集積化の先導役を果たしているDRAM(Dynamic Random Access Memory)では、現在、1メガビットDRAM(1M DRAM)が量産市販され、4M DRAMがサンプル出荷されている。さらに、16M DRAM、64M DRAMの熾烈な開発競争が進められている。1チップ当りの素子数が 10^7 個以上をULSIとすれば(本特集号の5頁を参照)、すでに、開発レベルではULSIの時代に突入している。ULSI時代を支える半導体材料としては、これまでの発展の延長線上である限りシリコン単結晶以外に考えられない。ICが“産業の米”であるならば、シリコン単結晶はそれを育てる“土”であり、シリコンウェハ結晶技術は“土作り”技術といえる。

ULSIは最小線幅 $0.5\mu\text{m}$ 以下に微細加工された異種材料の多層構造になっている。これを作製するプロセスで、シリコンウェハは、重金属等の各種汚染、何回もの昇降温サイクルによる熱応力、イオン注入ダメージ、異種材料多層成膜による応力、微細パターン端部の応力集中など、結晶欠陥を誘発する厳しい環境におかれる。それに対し、トランジスタが形成される表面層 $5\mu\text{m}$ 程度の素子活性領域に結晶欠陥を発生させない結晶技術が必要となる。

シリコン単結晶育成法にはCZ(Czochralski)法とFZ(Floating Zone)法があるが、LSIにはCZ結晶が用いられている。FZ結晶はCZ結晶とはちがって、過飽和に固溶した酸素が含まれていないためにLSI製品歩留が著しく悪い。ULSI時代には高純度で結晶の完全性の高いFZ結晶が有力になるという議論もあるが⁽¹⁾、固溶酸素の効能の大きさを考えると、ULSIにこそCZ結晶といえる。

本稿は、CZ結晶技術を中心に、今後重要になるシリコンエピタキシャル技術も含めて、ULSIに適したシリコンウェハを得るための課題について概説する。

2. CZ結晶の酸素析出制御とゲッターリング

CZがLSI用結晶としてFZ[†]よりも勝れているのは、製造上結晶に混入してくる酸素の効果による。それらは(1)ウェハ内部での酸素析出による汚染元素捕獲効果、いわゆるIG(Intrinsic Gettering)効果^{††(2)}および(2)固溶酸素が転位の伝播を抑止することによる機械的強度の増大である⁽³⁾⁽⁴⁾。この二つの“酸素効果”によって、デバイスにとって致命的とも言うべき、素子、活性領域での結晶欠陥の発生と反り、スリップ転位などの塑性変形に対し耐性が与えられる。従って、CZ結晶の酸素の析出挙動を解明し、その制御技術を確立することによって、固溶酸素の効能を最大限に引き出し、その欠点をできるだけ抑制することが重要になる。

図1はCZ法で単結晶インゴットが引上げられるときの模式的な図とインゴット肩部に埋設された熱電対によって実測された、その部分が受ける熱履歴⁽⁵⁾である。石英るつぼ内のシリコン融液中に種結晶が浸漬され、転位を外周部に逃して無転位化するために、一度細く絞り込んだ後太らせて、約 $17\mu\text{m/s}$ (1mm/min)の成長速度で引上げられる。このとき、石英るつぼからシリコン融液中に溶出した酸素が対流によって上昇し、ほとんどは融

† FZは浮遊帯溶融法で中空に吊り下げられた多結晶シリコンインゴット(丸棒)の下端を高周波コイルで加熱溶融して、種結晶に溶着させた後、溶融部を順次上方に移動させて単結晶インゴットを得る方法で、原料が容器に接触しないため高純度の単結晶が得られる。

†† IG: ICプロセス中に入ってくる重金属等の汚染元素は結晶欠陥に凝集する。そのためウェハ表面層の素子活性領域以外に意識的に結晶欠陥を形成しその部分に汚染元素を捕獲して無害化することができる。これをゲッターリングという。ゲッターリングにはIG(Intrinsic Gettering)とEG(Extrinsic Gettering)の二つの手法がある。IGはシリコン中に固溶した酸素を SiO_2 として結晶内部に析出させることによって発生する結晶欠陥を用いる方法であり、EGはウェハ裏面にサンドブラスト、イオン注入、レーザビーム照射などで形成した結晶欠陥を用いる方法である。

* 日本電気(株)超LSI開発本部結晶開発部長
Silicon Wafer Crystal Technology for ULSI; Masao Mikami (VLSI Development Div., NEC Co., Sagami-hara)
Keywords: silicon, wafer, Czochralski technique, intrinsic gettering, oxygen precipitation, silicon epitaxial growth, ultra large scale integrated circuit, single crystal
1988年9月29日受理

図1 CZ法の原理とインゴットの熱履歴.

液表面より SiO_2 として蒸発し、減圧下 ($\sim 2.7 \text{ kPa}$ (20 Torr)) で Ar ガス流によって炉外に排出されるが、1% 程度は固液界面より結晶中に格子間酸素として混入する。インゴット内の酸素濃度とその分布は対流の影響を強く受ける。対流には融液内温度差による熱対流とインゴットとるつぼの回転 (互に逆回転) による強制対流がある。熱対流をできるだけ抑えて、強制対流、すなわち、インゴットとるつぼの回転数によって酸素濃度 $[\text{O}_i]$ とその分布が制御される。現状では、 $[\text{O}_i]^\dagger = (11 \sim 19) \times 10^{23} \text{ m}^{-3}$ の範囲で任意に制御でき、インゴット内のバラツキは数% 以内に抑えることができる。しかし、この $[\text{O}_i]$ は図 2 に示すように⁽⁶⁾、一般的に言われているシリコン中の酸素固溶限 (図 2 は窒素ガス雰囲気下での実測値) を大きく越えた過飽和状態にある。従って、インゴットから切り出した単結晶ウェハを 1270 K 程度の温度で熱処理すれば、酸素はウェハ表面から一部は抜けるが、ウェハ内部では析出して SiO_2 になる。酸素析出は現象的には古典的析出核形成理論によって説明できる⁽⁷⁾。シリコン結晶内にその規則性を乱す析出核^{††}が存在し、そのサイズが熱処理温度における臨界半径以上であれば酸素析出を促進するが、臨界半径以下であれば析出核は縮小して消滅する。

† 格子間酸素濃度は波長 $9.03 \mu\text{m}$ (1107 cm^{-1}) の赤外吸収の吸収係数に換算定数を乗じて求める。本稿は換算定数として $4.81 \times 10^{23} \text{ m}^{-3}$ の旧 ASTM 値で統一した。

†† 析出核: シリコン中の酸素析出核として置換型に固溶した炭素原子が考えられている。最近では空孔などの点欠陥、ボロンなどの不純物、重金属も析出核になるとされている。いずれにしても局所的な歪場が存在すればそれに酸素が集積して析出し、それ自体が析出核となってさらに大きな析出物として成長していく。

図2 シリコン中の酸素固溶限の温度依存性.

デバイスプロセスで酸素析出を精密に制御することは極めてむづかしい問題である。それは、析出が析出核のサイズ、種類、密度さらに析出形態などの析出に係る構造的要因に強く依存するうえに、ウェハがデバイス製造が完了するまでに受ける熱工程がきわめて複雑であるということである。先ず、インゴットを引上げるときに受ける熱履歴が図 1 に示したようにインゴット上方部と下方部で著しく異なる。上方部ほど 870~1070 K の析出核が最も成長し易い低温度範囲に長時間保持されることになる。このためインゴットからの切り出し位置によってウェハの酸素析出挙動が大きく異なることになる。次にデバイスプロセスであるが図 3 に CMOS^{†††}の構造例と酸素析出に大きく影響する工程前半の主要プロセスとその温度を示す。熱酸化 SiO_2 膜、CVD Si_3N_4 膜を形成する 970~1270 K の初期工程とそれに続くイオン注入された p 型および n 型の不純物を深さ数 μm まで拡散させる 1420~1520 K の高温でのウェル形成工程がある。初期工程では一般に酸素析出は促進するが、ウェル形成工程では小さな析出物は再固溶し、大きな析出物はさらに成長する。しかし、各工程間の昇降温サイクルを含めて、ウェハが受ける熱履歴をすべて一定にすることは不可能である。従って、同一のインゴットから切り出したウェハを同一のデバイスプロセスに投入しても、ウェハ

††† CMOS: Complementary MOS トランジスタの略。p 型半導体に形成される n チャネル MOS (NMOS) と n 型半導体に形成される p チャネル MOS (PMOS) を相互補完的に形成したもので、同一ウェハに PMOS, NMOS の両方を作るため、それぞれに、n 型、p 型のウェル領域を作る必要がある。このウェルは一般に深さ $5 \mu\text{m} \sim 6 \mu\text{m}$ に及ぶため、CMOS プロセスでは高温 ($\sim 1470 \text{ K}$) での不純物拡散処理が必須となる。

図3 CMOSの構造例と酸素析出に影響が大きい初期プロセスフローと温度。

間の酸素析出状態を同じにすることはできないことになる。図4は as-grown ウェハを CMOS シミュレーション熱処理したときの酸素析出量 ΔO_i の初期 $[O_i]$ 依存性の実験例を示す⁽⁸⁾。 $[O_i]$ が $\sim 14 \times 10^{23} \text{ m}^{-3}$ を越えると ΔO_i は急激な増大傾向を示し、同じ $[O_i]$ においても ΔO_i は大きくバラツいている。一方、 $[O_i]$ が $14 \times 10^{23} \text{ m}^{-3}$ 以下の低酸素側では析出は起りにくい。

シリコン結晶の格子間酸素が SiO_2 として析出すると体積膨張が起きて、 $2\text{Si} + 2\text{O}_i \rightleftharpoons \text{SiO}_2 + [\text{Si}]_i$ なる反応で格子間シリコン $[\text{Si}]_i$ を放出するとともに析出物近傍に応力場が形成される。この結果、図5に示すように、パンチアウト転位ループ、積層欠陥のような2次欠陥が

析出物周辺に発生する。これら結晶欠陥が汚染元素のゲッタリング源となって IG 効果が発生することになる。Fe, Cu, Ni などの重金属は深い単位を形成し、キャリアの再結合中心になったり、クラスターを形成して結晶欠陥を誘発する。従って、これらが素子活性領域に存在すると pn 接合リーク増大、メモリの電荷保持時間の減少などデバイス特性を著しく劣化させる。しかし、重金属元素は Si 結晶中での拡散係数が極めて高く、容易にウェハ内部まで拡散していくので、結晶欠陥が表面層の素子活性領域になく内部のみに存在すれば、IG 効果によって重金属をウェハ内部に閉込めることができる。図6は

図4 CMOSシミュレーション熱処理後の酸素析出量の初期酸素濃度依存性⁽⁸⁾。

図5 析出物とそれによって誘発される2次欠陥のTEM像。
(a) パンチアウト転位, (b) 積層欠陥。

図6 1473 K-14.4 ks + 973 K-14.4 ks + 1273 K-576 ks なる3段階熱処理によるDZ層とIG層の形成およびIG機構の説明図。

$[O_i]$ が $15 \times 10^{23} \text{ m}^{-3}$ 近傍のウェハを 1473 K-14.4 ks+973 K-14.4 ks+1273 K-57.6 ks なる“高温→低温→中温”の3段階アニールをし、ヘキ開後化学エッチした光学顕微鏡による内部欠陥分布である。表面層の約 50 μm には結晶欠陥が観察されていない。この無欠陥層はDZ (Denuded Zone)層と呼ばれ、前述したように過飽和に固溶した酸素が外方拡散によって表面から抜け低酸素化したことと高温処理による析出核の消滅によって酸素析出が抑えられて形成される。一方、内部では、高温処理でも初期 O_i が維持されるので、低温での析出核形成と中温での酸素析出によって、IG層が形成される。

ULSI ウェハとしては、表面層の無欠陥DZおよび、内部の十分に酸素析出したIG層が両立したDZIGウェハが必須となるであろう。このために、CZ結晶育成とデバイスプロセスでの熱履歴を考慮した初期酸素濃度の選択、およびIG処理の最適化がきわめて重要になる。低 O_i ウェハでは析出不足によるゲッタリング不足、高 O_i ウェハでは析出過多によるウェハの反り、DZ層への欠陥発生などそれぞれに問題がある。これらの問題を解決するいくつかの試みがなされている⁽⁹⁾⁽¹⁰⁾。

3. 結晶の高品質化

酸素析出の析出核が何であるかということは特定できていない。炭素、空孔や格子間シリコンの点欠陥集合体、重金属クラスター等々である⁽¹¹⁾。いずれにしても、析出が不均一核生成に大きく依存していることは明らかであり、析出を利用するIG効果が結晶の完全性を乱す要因の上に成り立っているといえる。従って、高品質化を結晶の完全性を追求するということで規定するならば、高品質化とIG効果増大とは相互矛盾するということにもなりかねず、この矛盾を解決することが求められる。図7は酸素析出したウェハのX線トポグラフ写真である。スワール状に析出が起っている。このスワール†はCZウェハにおける極めて一般的な酸素析出形態であ

図7 X線トポグラフ(ラング法)による酸素析出の面内分布(101.5 mm ウェハ)(白いところに酸素析出が起っている)。

り、1470 K程度の長時間(36 ks(10 h)以上)の熱処理によって消えるものではなく、極めて熱的に安定な不均一析出核が存在していることを示している。同心円状であるということで、育成時の固液界面のゆらぎが原因と考えられる。最近、結晶育成時における融液の対流および固液界面をX線透視法で直接観察したり⁽¹²⁾、熱対流のシミュレーション解析⁽¹³⁾が盛んになってきているが、これらを通してスワールの実体と発生のメカニズムが解明され、その制御技術が進展することが望まれる。

スワールなどの不均一性を低減する育成法として注目されるのに磁場下引上げ(MCZ: Magnetic Czochralski)がある⁽¹⁴⁾⁽¹⁵⁾。シリコン融液は電気伝導性が高いために、静磁場を加えると磁界に垂直な流れが抑制される。従っ

図8 高酸素MCZとCZウェハのCMOS熱処理における酸素濃度変化⁽¹⁴⁾。

† スワール：シリコンウェハに入る渦巻状結晶欠陥でCZでもFZでも発生するがその発生原因と実体は異なる。CZ結晶においてはAs-grownのウェハでは観察されないが、熱処理による酸素析出が同心円状に発生して顕在化する。原因は明らかでない。

て、融液面に水平に磁場を印加することによって熱対流による上昇流が抑制され、静止融液面が得られる。また、固液界面直下の融液内温度勾配を小さくできる。このため、不均一核生成を抑えて、高速成長($\sim 33 \times 10^{-6} \text{ m/s}$)が可能になり、図 8 に示すように、 $[O_i] = 20 \times 10^{23} \text{ m}^{-3}$ という高 O_i ウェハにおいても、酸素析出が起りにくく、しかも過剰の格子間シリコンによってゲッターリング効果もあると報告されている⁽¹⁴⁾。新しい可能性を示すものとして注目される。

4. 新しいゲッターリングの試み

デバイスの複雑化、微細化は僅かな汚染でもデバイス特性を著しく劣化させるようになってきている。そのため、ゲッターリング技術は極めて重要であり、IG 以外に種々のゲッターリング法が開発されている。ここでは、最近、日本電気が開発した二つのゲッターリングについて紹

タリング源とする。図 9 にレーザ照射後と熱処理後に発生する結晶欠陥について示した。IG 以外のゲッターリングを一般に EG (Extrinsic Gettering) と言うが、最も一般的な EG として SiO_2 細粒をウェハ裏面に噴射して機械的歪層を導入するサンドブラスト法がある。ELG はサンドブラスト法に較べてクリーンな EG 法として注目できる。MOS ダイオードの評価から、ELG によって、酸化膜耐圧、キャリアのライフタイム(寿命)が顕著に改善された。図 10 はライフタイムの結果である。

もう一つの方法は高濃度にボロンをドーピングした格子定数の小さい p^+ 基板上に p 型のシリコンをエピタキシャルに成長した p/p^+ エピウェハを用いるもので、 p^+ と p の格子定数の差から界面に発生するミスフィット転位[†]をゲッターリング源として利用する方法である⁽¹⁸⁾。図 11 にミスフィット転位の TEM 像とその頻度分布および、ウェハ表面を Cu で強制汚染し熱処理したときの Cu の深さ方向プロファイルの 2 次イオン質量分析結果を示す。

(a) 照射による欠陥の TEM 像と構造解析⁽¹⁷⁾。

(b) 1273 K ウェット酸化後に発生した積層欠陥⁽¹⁶⁾。

図 9 エキシマレーザゲッターリング(ELG)における線状照射部に発生する結晶欠陥⁽¹⁶⁾⁽¹⁷⁾。

介する。一つは、エキシマレーザゲッターリング(ELG: Excimer Laser Gettering)である⁽¹⁶⁾⁽¹⁷⁾。線状に絞込んだ KrF エキシマレーザ($\lambda = 249 \text{ nm}$)ビームをウェハ裏面に掃引照射して、裏面の表面層 $1 \mu\text{m}$ 程度を瞬間的に熔融凝固し、その部分に形成される結晶欠陥をゲッ

† ミスフィット転位: 単結晶基板の上に単結晶薄膜(エピタキシャル膜)を成長するとき基板とエピタキシャル膜に格子定数の違いがあるとエピタキシャル膜に応力が働く。この応力は格子定数の差が大きくなると増大するが、弾性限界に達するとエピタキシャル膜の界面に転位が発生して応力緩和が起る。この転位をミスフィット転位という。

図 10 ウェハ裏面へのエキシマレーザ照射による表面活性領域のキャリアライフタイム改善⁽¹⁶⁾.

図 11 p/p⁺ エピ基板のミスフィット転位(MD)分布と2次イオン質量分析によるCuプロファイル⁽¹⁸⁾.

転位の頻度分布とCu分布が良く一致し、転位の多いところでCuがゲッタリングされている。ミスフィット転位はp/p⁺ エピに本質的に存在するものであり、熱処理などで消失するものではない。しかも、p⁺ 基板のボロンがpエピ側にせり上げるために実質的なp/p⁺ 界面はp⁺ 基板側にシフトし、ミスフィット転位は素子活性領域

域となるエピ層には発生せずp⁺ 基板側のみに存在している。

5. エピタキシャル技術

エピタキシャル成長とは一般には単結晶基板の上に、一定の結晶学的方位を持った単結晶薄膜(エピ膜)を成長させることである。前述してきたように、CZ結晶は固溶した酸素のおかげでゲッタリング作用や機械的強度が高くなるという利点があるが、一方では酸素は結晶欠陥誘発の原因でもあり、結晶学的な完全性、高品質性ということでは欠点でもある。シリコンエピ膜はSiCl₄、SiHCl₃、Si₂H₂Cl₂、SiH₄などの原料ガスをH₂と混合させて、図12のような装置を用いて気相反応法によって成長させられる。そのため、エピ膜はCZ結晶におけるような固液界面のゆらぎによる不均一、酸素の混入などがないので結晶学的に高品質である。従って、CZ結晶を基板としてエピ膜を成長したエピウェハはCZ結晶の高ゲッタリング能力と高機械的強度およびエピ膜の高品質性を兼ね備えた理想的なウェハになり得る。実際、エピウェハによってLSI製品を製造するとその製品歩留を大幅に向上させることができる。

また、エピタキシャル膜は前述の原料ガスに、PH₃、B₂H₆などの不純物ガスを混入することによって、P、Bなどの不純物を制御性良くドーピングすることができ、n型でもp型でも抵抗値を自由に換えられ、デバイス設計に大きな自由度を与えることができる。実際、高速ICとして重要なバイポーラデバイスにはエピ膜が不可欠である。バイポーラは図13に示すように、一般には、n型のコレクタ、p型のベース、n型のエミッタが積層された構造になっている。p型の単結晶基板のデバイス形成領域に、AsまたはSbを高濃度に拡散させたn⁺埋込層を形成したあとn型のエピ膜を成長して形成する(p型のベースはBのイオン注入、n⁺のエミッタはポリシ

(a) 輻射加熱シリンダ形装置 (b) 高周波加熱縦形装置

図 12 代表的なエピタキシャル成長装置。

図 13 バイポーラ IC 断面の模式図。

リコンのエミッタ電極から As を拡散させて作成する)。

エピタキシャル技術で今後解決しなければならない主要な問題を挙げると、

- (1) 薄エピ成長技術の高度化
- (2) 膜厚分布、抵抗分布の均一性向上
- (3) エピ成長の低コスト化

などである。(1)はバイポーラの高速化のために、n⁺埋込層から As, Sb などの不純物のせり上りをできるだけ抑えて 1~2 μm の薄いエピ膜を成長することである。

(2)はウェハ径が 150 mm (6 in), 200 mm (8 in) と大口径するのに対して、十分にウェハ面内の均一性を確保することである。(3)は現在のエピウェハが CZ ウェハより 2~3 倍と高価であり、DRAM などの MOS デバイスには使われにくい。この価格を 1.5 倍以下にすればエピウェハの需要は爆発的に拡大する。これらの問題を解決するには、新しい考えに基づいたエピタキシャル装置の開発が基本である。

6. お わ り に

結晶欠陥制御技術を中心に述べたが、IC の特性がシリコンウェハ表面層に形成されるトランジスタ特性に規定されることを考えると品質のよいシリコンウェハへのニーズが益々強くなる。このとき高品質ということで単

に結晶学的完全性を追求するのではなく、結晶欠陥をうまく利用する結晶欠陥制御技術の高精度化が必須となる。また、IC 生産の低コスト化を考えるとウェハは大口径化の方向にある。現在は 150 mm 径が主流であるが、16 M DRAM が市場に出る 4~5 年後には 200 mm が主流になっている可能性がある。ウェハ大口径化は結晶欠陥制御には一層厳しい条件となる。コスト高にならないように、さらなる高品質化を追求していくことが、ULSI 時代のシリコンウェハ結晶技術の宿命である。

文 献

- (1) 阿部孝夫, 伊藤泰蔵, 池田泰弘: 日経マイクロデバイス, 7 (1987), 139.
- (2) 津屋英樹: 月刊 Semiconductor World, 1(1987), 88.
- (3) S.M.Hu: Appl. Phys. Lett., 31(1977), 53.
- (4) K. Sumino: Semiconductor Silicon/1981 the Electrochemical Society, (1981), 208.
- (5) 白井省三: 材料技術, 12(1984), 33.
- (6) R.A.Craven: Semiconductor Silicon/1981 Electrochemical Soc., (1981), 254.
- (7) 井上直久, 大坂次郎, 和田一実: 応用物理, 48(1979), 1126.
- (8) H.D.Chiou and L.W.Shive: VLSI Science and Technology 1985 Electrochemical Soc., (1985), 429.
- (9) H.Tsuya: Europhysico Conference Abstract, F7(1983), 150.
- (10) M.Kitakata, F.Toyokawa, M.Mikami and H.Tsuya: 174th Meeting of Electrochemical Soc., Extended Abstract, (October - 1988), 694.
- (11) 松下嘉明: 月刊 Semiconductor World, 1(1987), 82.
- (12) 柿本浩一, 江口 実, 渡辺久夫, 日比谷孟俊: 第 35 回春季応用物理学会, 28a-ZA-9(1988), 224.
- (13) 沢田郁夫, 岡沢健介, 高尾滋良, 田中正博: 第 35 回春季応用物理学会, 28a-ZA-5(1988), 223.
- (14) 星 金治, 伊沢伸幸, 鈴木利彦, 二神元信, 大久保安教, 加藤弥三郎: 日経マイクロデバイス, 7(1986), 87.
- (15) 大和充博, 樋口孝良: 東芝レビュー, 42(1987), 562.
- (16) 竹村和美, 豊川文敏, 三上雅生, 大下祥雄, 石谷明彦: 電子情報通信学会技術研究報告, SDM87-138(1987), 83.
- (17) A.Sakai, H.Ono, Y.Oshita and J.Matsui: Jpn. J. Appl. Phys., 27(1988), PL155.
- (18) 菊地浩昌, 北方 誠, 豊川文敏, 三上雅生: 電気化学及び工業物理化学(電気化学協会), 56(1988), 521.
- (19) 小切間正彦, 高橋亮吉: 月刊 Semiconductor World, 5 (1988), 35.