超微細 MOSFET における 電極材料の重要性と課題

鳥 海 明*

1. は じ め に

シリコン ULSI デバイスの中で基本素子として使われている MOSFET のサイズの微細化は、加工技術の進展とともにますます進んでいる。しかし、個々の素子の微細化によって LSI の集積度を上げるというだけでなく、微細化の中には一つ一つの素子性能を向上させるという意味が含まれている。そこで、微細化によって性能向上が見込まれなくなったなら、莫大の投資をして微細化をめざす意味の一つがなくなってしまう。そこで、性能とは一体何によって決まっているのか、あるいは性能向上を阻んでいる要素は何なのか、これらを明らかにしておくことは、素子物理上において極めて重要であるという以上に今後の半導体デバイスの研究開発にとって、どこに重点をあてて研究を進めていくべきなのかを見きわめる指針となるはずである。

本特集では電極材料に焦点をあてているが、一般的な意味での材料としての研究対象は多くあるに違いない。しかし、半導体デバイスの中での意味について考え直してみると、無限に多くの材料がころがっているわけではない。特に市場に出ていく製品としての LSI には性能ばかりでなく、当然信頼性も要求され、そこで材料としては材料固有の性質だけでなく総合的なプロセスの中で使いものになるかどうか判断されなくてはならない。価格の問題は取り上げないとしても、あまりにも特殊なあるいは不安定なプロセスは実際には生かされないであろうし、信頼性の悪い材料は敬遠される。もっとも、その信頼性の悪さがどこから来ているか明らかに

され、それを克服する方法が開発されれば、その材料からくるメリットを積極的に使いたい。その意味では結果が良ければ良いといったことになってしまうが、いくら材料固有の本質的な性質が良くても全体のバランスを崩すとなると使われないであろうということには注意しておく必要はある。

この小論では、現状では極めて超微細と考えられる $0.1\ \mu\text{m}$ CMOS の設計、作製、評価を通じて得られた性能に及ぼす電極材料の重要性を実験結果を通じて議論する。電極材料の影響は CMOS のスイッチングにおける動特性と、個々の FET としての静特性の両面に対して及ぶ。その中から、今後の素子性能の向上に電極材料としての観点から何が必要であるかを示したい。

2. 微細 MOSFET の性能が何で決まるか

(1) MOS トランジスタの微細化と性能向上

半導体素子は一般的に微細化によって性能向上を成し遂げてきた。そこにはスケーリング則と呼ばれる性能向上とサイズの微細化の間の一般的関係がある⁽¹⁾。これについて詳しく述べないが、素子のサイズが k 倍になると例えば遅延時間が k 倍、消費電力が k^2 倍になるといった関係である。MOSFET のゲート長がサブミクロンに突入する以前には、このルールによって微細化の指針を考えることができた。これを使えば、いくつのサイズの時には MOSFET のゲート酸化膜厚 (T_{ox}) をどのくらいの厚さにして、シリコン基板の不純物濃度をどの程度にするかということがおおよそ予測できた。更に、それらの関係を簡単に見積もるための次のよう

* (株)東芝研究開発センター ULSI 研究所主任研究員(〒210 川崎市幸区小向東芝町1)

Significant Effects of Electrode Materials on Very Small Si-MOSFETs' Performance; Akira Toriumi (ULSI Research Laboratories, Research and Development Center, Toshiba Co., Kawasaki)

Keywords: scaling rule, silicide, parasitic resistance, contact resistance, propagation delay time, $0.1\ \mu\text{m}$ complementary metal oxide-semiconductor

1994年1月26日受理

な経験式も提案されている⁽²⁾。

$$L_{\text{MIN}} = 0.4 \times [T_{\text{OX}} \cdot X_J (W_S + W_D)^2]^{1/3} \quad (1)$$

ここで、 X_J はMOSFETにおけるソース、ドレインのPN接合の深さであり、 W_S , W_D はソース、ドレインにおける空乏層の広がりを表す。 L_{MIN} は、それらのパラメータで達成できる最小のMOSFETのチャンネル長である。つまり比較的長チャンネル素子では、式(1)にしたがってできる限り小さいトランジスタを作製し、それによって性能向上をめざせばよかった。

しかし、世の中のスケーリング則というものがそうであるように、この場合もスケーリングされない量というものが無視できない量として出てくると、それまでのルールは破綻し性能向上の指針がわからなくなってくる。半導体素子としてスケーリングされない量としては、半導体のバンドギャップに起因した物理量や、動作温度等が本質的な問題として考えられる。あるいは実用上は極めて重要であるのだが、電源電圧を簡単にはスケーリングできない。こういったトランジスタ固有の性質によって決定される制限とは別に、単に従来無視していたものが無視できなくなってきて性能向上を阻むものがある。それが次に述べる寄生効果であり、そこに電極材料の重要性が含まれている。

(2) トランジスタ特性に及ぼす寄生効果と電極材料の重要性

まずトランジスタの静特性(電流-電圧特性)に及ぼす寄生抵抗について議論する。図1にMOSFETの等価回路的模式図を示す。従来のスケーリング則であるとか経験式はMOSFETのチャンネル部分、つまり R_{CH} の部分だけを議論の対象にしてきた。しかしながら、図1でわかるように、MOSFETにはそれ以外に、 R_C と書かれた金属配線とシリコン基板とのコンタクト抵抗、 R_S , R_D と示されたソースおよびドレインの高濃度不純物を含むシリコン拡散層の抵抗が存在する(ここで配線抵抗は無視した)。微細化とともに X_J は浅くなるので、実質的な拡散層抵抗は増加し、コンタクトの面積は減少するのでコンタクト抵抗は増加する。スケーリング則によるMOSFETの静特性における性能向上とは R_{CH} を小さくすることであるから、これらの抵抗が R_{CH} と比べ

図1 MOSFETの等価回路による模式図。

て近い値になってくれば当然であるが、いくら R_{CH} を小さくしても直列に入った他の寄生抵抗成分のために実質的にはあまり性能が上がらないということになってしまう。

そういうわけで、デバイス技術としては構造的に、プロセス技術としては材料物性的あるいは熱工程的に、いかに R_C を小さくし、 R_S , R_D を小さくするかというのが、強く要求されるのである。その中で有望な材料として開発されてきたのがシリサイド材料である。シリコンは極めて多くの物質と反応して珪化物を作る。これを総称してシリサイドと呼ぶ。これについては、別の章で詳しく述べられている。

LSIの中で興味があるのは高融点金属シリサイドとⅧ属(near noble metal)のシリサイドである。これらをコンタクト材料、配線材料として使う場合には個々にプロセス上の適合性を考えなくてはならないが、 TiSi_2 というシリサイドはよく使われる。我々も次の節で述べるが、 $0.1 \mu\text{m}$ CMOSの実現にこれを使った。まずは、その結果を示そう。

(3) $0.1 \mu\text{m}$ CMOS⁽³⁾⁽⁴⁾

素子を微細化すればするほど寄生抵抗の効果は見えやすくなる。そこで今回作製された $0.1 \mu\text{m}$ 素子の結果をもとに寄生抵抗の効果を議論するが、まずは素子構造について寄生抵抗という観点から述べる。先に述べたように我々は TiSi_2 をソース、ドレイン上、およびゲート電極材料に用いた。もっとも、ゲート電極は図2で示されているように、多結晶シリコン上に形成されている。この部分のプロセスは寄生抵抗を下げるという観点からは重要であるので、まずそれについて述べる。

これは自己整合的にシリサイド化を起こさせる巧みな手法であり、微細CMOSで重要になってくるプロセスである。電子ビーム露光と反応性イオンエッチングを使って、図2にあるように $0.1 \mu\text{m}$ のゲート加工した後、その両側面に絶縁膜の側壁を形成することがまずポイントである。その後全面にTiを堆積すると、ゲート電極上では多結晶シリコンと、ソース、ドレイン上では基板単結晶シリコンとTiは接することになる。ここで熱処理を加えれば、その部分だけが自己整合的に(マスクを使わずに自らの反応の選択性によって)シリサイド化する。つまり側壁についた絶縁膜の上、

図2 $0.1 \mu\text{m}$ CMOSの断面構造を示す模式図。

あるいは周辺の素子分離用の絶縁膜の上ではシリサイド化が起らないので、ここではTiのまま残る。この後、TiだけをTiSi₂に対して選択的にエッチングすればゲート電極上とソース、ドレイン上だけにTiSi₂が選択的に形成されることになる。できるだけソース、ドレインの寄生抵抗を減らしたい場合には、側壁の量を薄くすればよい(実際には側壁膜厚を薄くするとトランジスタの短チャネル効果が厳しくなるが、ここでの議論とはまた別の問題である)。このようにして、nチャネルMOSFET、pチャネルMOSFET両方の電極を同時に作成することができる。

(4) CMOSのスイッチング特性⁽⁵⁾

ソース/ドレイン上のTiSi₂はFETのチャネルと直列に入った寄生抵抗であるが、ゲートには定常的には電流は流れないので、ゲートでの電圧ドロップは無く、静特性にはその影響はあらわれない。しかしながら、ゲート抵抗はMOSFETをスイッチング素子と考えた時の動特性に効いてくるので極めて重要である。それについて以下に述べる。

スイッチング特性はCMOSインバータの遅延時間で測定した。これは図3のようにCMOSインバータが直列に101段接続されたリング発振器と呼ばれる単純な回路を作成して測定した。一段あたりの遅延時間は数十ps[†]という高速現象なので測定は難しいが、測定はリング発振器を信号がまわった後測定されるようになっていて、そこでインバータの1, 0の変化が101段まわってくるのに数ns^{††}はかかるのでオシロスコープで測定できる。

とにかく、このようにして測定されたCMOSインバータの一段あたりの遅延時間の電源電圧依存性をゲート長をパラメータとして図4に示す。ゲート長の微細化とともに、また電源電圧の増加とともにスイッチング速度は速くなっていることがわかる。ここではゲートの幅は一定であるが、ゲート抵抗の効果はどのようにきいているのであろうか。ゲートの幅方向の抵抗の効果を見るために、異なるゲート幅のCMOSリング発振器も作成し、先の結果と比較したのが図5である。ゲート幅を広くすると、それだけで遅延時間が増加してしまうことがわかる。これがゲート抵抗の効果である。つまり、FETをオンするためにはゲートに電圧をかけ

図3 101段CMOSリング発振器の模式図。

[†] ps(ピコ秒)=10⁻¹² s

^{††} ns(ナノ秒)=10⁻⁹ s

図4 CMOS一段あたりの遅延時間の電源電圧依存性. 3種類のゲート長に対して示す。

図5 0.1 μm CMOSの遅延時間のNMOSFETのゲート幅依存性. PMOSFETのゲート幅はNMOSFETの1.5倍になっている。

図6 ゲート抵抗の効果を模式的に示す分布定数回路。

るわけだが、そのためにはゲートに電荷がたまっていかなければならない。その際には図6のようにゲート抵抗とゲート容量を分布定数回路として感じながら電位は上がっていく。単純にはこのR_C時定数が遅延時間として加わってしまうのである。そこで高速素子を達成するためには、できるだけ抵抗の小さい電極材料が要求されるのである。

これをもう少し定量的に扱うために、回路シミュレーシヨ

ンを行って遅延時間の内訳を決めた。これにはまず実験で得られた静特性がシミュレーションで再現できなくてはならない。しかし、静特性には電荷をチャージアップしていく効果は含まれない。例えばソース/ドレインと基板間のPN接合の容量であるとか、ソース/ドレインとゲート間のオーバーラップ容量であるとかは静特性にはあらわれない。そこでこれらは実測で行い、更にゲート抵抗も実測して、これらの値を回路シミュレータにパラメータとして入れ込んだ。遅延時間の電源電圧依存性やゲート長依存性がシミュレータで再現されることを確認した後で、実験で得られた遅延時間の内訳を定量化してみた。図7は0.1 μm CMOS に対する結果である。この素子では約50%が接合容量の充放電によって時間がかかっていることがわかる。これは今回の主題ではないが、もう一つの寄生効果である寄生容量の問題である。つまり、FET に対して余分のキャパシタンスがぶらさがっていると、その電位を上げるためには $Q=CV$ だけ電荷を充電しなくてはならない。それを前段のトランジスタがまかなうわけであるから、本来のゲートだけをチャージアップする以上に時間がかかってしまう。今回これが50%もあったのは、素子の大きさのアンバランスからきている。つまり、ゲート長は0.1 μm であったが、ソース、ドレインの大きさは数 μm 角あり、圧倒的に大きい領域が存在しているからである。図7に戻って、固有遅延時間と呼んでいる部分は、本来の次段のトランジスタをオン・オフさせるためにかかる時間で、これは数 ps である。ゲート抵抗に起因した遅延時間の成分はこの中ではあまり大きな劣化要因にはなっていない。これは先に述べたシリサイド化したゲート電極のおかげである。これをイオン注入しただけの多結晶シリコンで置き換えたら、10 ps 程度すぐに遅くなってしまう⁽⁶⁾。

ソース、ドレインの寄生抵抗成分は、この内訳の中ではイントリンシック成分に含まれているが、これはFETの駆動力を落とすように働いており、例えばトランスコンダクタンスの値を測定することでどの程度の影響を与えているかわかる。今回の場合、シリサイド化のおかげで、この影響は極めて少ないことがわかっており、これがまさにシリサイド電極の必要なゆえんである。

それでは、このようなシリサイドの使用にまったく問題はないかという点と将来的にはいくつか予想される困難がある。

図7 0.1 μm CMOS インバータにおける遅延時間の回路シミュレータによる要因分析。

それについて次節で述べる。

3. 微細化とシリサイド

(1) サイズ効果⁽⁵⁾

微細化に伴う物性的な変化は次項で述べるとして、単なる微細化によって寄生効果の効き方は変化してくる。例えば、我々が今回作製した0.1 μm CMOS のゲート長は0.1 μm であるがゲート幅は2 μm ある。そのように幅一定で微細化すると、前項で述べたゲート抵抗はゲート長に反比例して上昇してしまう。もちろんゲート・キャパシタンスはゲート長に比例して減少するので、ここでの遅延時間はおおまかにはコンスタントとして残ってしまうことになる。幅を0.1 μm まで微細化することは技術的にそう簡単ではないが、作ってみたらどうなるであろうか。そこで、現状の素子の結果をもとにして素子パラメータを決め、0.1 μm まで全体を微細化した時どうなるかをシミュレーションしてみた。図8はゲート長が0.1 μm のCMOSの結果をもとにして、コンタクトの大きさをパラメータとして遅延時間がどうなっていくかを計算したものである。コンタクト・サイズを変えるとコンタクト直下の接合におけるPN接合の容量が変化することが遅延時間に大きく影響する。これは図7を見ればわかるように、今回のCMOSインバータにおける遅延時間の内訳で、接合容量の充放電で使われている時間が50%以上占めていることから予想される。そこでコンタクト・サイズ K を微細化していくと急激にスイッチング速度は速くなる。

しかし、ここで注目すべきことはコンタクト・サイズ K が0.2 μm 程度になってくると、遅延時間の改善はほとんどなくなり、固有コンタクト抵抗 ρ_c が $5 \times 10^{-11} \Omega \cdot \text{m}^2$ の時には、 K を0.2 μm 以下に小さくしてもスピードは遅くなってしまうことである。これは実質的コンタクト抵抗 $R_c = \rho_c / S$ がコンタクトサイズの微細化で急激に上がってしまい、せつ

図8 回路シミュレータを用いたゲート幅方向にも微細化した場合の0.1 μm CMOSの遅延時間。3種類の固有コンタクト抵抗の場合について示す。

かく微細化して性能を向上させたトランジスタの駆動力を寄生抵抗としてそれ以上に落としてしまうことからきている。これは極めて不本意なことで、集積度という観点を除くと、性能的には小さい素子を作らない方がよかったということになってしまう。もちろん実際には幅 $0.1\ \mu\text{m}$ 素子を作ることに意味があるかどうか別の問題があるが、極微細 MOSFET の性能を考える際には、電極込みで考えないと大きなまちがいを起こすということである。とにかく、この結果から言えることは微細化とともに性能向上を達成するには、コンタクト材料として n^+ , p^+ 両拡散層に対して、 $\rho_c < 1 \times 10^{-11}\ \Omega \cdot \text{m}^2$ を実現の必要性が、この結果から予想される。一方で微細化とともに接合の深さ (X_j) は式 (1) から予想されるように浅く形成される必要があるので、シリコンの表面不純物濃度は低下する方向にあり低抵抗のコンタクト抵抗を達成する難しさは増す。その意味でコンタクトまわりでのエンジニアリングは、今後の超微細素子の性能を決定づけることに間違いない。

以上では材料自身が微細化で質的变化を起こすことは考慮されていない。これに対して次に述べる。

(2) 極微細材料

先に述べたように、ゲート多結晶シリコンおよびソース、ドレイン上には TiSi_2 が形成されている。この TiSi_2 に対して、細線化していくと $0.2\ \mu\text{m}$ あたりから急激にシート抵抗 (単位面積あたりの抵抗) が上昇することが見つけられた⁽⁷⁾。これによってゲート抵抗はサイズ効果以上に増加してしまい、その結果として遅延時間を悪化させることになる。図 9 に長さ $100\ \mu\text{m}$ の TiSi_2 細線のシート抵抗の幅依存性を示す。細線化に伴って急激にシート抵抗が増大することがわかる。一方、シリサイド化していない細線の方はほとんど幅によらない。従来から TiSi_2 には C49 と C54 という 2 種類の相が存在し、それぞれ高抵抗相と低抵抗相に対応するという事は知られている。そして $1\ \mu\text{m}$ 以下の細線では、それら間の相変化のレートが低下し、細線では実質的にシート抵抗が増加するということが報告されている⁽⁸⁾。しかし、今回の結果はそれ以上に急激に増加し、またその増加はサンプルの長さによっていることもわかった。図 9 の結果はサンプル長が $100\ \mu\text{m}$ であり、この現象が極めて顕著に見られている。一方、前項で遅延時間の解析に用いた CMOS リング発振器における FET の幅は NMOS で $2\ \mu\text{m}$ 、PMOS で $3\ \mu\text{m}$ であり、その程度の長さであると、ここで示したような抵抗の増加は観測されない。そこで、このことによる遅延時間への影響はあまりない。しかし、長さ依存性があることは、この抵抗の上昇が確率的な現象によっていると想像され、多数の素子を作成した時には場所による遅延時間のばらつきとして大きな問題となる恐れはある。微視的なシート抵抗の増加機構はいまだよくわかっていないが、デバイス技術的には他の材料を探すか、あるいはプロセス技術的に抵抗上昇機構を

図 9 TiSi_2 のシート抵抗のサンプル幅依存性。シリサイド化していない多結晶シリコンの場合も示す。

抑え込むことをしなくてはならない。前者の取り組みとしては PtSi や CoSi_2 を電極材料として CMOS を作成する試みが報告されはじめている⁽⁹⁾⁽¹⁰⁾。

これらが実際の LSI の中で使われていくかは、第一節で述べたようにそのデバイスの総合的プロセス条件で決められることであるが、上記のシリサイドでは細線化に伴うシート抵抗上昇は観測されていない。プロセス技術的に TiSi_2 細線のシート抵抗上昇を抑制するには、まずその機構が明らかにされなくてはならない。

一方、ソース/ドレイン上のシリサイドには次のような問題がある。先にも述べたように微細化とともに拡散層の深さ (X_j) は浅くなり、反応させる Ti の厚さも薄くする必要がある。そうすると、どのくらい薄いシリサイドが現実的に可能かという問題がでてくる。あまりに薄いとシリサイド化は局部的に凝集してしまい、均一なシリサイド膜が形成されない。これも微視的に機構を解明しておく必要がある。

以上のような問題に対して、シリサイド化の素過程や粒界の制御、あるいはシリサイド化過程での不純物の挙動、等の微視的理解・解析が極めて重要になってくると言える。それらは従来のマクロなサイズの相図の解釈からは説明されないメソスコピックな材料物性といった領域であり、それはまた半導体技術的にも極めて重要な分野となってくることは間違いない。

4. ま と め

金属と半導体界面におけるショットキー障壁の生成に関する問題は半導体物理の中で数十年間の大きなテーマであり続けている。一方、シリコンのオーミック・コンタクトに関しては本質的に大きな問題となることはなく微細素子は作成されてきた。しかし、本論で述べたように、 $0.1\ \mu\text{m}$ 以下の素子では固有コンタクト抵抗は現状よりも一桁改善されないと、性能がコンタクト抵抗律速になってしまう。その時に、固有コンタクト抵抗を決めているショットキー障壁の問題は現実的に重大な意味をもってくる。しかし、CMOSにおけるコンタクト抵抗の改善は n^+ , p^+ 両方に対して実現されなくてはならず、現実的な場合を考えてもそんなに多くのパラメータの解があるわけではない。また、 TiSi_2 細線の抵抗上昇のように微細化で顕在化してくる材料の問題、あるいは薄膜シリサイドにおけるアグロメレーションのような問題もあり、材料物性は従来にも増して微視的な研究が期待される。それどころか、それはデバイスの研究開発になくってはならないものとなってきており、現在は寄生効果と呼んでいるが、実は素子そのものとして最初から考慮していかないと正確な性能予測は不可能になってきていると言える。その意味で、今後はうまい材料を原理的に制御して巧みに使えるということが、信頼性高く性能の良いLSIを生み出していくための必須の条件になっていくことは間違いないであろう。

ここで述べたことに関してはすべて、文献(3)~(7)の著者である多くの同僚との共同研究結果である。また、この仕

事を進めるにあたって、馬場 敬氏、松永準一氏には大変お世話になったことを感謝いたします。

文 献

- (1) R. H. Dennard, F. H. Gaensslen, H-N. Yu, V. L. Rideout, E. Bassous and A. R. Leblanc: IEEE J. Solid-State Circuits, **SC-9**(1974), 256.
- (2) J. R. Brews, W. Fichtner, E. H. Nicolian and S. M. Sze: IEEE Electron Device Lett., **EDL-1**(1980), 2.
- (3) A. Toriumi, T. Mizuno, M. Iwase, M. Takahashi, H. Niiyama, M. Fukumoto, S. Inaba, I. Mori and M. Yoshimi: Ext. Abs. Int. Conf. Solid State Devices and Materials(SSDM), Tsukuba, (1992), 487.
- (4) M. Iwase, T. Mizuno, M. Takahashi, H. Niiyama, M. Fukumoto, K. Ishida, S. Inaba, Y. Takigami, A. Sanda, A. Toriumi and M. Yoshimi: IEEE Electron Device Lett., **EDL-14**(1993), 51.
- (5) S. Inaba, T. Mizuno, H. Niiyama, M. Yoshimi and A. Toriumi: Ext. Abs. Int. Conf. Solid State Devices and Materials (SSDM), Makuhari, (1993), 32.
- (6) J. Koga, M. Takahashi, H. Niiyama and A. Toriumi: Ext. Abs. Int. Conf. Solid State Devices and Materials(SSDM), Tsukuba, (1992), 502.
- (7) M. Takahashi, I. Kunishima, M. Iwase, H. Niiyama, T. Mizuno, N. Yasuda and M. Yoshimi: Ext. Abs. Int. Conf. Solid State Devices and Materials(SSDM), Makuhari, (1993), 458.
- (8) J. P. Gambino, E. G. Colgan and B. Cunningham: Ext. Abs. ECS Meeting, Phoenix, (1991), 312.
- (9) K. F. Lee, R. H. Yan, D. Y. Jeon, G. M. Chin, Y. O. Kim, D. M. Tennant, B. Razavi, H. D. Lin, Y. G. Wey, E. H. Westwick, M. D. Morris, R. W. Johnson, T. M. Liu, M. Tarsia, M. Cerello, R. G. Swartz and A. Ourmarzd: Int. Electron Device Mtg., Washington. D. C., IEDM Tech. Dig., (1993), 131.
- (10) T. Yamazaki, K. Goto, T. Fukano, Y. Nara, T. Sugii and T. Ito: Int. Electron Device Mtg., Washington. D. C., IEDM Tech. Dig., (1993), 906.