顕微光応答法によるショットキー障壁高さの局所領域評価

奥村 次徳*

1. はじめに

異なる物質が接触するとその界面にポテンシャル障壁が形成される。半導体デバイスの電極は、金属と半導体が接触した領域で、その電気特性はショットキー障壁高さと呼ばれる界面ポテンシャル障壁の大きさによって支配される。良好なオーミック性電極を作製するにはショットキー障壁高さの小さな界面を実現することが課題となる。一方、ダイオードや電界効果トランジスタのゲート電極にはショットキー障壁の高い金属を選ぶ必要がある。しかし、このショットキー障壁高さを決定するメカニズムについては、半世紀にもわたる数多くの取り組みにも拘わらず未だ不明な点が多い⁽¹⁾。その一因として、界面の構造や組成の評価と電気的評価との空間分解能に隔たりがありすぎることが挙げられる。界面構造と電子状態をミクロなレベルでリンクさせた議論が強く求められているにも拘わらず、相変わらずショットキー障壁高さは数10 μm から1 mm 程度の大きさのダイオードを使って、電流-電圧特性(I - V 法)や容量-電圧特性(C - V 法)から求められている。さらにこの2つの方法で求めたショットキー障壁高さは一致しない場合が多く、界面の不均一性との関係で議論されている⁽²⁾。しかし、ショットキー障壁の微視的な分布についての直接的な証拠は出されていない。

一方、半導体集積回路は「3年で4倍」のペースを崩すこ

電極寸法が大きければ不均一性は平均化されるが...

↓
微細化

微細化電極では不均一性が顕在化する。また、電極パターン周辺の影響が相対的に大きくなる。

図1 半導体電極の微細化と均一性に対する重要性。

となく集積度を向上し続けており、設計ルールも0.5 μm を切る、いわゆる「ディープサブミクロン」領域に入ってきている。1チップあたりのトランジスタ数も数千万個となり、やがて1億個に至らんとしている。このように高集積化が進むと、電極に対する均一性の要求は一層厳しくなってくる。図1に示すように、電極の寸法が大きくなうちはミクロな不均一性は平均化されて表に出てこない。しかし、デバイスが小さくなり、不均一性の原因と同程度の寸法になってくると問題が顕在化してくる。これは、デバイスの微細化に伴って不純物ドーピングの統計的ゆらぎが問題になる状況に似ている。また、電極の周辺部の影響も相対的に大きくなっていく。こうしたことから、チップ内やウエハ内のマクロな均一性に加えて、個々の電極や接合面内で均一性をミクロに評価しそれをコントロールすることが今後益々重要になってくる。

本稿では、半導体界面の電気的性質を μm オーダの分解能で評価できる顕微光応答法とその適用例について紹介する。

2. 界面の評価技術

(1) 界面構造のミクロ評価

半導体デバイスを構成している各種界面は埋もれていて、通常はデバイス表面から肉眼で観察することはできない。このことから容易に推察できるように、表面層を残したまま埋もれた界面だけを選択的に評価しようとするのはそれほど易しいことではない。

断面透過電子顕微鏡法は、埋もれた界面を断面方向から界面構造を原子1個のスケールで評価できる方法である⁽³⁾。試料作製法も10年程前に比べると格段に進歩し、現在では格子像の観察により、界面での原子配列の接続様式(エピタ

* 東京都立大学教授；工学部電子・情報工学科(〒192-03 八王子市南大沢1-1)

Microscopic Characterization of Schottky Barrier Height by Scanning Internal-Photoemission Microscopy; Tsugunori Okumura (Department of Electronics and Information Engineering, Faculty of Engineering, Tokyo Metropolitan University, Hachiohji)

Keywords: Schottky barrier height, Scanning internal-photoemission microscopy, photoresponse, titanium/platinum/gold, GaAs, epitaxial aluminum film, silicon, metal-semiconductor interface

1995年1月23日受理

キシャル関係), 不整合転位やステップの存在などを明らかにできるようになった。また, 電子線回折の微小領域測定や特性 X 線の検出 (EDX) 装置との複合により, 界面での反応生成物の組成をミクロに同定することもできる。一方, 表面層を残したまま埋もれた界面を評価できる方法に, ラザフォード後方散乱法 (RBS) があるが面内の空間分解能はまだ良くない⁽³⁾。また, 放射光を X 線源とした微小角入射 X 線回折法は, 埋もれた界面の原子再配列 (超構造) を非破壊に解析できる方法である⁽⁴⁾。

(2) ショットキー界面の電気的評価

これに対して, 界面の電気特性を支配するショットキー障壁高さを求めるには, もっぱらダイオードの電流-電圧特性 (I - V 法), あるいは容量-電圧特性 (C - V 法) が使われてきた⁽²⁾。これらの方法で障壁高さの空間分布を測定するには, 何万個, 何十万個というダイオードをアレイ状に形成し, それを逐一測定するしかない。もちろん, 1 個のダイオードの中で障壁高さの空間分布を評価することは望むべくもない。このように, 電気的評価は, 先に述べた界面構造評価の空間分解能との落差が大きい。したがって, これまでは界面構造と電気的性質との対応関係を同じスケールで議論するのは不可能だった。

ところが最近, ショットキー障壁高さをミクロに評価できる技術が相次いで開発された。ひとつは, 走査型トンネル顕微鏡 (STM) の一手法である弾道電子放出顕微鏡法⁽⁵⁾ (BEEM: Ballistic Electron Emission Microscopy) と呼ばれる技術であり, もうひとつは, 我々の開発した顕微光応答法⁽⁶⁾⁻⁽⁸⁾ (SIPM: Scanning Internal Photoemission Microscopy) である。ここでまず, 両者の特徴を簡単に比較しておこう。弾道電子放出顕微鏡は STM から派生した手法であることを反映して, nm オーダの高い空間分解能が期待できる (この値には疑問も出されている⁽⁹⁾⁽¹⁰⁾)。しかし, この方法で数 μm 角より広い視野をカバーするのは難しい。一方, 顕微光応答法は近赤外光をプローブとして用いているため, 空間分解能はせいぜい $1\mu\text{m}$ であるが, ウェハ全体といったマクロな領域まで一気に評価することができる。測定できる界面の深さは, BEEM 法では金属中の熱い電子の平均自由行程で制限されるため, 10nm くらいが限度である。これに対して, 後で述べる理由から, 顕微光応答法では表面層がどんなに厚くても, また通常のデバイス構造のままで界面を直接評価できるところに大きな特長がある。

3. 顕微光応答法

(1) ショットキー障壁と内部光電子放出効果

金属にその仕事関数より大きな光子エネルギーをもつ紫外線や X 線を照射すると, 励起された電子が真空中に飛び出す。このプロセスは光電子放出効果としてよく知られており,

図2 ショットキー障壁のエネルギーバンド図と内部光電子放出効果。

X 線光電子分光法 (XPS) として固体表面の研究にも使われている。全く同じ現象が固体と固体との界面でも起こる。これは内部光電子放出効果 (internal photoemission) と呼ばれ, そのしきい値は界面におけるポテンシャル障壁の大きさで決まる⁽¹¹⁾。しきい値エネルギーの大きさは, 金属-半導体界面や半導体ヘテロ接合において $(2\sim 20) \times 10^{-20}\text{J}$ (数 100meV から 1eV) のオーダーである。これは近赤外光の領域に相当する。また, p 形半導体に対しては内部光「正孔」放出も起こる。

図2に n 形半導体に対するショットキー接触のエネルギーバンド図を示す。顕微光応答法では,

$$E_G > h\nu > q\phi_B \quad (1)$$

を満足する光をプローブとして用いる。ここで, E_G は半導体の禁制帯幅, $h\nu$ は光子エネルギー, $q\phi_B$ はショットキー障壁高さである。前半の条件は, プローブ光が半導体基板では吸収されないことを意味している。したがって, 光を基板の裏面側から入射すれば, 金属層の厚さに関係なくプローブ光を直接界面に集光できる。顕微光応答法が実際のデバイスに近い埋もれた界面に適用できる理由はここにある。

式(1)の後半は, 界面に到達した光によって金属中で励起された電子が障壁を乗り越えるための条件である。半導体内部に入った電子は空乏層内の内蔵電界によってドリフトされるので, これに伴って外部回路には電流が流れる⁽⁶⁾⁻⁽⁸⁾。照射する光のエネルギーを小さく (波長を長く) していったら, 光電流が流れなくなるしきい値を求めればよいわけだが, 以下の2乗則を用いれば, より簡単にショットキー障壁高さを決定できる。光電変換の量子効率 (光電子収率: photoyield) Y の光子エネルギー依存性は次式で近似される⁽¹²⁾。

$$Y = A(h\nu - q\phi_B)^2 \quad (2)$$

したがって, $\sqrt{Y}$ を $h\nu$ に対してプロットすれば直線になり, $\sqrt{Y} = 0$ まで外挿することによって $q\phi_B$ の値が求まる。これは, ファウラ (Fowler) プロット⁽¹³⁾ としてよく知られている。

ここで, A は $h\nu$ にほとんど依存しない定数である。しか

(a) 光の入射法とファウラプロット

(b) 我々の開発した顕微光応答装置の構成

図3 顕微光応答法。

(a) 光の入射法とファウラプロット。

(b) 我々の開発した顕微光応答装置の構成。

しながら、その大きさは始状態である金属の状態密度と終状態である半導体のバンド構造、電子の界面での量子力学的な散乱、半導体表面付近のポテンシャル分布やキャリア伝導特性などを反映するので、重要な情報源となる⁽¹⁴⁾。例えば、界面付近の原子配列が乱れると、励起電子の散乱やキャリアの再結合が増え、この値は減少する。

式(2)から明らかなように、ショットキー障壁高さ $q\phi_B$ と界面の乱れなどを反映する A の値を決めるには連続的に波長を掃引してスペクトルを求める必要はなく、少なくとも2つの異なる波長で光電流を測定すれば十分である(図3(a)参照)。このようにして光電的にショットキー障壁高さを決定する方法は光応答(photoresponse)法と呼ばれている。

(2) プローブ光のマイクロビーム化と2次元分布測定

レーザービームを界面に集光し、面内でX-Y走査して光電流を2次元的なマップの形で取り込む。これが、顕微光応答法の原理である⁽⁶⁾⁻⁽⁸⁾⁽¹⁵⁾。この方法は、一見すると、レーザービーム励起電流(LBIC: Laser Beam Induced Current)法⁽¹⁶⁾や電子線励起電流(EBIC: Electron Beam Induced Current)法⁽¹⁷⁾に類似しているように見えるが、内部光電子放出に伴う電流は、半導体において多数キャリアによるものである点で本質的に異なる。LBIC法やEBIC法では、半導体の禁制帯幅以上のエネルギーをもつ光や電子線でキャリアを励起しており、電流は少数キャリアによるものである。したがって、励起ビームをいくら細く絞ったとしても、空間分解能

は少数キャリアの拡散長(典型的な値として数 μm から10数 μm)で決ってしまう。

図3(b)に、筆者のグループで開発された顕微光応答装置の模式図を示す⁽⁷⁾⁽⁸⁾。光源として発振波長 $1.3 \mu\text{m}$ の半導体レーザーを用いている。半導体レーザーは複雑な外部変調器が不要で、通電電流により直接変調できるので、ロックイン検出により高い信号対雑音電力比(S/N)が得られる。また、半導体レーザーは動作温度によって発振波長が変化するので、これを利用してファウラプロットを行う。しかし、 $1.3 \mu\text{m}$ の半導体レーザーでは273~333 Kまで温度を変えても波長が約30 nmしか変化しないので、 $q\phi_B$ を高い精度で決定するには、環境温度を含めて測定系全体の安定性を良くしなければならない。系の総合的な安定度が0.2%のとき、0.11 aJ(0.7 eV)のショットキー障壁の決定誤差は約0.0024 aJ(15 meV)になる。

半導体レーザーは放射パターンが対称でないこと、発振モードが必ずしも単一でないことから、ビームを集光するには工夫を要する。我々は、レーザー端面に単一モードファイバを接着させた、いわゆる“pig-tail”型のレーザーダイオードを光源として、さらに赤外線用長作動距離対物レンズ($NA=0.75$, $WD=4 \text{ mm}$, $\times 80$)を用いることによって、界面において回折限界に近い $2 \mu\text{m}$ のスポットサイズまで集光することを可能とした。

光電流は、入力インピーダンスの小さな電流-電圧変換器を通した後ロックイン増幅器により検出している。試料をX-Yステージにより最小ステップ $0.5 \mu\text{m}$ で走査しながらデータを取り込む。ショットキー障壁高さの分布を求めるときは、同一領域をレーザーの波長を変えて2回走査しデータを取り込んだ後、パーソナルコンピュータで式(2)の計算を行う。

4. Au/Pt/Ti-GaAs 積層電極の熱劣化

金属と半導体の固相反応過程を理解することは、半導体電極のプロセス適合性や信頼性を考える上できわめて重要である。こうした反応は、空間的に不均一に進むと考えるのが自然である。我々は、顕微光応答法を使ってGaAsとTi/Pt/Au積層電極の電気特性の劣化が、電極周辺部から始まる不均一な反応によって引き起こされることを初めて明らかにした⁽¹⁸⁾。n形GaAs($n=1 \times 10^{23} \text{ m}^{-3}$)基板上に、電子ビーム蒸着法により、Ti(50 nm), Pt(50 nm), Au(200 nm)をこの順で堆積し、Ar雰囲気中で473~773 Kまでの範囲で等温、および等時間アニールを行った。電極周辺部は SiO_2 膜により保護されている。

図4に、300 s間の等時間アニールを行った試料の光電流の量子効率 Y 、およびI-V法で測定した障壁高さ $q\phi_B$ と理想因子(n -値)の温度依存性を示す。顕微光応答法の測定では、723 K以下の熱処理温度において $\pm 2\%$ の範囲で界面特性は

図4 等時間アニールした Ti/Pt/Au-GaAs 電極の特性. (a) 光応答法, および (b) I - V 法による測定結果.

均一である. 523~673 K の温度領域では, 理想因子が改善されるとともに障壁高さが大きくなる. この温度領域では, GaAs と Pt が固相反応して PtAs_2 と PtGa が形成されることが知られている⁽¹⁹⁾. この反応によって GaAs 基板表面の変成層(自然酸化膜や電子線蒸着に伴うプロセスダメージなど)が消失したことが界面特性の改善につながったものと考えられる⁽²⁰⁾. 事実, オージェ分析によると界面には Pt の信号が検出されるようになる. これは Sinha ら⁽²¹⁾の結果と一致している. このとき, 光電子収率は障壁高さが大きくなることに対応して減少している.

熱処理温度が 723 K を越えるとダイオード特性は劣化する. 図 5 に, 753 K で等温アニールを行ったダイオードの障壁高さおよび理想因子の時間変化を示す. ダイオード特性が劣化するのに伴って特性も電極ごとにばらついてくるのが分かる. 顕微光応答像には電極パターン周辺部に光電流の大きな領域が現れてくる. 図 6(a) に, 753 K で熱処理を行った

図5 753 K における熱処理に伴う Ti/Pt/Au-GaAs ダイオードの電気特性の変化.

図6 753 K, 1.8 ks の熱処理により特性の劣化した Ti/Pt/Au-GaAs ダイオードの (a) 顕微光応答像. (b)-(d) は GaAs 基板のみを選択的にエッチングした後, 界面を走査型オージェ顕微鏡で観察した結果.

試料の顕微光応答像を示す。電極周辺部に観測される信号の大きな領域は、正常な領域に比べてショットキー障壁高さが約 0.006 aJ (0.04 eV) 低い。こうした異常領域が観測される電極では、順方向の I - V 特性において低電圧領域にオーミック性の過剰電流成分が現れるのが特徴である。また、この過剰電流成分の大きさと低障壁領域の面積との間に相関があることが分かった。

図 6(a) とは全く同一の領域ではないが、基板の GaAs を選択的に剝離し、SEM により観測した電極界面の 2 次電子像を (b) に示す。顕微光応答像で見られたように、電極周辺部に局所的に反応が進行した領域が観察される。また、この領域でオージェ分析すると (c) Ga および (d) Au の信号が強くなっていることが分かる。Au と GaAs を直接接合させて熱処理すると、623 K 以上で反応して β -AuGa という合金相が形成される。また、これに伴いダイオード特性が劣化することが知られている⁽²²⁾。したがって、我々の結果は、拡散障壁としての Pt 層があっても、電極周辺の何らかの弱点部を通して最上層の Au と GaAs が局所的に反応して特性劣化を引き起こしていることを示している。

5. エピタキシャル Al と (111)Si 界面のマイクロ評価

適切な条件の下で蒸着すると、Al は (111)Si 上にエピタキシャル成長する。この界面はスパッタ法などの方法で形成されたものと比べて、均一性や熱安定性に優れていると期待されている。しかし、この界面のショットキー障壁の値が測定法によって異なること、またその差が熱処理によって大きく変化することが指摘されている⁽²³⁾。この原因をマイクロレベルで明らかにするために顕微光応答法を適用した⁽²⁴⁾⁽²⁵⁾。

実験に用いた Si 基板は n 形 (111) 面で、希釈フッ酸を用い水素終端処理を行った後、電子ビーム蒸着法により Al を 200 nm 堆積した。ここで紹介するのは、基板温度 493 K で

図 7 基板温度 493 K で形成したエピタキシャル Al/n-Si(111) 界面のショットキー障壁高さ。熱処理時間は 1 時間で処理後急冷した。

(a) 光電流のヒストグラム (22500 ピクセルについての分布)

(b) 熱処理温度 773 K

(c) 熱処理温度 823 K

図 8 エピタキシャル Al/n-Si(111) 界面の顕微光応答法による評価結果。(b), (c) では光電流の大きさを反転してコントラストをつけているので、障壁の高い領域が明るく見える。

蒸着した試料、および、その後 773 K および 823 K で 3.6 ks 熱処理した後急冷した試料についての結果である。各試料について、Al 表面に Ti を直径 500 μ m の大きさにマスク蒸着したのち、リン酸でエッチングを行いダイオードを作製した。

図 7 に、ダイオードの I - V 特性、 C - V 特性から求めたショットキー障壁の値を示す。蒸着直後は、ショットキー障壁高さが測定法によらず 0.115 aJ (0.72 eV) とほぼ一致している。熱処理後は I - V 法で求めた障壁高さは約 0.0024 aJ (15 meV) 減少する。ダイオードの理想因子はいずれの試料についても $n=1.03$ - 1.05 と良好な値を示している。一方、 C - V 特性から得られた障壁高さは、773 K の熱処理によって 0.125 aJ (0.78 eV) まで大きく増加するが、それより高い 823 K では 0.117 aJ (0.73 eV) と再び減少する。

同様なサンプルを用いて 75 μ m $\times$ 75 μ m の領域を 0.5 μ m ピッチで走査し (22500 ピクセル) 光電流の空間分布を測定した。図 8(a) に顕微光応答法で測定した光電流の大きさの空間分布をヒストグラムの形で示す。蒸着直後では均一性は比較的良く、また図 7 において障壁高さが I - V 法と C - V 法でほぼ一致していることから、基板温度 493 K では界面反応はほとんど起こっていないと考えられる。しかし、773 K、

823 K で熱処理した界面では、図 8(a) のヒストグラム、および(b), (c) の光電流の画像(ショットキー障壁の高低に対応するようにコントラストを反転して表示してある)から分かるように、 μm オーダでは非常に不均一であることが分かる。 I - V や C - V 法の結果ではダイオード間のバラツキはほとんど無いことから、図 1 に示したようにこうした障壁高さの不均一性はマクロには平均化されてしまっていると考えることができる。

次に、アニール温度 773 K と 823 K における不均一性の違いと、図 7 の I - V と C - V 法により求めた障壁高さの食い違いについて考察を加える。図 8(b) と (c) から、両者とも障壁の低い領域(図中で黒っぽい部分)は、大きさ、密度ともほぼ違いがないように見える。障壁高さの異なる領域が混在した、いわゆる「並列コンタクト⁽²⁶⁾⁽²⁷⁾」においては、電流は障壁の低い領域に極端に集中する。これは、ショットキー障壁を流れる電流が、

$$\exp\left(-\frac{q\phi_B}{kT}\right) \quad (3)$$

という因子をもつ⁽²⁾ことから容易に理解できる。したがって、 I - V 特性から求めた障壁高さは、熱処理により現れた低障壁層により低下し、773 K と 823 K でそれほど変わらないことが定性的に説明できる。

一方、局所的に障壁が高くなっている領域(白っぽい部分)は、773 K で熱処理した界面においてその値も大きく、また数多く観察される。 C - V 測定では空乏層幅の電圧依存性から障壁高さを求めている。障壁の高い領域からは深くまで空乏層が伸びる。さらに横方向にも空乏層は拡がるので、障壁の高い領域の間隔が狭くなるとお互いの空乏層が 2 次元的に重なることになり、 C - V 特性には高い障壁領域が強く反映される(図 7)。実際、図 8(b) から障壁の高い領域間の間隔を求めると、実験に用いた $0.1 \sim 0.2 \Omega \cdot \text{m}$ の Si に対する空乏層厚と同じオーダ(数 μm)であることが分かる。こうした不均一性の冶金学的原因については現在考察中であるが、この試料の Al 膜は Si との界面での接続様式がいわゆる A 型と B 型の 2 つの混在したものであり、この 2 つの領域の粒界が不均一な界面反応をもたらした原因になっていると考えることができる。

6. お わ り に

以上、埋もれた半導体界面の電気的性質を μm オーダーで評価できる顕微光応答法とその適用例について述べた。電子

顕微鏡や BEEM 法の空間分解能と比べると 2~3 桁低いとはいえ、電気的評価としては従来の方法と BEEM 法の間を埋める技術として有力であることを実証した。

本研究は以下の方々と共同でなされたものであり、謝意を表する。塩島謙次(現 NTT LSI 研究所)、宮崎周司(都立大学工学部)、廣瀬和之氏(NEC ULSI 研究所、現文部省宇宙研)、三浦喜直氏(NEC マイクロエレクトロニクス研究所)。

文 献

- (1) L. J. Brillson (ed.): *Contacts to Semiconductors*, Noyes Pub., NJ, (1993).
- (2) 河東田隆編著:「半導体評価技術」, 産業図書, (1989), p. 166.
- (3) 同上: p. 303.
- (4) 秋本晃一, 水木純一郎, 廣沢一郎, 松井純爾: 応用物理, **58**(1989), 66.
- (5) W. J. Kaiser and L. D. Bell: Phys. Rev. Lett., **60**(1988), 1406.
- (6) T. Okumura and K. Shiojima: Jpn. J. Appl. Phys., **28**(1989), L1108.
- (7) K. Shiojima and T. Okumura: Jpn. J. Appl. Phys., **30**(1991), 2127.
- (8) 奥村次徳, 塩島謙次: 表面技術, **42**(1991), 73.
- (9) Y. Hasegawa, K. Kuk, R. T. Tung, P. J. Silverman, T. Sakurai: J. Vac. Sci. & Technol., **B9**(1991), 578.
- (10) R. T. Tung: Phys. Rev., **B45**(1992), 13509.
- (11) R. Williams: *Semiconductors and Semimetals*, Vol. 6, Academic, New York, (1970), p. 97.
- (12) R. H. Fowler: Phys. Rev., **38**(1931), 45.
- (13) C. R. Crowell, W. G. Spitzer, L. E. Howarth and E. Labate: Phys. Rev., **127**(1962), 2006.
- (14) V. I. Dalal: J. Appl. Phys., **42**(1971), 2274.
- (15) T. H. DiStefano: Appl. Phys. Lett., **19**(1971), 280.
- (16) K. L. Ashley, J. R. Biard: IEEE Trans. ED-14 (1967), 429.
- (17) W. H. Hackett, Jr.: J. Appl. Phys., **43**(1972), 1649.
- (18) K. Shiojima and T. Okumura: Proc. 29th International Reliability Physics Symposium, Las Vegas, (IEEE, 1991), p. 234.
- (19) V. Kumar: Phys. Chem. Solids, **36**(1975), 535, and A. K. Sinha and J. M. Poate: Appl. Phys. Lett., **23**(1973), 666.
- (20) C. Fontaine, T. Okumura and K. N. Tu: J. Appl. Phys., **54**(1983), 1404.
- (21) A. K. Sinha, T. E. Smith, M. H. Read and J. M. Poate: Solid-State Electron., **10**(1976), 489.
- (22) E. Beam III and D. D. Chung: Thin Solid Films, **128**(1985), 321.
- (23) Y. Miura, K. Hirose, K. Aizawa, N. Ikarashi and H. Okabayashi: Appl. Phys. Lett., **61**(1992), 1057.
- (24) S. Miyazaki, T. Okumura, Y. Miura, K. Aizawa and K. Hirose: Inst. Phys. Conf. Ser. No. 135, IOP, Bristol, (1994), p. 361.
- (25) S. Miyazaki, T. Okumura, Y. Miura and K. Hirose: *Control of Semiconductor Interfaces*, Elsevier, Amsterdam, (1994), p. 255.
- (26) I. Ohdomari and K. N. Tu: J. Appl. Phys., **51**(1981), 3735.
- (27) T. Okumura and K. N. Tu: J. Appl. Phys., **61**(1987), 2955.