配線技術と LSI 設計

山 品 正 勝*

1. はじめに

LSI の高性能化はプロセス、デバイス、アーキテクチャおよび回路技術の進展に支えられてきた。図 1 にマイクロプロセッサの動作周波数と最長遅延経路の論理回路の段数を示す。デバイススケールと回路・アーキテクチャ技術の発展により 20 年で 60 倍の高速化が達成された。しかし、論理回路段数は既に 20 段程度まで削減されており、今後の 20 年間で、過去 20 年間で達成したのと同じ 1/10 の削減を実現する事は、プロセスの設計上、困難と思われる。これからはデバイススケールによる高速化を維持しつつ、並列処理による高性能化技術を確認しなくてはならない。しかし、微細化に伴い配線遅延が増大し、LSI の性能が低下する恐れさえ指摘されている⁽¹⁾⁻⁽⁴⁾。さらに配線技術の LSI 設計への影響は遅延だけでなく、カップリングによる回路の誤動作やエレクトロマイグレーションによる断線といった信頼性低下の問題も引き起こす。いずれも Al 配線の抵抗や層間膜容量が主因となっており、これらの課題を解決するために配線材料のみならず、配線構造、回路、レイアウトの各観点から研究開発が進められている⁽¹⁾⁽²⁾⁽⁴⁾。

本論文では LSI 設計の視点から Al 配線抵抗による遅延時間の増大、エレクトロマイグレーションによる信頼性の低下、電源線電位の電位降下、配線間カップリングによる誤動作とそれらの解決策について述べ、Al 配線の限界を決める要因について考察する。

図 1 マイクロプロセッサの動作周波数と最長遅延経路の論理回路段数。

2. 配線遅延の増大とその解決策

配線遅延を削減するために、材料、プロセス、回路、レイアウトの各観点から研究開発が進められている。本節ではそれらの課題と解決策について述べる。

(1) 配線スケール

配線厚みや配線層数のスケールシナリオと回路技術および LSI 設計手法によって LSI の性能が決まる。本節では配線のスケールと LSI の性能について述べる。回路方式はスタティック回路、設計手法は ASIC (Application Specific Integrated Circuits) を仮定した。

* 日本電気株式会社マイクロエレクトロニクス研究所システム ULSI 研究部研究課長(〒229-11 相模原市下九沢1120)
ULSI Interconnect Design; Masakazu Yamashina (Microelectronics Research Laboratory, NEC Corp., Sagami-hara)
Keywords: interconnect, ultra-large scale integrated circuit, circuit design, layout
1997年 1 月17日受理

図3 配線層数とチップコスト.

図4 チップサイズが一定の場合のLSIの遅延時間.

図5 集積する論理回路数が一定の場合のLSIの遅延時間.

図2 配線のスケールシナリオ.
(1)定ピッチ多層配線, (2)定アスペクト比(=2)微細配線.

配線のしやすさが集積度を決定する論理回路では、以下の式で配線のピッチおよび層数と集積度の関係を示すことができる⁽¹⁾。

$$D = ((f \cdot l \cdot p) / (e \cdot n))^{0.5} \quad (1)$$

ここで、配線面積を含めた1論理回路の1辺の長さを D 、配線ピッチを p 、配線効率を e 、配線層数を n 、平均ファンアウト数を f 、平均配線長を l とする。つまり、ピッチ p が小さいほど、また、配線層数 n が増えるほど配線面積を含めた論理回路面積 D を小さくできる。つまり、集積度を向上する(D を小さくする)には、ピッチの削減と多層化の2つのシナリオがある事がわかる。

図2にこの2つのシナリオの配線層数と配線ピッチを示す⁽⁵⁾。(1)は集積度の改善を配線の多層化により実現し、配線抵抗の問題は配線幅をスケールしない事により回避するシナリオ、(2)は多層化を抑えて微細化により集積度を改善するシナリオである。(1)はAl配線材料を使い続けるためのスケールシナリオである。多層化によりチップサイズは小さくなるものの、プロセスコストが増加するため、チップコストを最小にする配線層数が存在する(図3)。(1)の多層化はTAT[†]とプロセスコストの点からは不利であり、配線プロ

セスの低コスト・短TAT化が課題になる。しかし、(2)の微細配線により生じるエレクトロマイグレーション、電位降下、などの様々な問題を回避できる。

次に多層配線によるLSI性能の改善について述べる。多層配線の効果はチップサイズが一定の場合と論理回路数が一定の場合で異なる。図4にチップサイズ一定(400 mm²)の場合のLSIの遅延時間のシミュレーション結果を示す。これは、微細デバイスを使用していながら、高集積化のためにチップサイズを小さくできないLSIの状況を模擬している。配線遅延はチップ内を横断する長配線に関わる遅延で、チップサイズに比例した長さがある。このため、多層配線を用いて平均配線長を削減しても、チップサイズが削減されないと、配線遅延は削減されない。これに対して図5に示すように集積する論理回路数が一定の場合は、多層化によりチップサイズが小さくなるためグローバル配線の長さが短くなり、LSIの遅延も小さくできる。図5は、同一機能のLSIをテクノロジーの進展によりチップサイズを小さくしていく場合と考えられる。ここで、配線材料はAl、回路の遅延はファンアウト3で平均配線長を含んだ論理回路20段の遅延時間、配線遅延はチップの対角線の半分の配線長を持つグローバル配線に関わる遅延としてシミュレーションした⁽¹⁾。平均配線長はレントの法則^{††}を用いて求めている。

このように微細化により生じる遅延問題への方策として、

† TAT : Turnaround Time

一般に、ある処理に要する時間のことを指す。本論文では、多層配線化によるプロセス時間、すなわちTATの増大について議論している。

†† レントの法則 : Rent's Rule

LSIやボードに集積化するゲート数と、端子数や配線長の間係を示す経験則

参考文献 : W. E. Donath: "Placement and average interconnection length of computer logic", IEEE Trans on Circuits and Systems, CAS-26(April 1979), pp. 272-277.

多層配線は有効である。しかし、図2に示すように0.1 μm 以下時代にも集積度を向上していくには、10層以上の配線層数が必要になる⁽⁵⁾。このため、配線の微細化により層数の増加を抑えるのが現実的な解である。次節ではAl配線の微細化により集積度を向上し、そこで生じる遅延増大、等の課題を回路・レイアウトの設計により解決することを述べる。

(2) 回路による配線遅延の削減

本節では配線遅延の削減に、設計面からの取り組みが有効であることを示す。まず、Al配線の微細化による遅延増加を抑える回路技術について述べる。配線長に比例して、その抵抗と容量が増大するため、配線遅延は配線長の2乗に比例して増大する。図6に示すように配線の途中に駆動回路を挿入して一つの回路が駆動する配線長を短くし、遅延を削減する方法が知られている⁽¹⁾⁽⁴⁾。この挿入する駆動回路をリピータ(repeater)と呼ぶ。信号線に挿入するリピータには論理回路の動作を変えないために2個のインバータを連続接続した回路を用いる。これに対してクロック分配線の論理は簡

図6 リピータの挿入による配線遅延の削減。

単であるためは、最も構成の簡単な論理回路であるインバータをリピータとして使用する。リピータを挿入しない配線の遅延は、配線抵抗と配線容量をかけ合わせた値で決まる。これに対して、リピータを挿入すると、前述の配線遅延はリピータにより分断した配線の遅延とリピータの遅延を足し合わせた遅延になり小さくできる。図7に0.35 μm CMOSの場合のリピータの数と配線遅延を示す。リピータの挿入によって配線長の2乗に比例して増加する遅延が、配線長の1乗に抑えられていることがわかる。図8にリピータによる高速化の効果を示す。多層配線を用いても顕著な高速化ができないチップサイズが一定の場合(図4)に対しても、リピータが有効であることを示している。配線遅延が周波数の改善を妨げる微細なデバイスを用いたLSIほど、リピータによる改善の効果が大きくなる。このように、リピータを用いれば0.1 μm 時代までLSIの性能を改善しつづけることが可能である。

リピータは微細デバイスを用いたLSIの高性能化に必須の設計技術である。しかし、すべての配線にリピータを挿入すると、図9に示すようにリピータ数がチップサイズに影響を及ぼす。このため、動作周波数に影響する経路の配線のみ

(3) レイアウトによる配線遅延の削減

もう一つの設計面でのアプローチに配線幅や配線間隔の最適化がある。(1)節で述べたデバイスアプローチの配線スケールリングとの違いは、LSIや設計箇所の配線遅延に応じて配線幅と配線間隔を最適化することである。配線幅の拡大は配線抵抗を削減し、配線底面容量を増加する。配線側面の容量を含めた総配線容量の増加率が、配線抵抗の削減率を下回るため、トータルの配線遅延は小さくなる。また、配線間隔の拡大は隣接配線容量を削減し、結果として配線遅延が小さくなる。

図7 リピータ数と配線の遅延。
 k : 定数, R_{int} : 配線抵抗, C_{int} : 配線容量。
 R_d : 駆動回路の抵抗, C_d : 駆動回路の容量。

図8 リピータ挿入によるLSIの高速化。
(チップサイズ 400 mm^2)。

図9 微細化に伴うリピータ数の増大。

図10はAl配線ピッチの拡大率と動作周波数およびチップサイズの関係を示している。5層Al配線のうち1層のみを拡大すると仮定してシミュレーションした。ピッチを拡大すると式(1)で示したようにチップサイズが大きくなる。このため、配線遅延がピッチの拡大により小さくなる効果と、ピッチの拡大により配線長が長くなる効果のバランスによって、拡大率は最適値を持つ。そして、最適な拡大率はテクノロジーと回路規模によって異なるため、特定の配線層の配線ピッチを全て拡大する方法は、チップサイズや動作周波数の観点から不利になる。設計対象のLSIに応じてピッチ拡大率とピッチを拡大する配線数を選択するべきである。

図11に2倍ピッチにするAl配線数と動作周波数の関係を示す。2倍ピッチにすべき配線数が全配線数の20%と仮定すると、特定の1層を2倍ピッチにすれば約30%の高速化が可能である。しかし、図からわかるように、長配線の数に応じて2倍ピッチにする配線数を変更した方が、面積が増えない分、高速化できる。また、2倍ピッチにする配線数の割合が増加すると面積増大により効果が小さくなる。前節で述べたリピータと本節のレイアウト手法を用いれば、Al配線を用いても0.1 μm 時代まで、LSIの性能を改善しつづけることが可能である。次節では配線材料による高速化について述べる。

(4) 低抵抗配線材料による遅延削減効果

配線遅延の削減のためにAlに代わる低抵抗配線材料のLSIへの適用が検討されている。図12に各種配線材料の比抵抗を示す。安価でエレクトロマイグレーション(EM)耐性の優れているCu配線の開発が進められている。Cu配線の実用化にはエッチングの困難さや酸化しやすさ、そして酸化膜への拡散係数が高い、などの問題があるものの、別章で述べられるように酸化膜の溝にCuを埋め込むDamascene法が提案され実用化に向けて開発が進められている⁽²⁾。

図13にCuによるLSIの高速化を示す。微細化が進むほど配線遅延の問題が顕著になるため高速化の効果が大きくな

る。ただし、Cuの拡散や酸化を防ぐためバリアメタルが必要であり、実質的なピッチあたりの抵抗が上がる⁽⁵⁾。また、新しい材料の導入は配線抵抗による遅延問題を軽減できるが、配線材料の抵抗を継続的にスケールリングできない限り、さらに微細化が進むと問題は再燃する。このため、設計面での対策と併せた対応が必要である。

(5) 低誘電率配線間膜材料による遅延時間の削減

図14に配線間膜として検討されている各種材料の比誘電率を示す。比誘電率を低減する技術としてフッ素系化合物を原料ガスに添加し、膜中のSi-F結合量を増加させる方法やテフロンのような有機系樹脂膜の導入がある。材料およびプロセスの課題は後章で述べられる。ここでは低誘電率膜テフロンによるLSIの高速化の効果をシミュレーションにより示す(図15)。低誘電率膜の導入は、充放電すべき負荷容量を削減できるので遅延削減だけでなく省電流にもつながり、低電力化やエレクトロマイグレーション耐性の改善を実現する。しかし、配線材料と同様、プロセス上の課題を抱えている。また、今後、微細化した時に直面する課題に向けて、設計技術と併せた技術開発が必要である。

3. エレクトロマイグレーションと電源配線抵抗による電位降下

金属イオンが電荷の流れによって移動させられ、断線や短絡、などを引き起こすエレクトロマイグレーションはAl配線の微細化の深刻な課題である。その信頼性は配線を流れる電流密度の逆数または逆数の2~3乗に比例して低下することが知られている⁽⁶⁾。本節では設計の視点でEMについて述べる。

図16のようなa, b, cの3種類の回路ブロックに電流を供給する場合には、各ブロックa, b, cの近傍の配線は細くして集積度を劣化させないようにする。これに対して、主電源線には $I_a + I_b + I_c$ の大きな電流が流れるため、電流密度を

図10 Al配線ピッチの拡大率とLSIの動作周波数。

図11 2倍ピッチにするAl配線の数と動作周波数。

図12 各種配線材料の比抵抗。

図13 Cu配線によるLSIの高速化.

図14 各種配線間膜材料の比誘電率.

図15 テフロンを配線間膜に用いることによるLSIの高速化.

図16 電源配線トポロジと回路ブロック.

図17 隣接配線長と遅延時間.
(隣接配線の電位が変化しない時の遅延で規格化している).

下げるように配線の幅を広くする。この太配線は、集積度に影響を与えるだけでなく、一部のブロック設計が変更になるとチップ全体の電源線の再設計が必要になる。このEM耐性の検証は、チップ全体のレイアウトの最終段階で行うため、設計期間の増加、などへの影響が大きい。このため、電源線を敷き詰めるメッシュ型やプレート型の配線もLSIに適用されている⁽⁷⁾。しかし、メッシュ型やプレート型の電源線は設計上の簡便さはあるものの、冗長性が多く配線層を無駄に使用するためコストが高くなる。前述のCu配線のように高いマイグレーション耐性を有する材料を使用できればEM設計が容易になる。

また、電源配線設計のもうひとつのポイントが配線抵抗による電位降下である。これを防ぐには、電源線の抵抗を下げるために、配線長を短くする、または配線幅を広くする、等のレイアウト上の施策やCuの採用が有効である。電源配線設計は回路設計と、時間的にシリアルに行うため再設計による設計期間へのインパクトは大きく、今後の微細Al配線設計の大きな課題であると考えられる。

4. 配線間容量カップリングによる遅延ばらつきと回路の誤動作

Al配線の抵抗の増大を抑えるために、配線を薄くせずに狭ピッチ化すると、配線間容量の全配線容量に占める割合が増加する⁽⁸⁾。この結果、配線間容量によるカップリングが回路の遅延時間ばらつきや誤動作を引き起こす⁽⁴⁾。本節ではカップリングの回路動作への影響と対策について述べる。

(1) 遅延時間のばらつき

隣接配線間容量が充放電すると、配線の電位が影響を受ける。特に、隣り合う信号線がそれぞれ充電と放電を行うと、充放電すべき電荷量が多くなり、遅延時間が長くなる。これに対して、同相で動作すると遅延時間は短くなる。図17は、隣接配線長と隣接配線の電位が逆相に動いている時の遅延時間の関係を示している。隣接配線の電位が一定の時の遅延で規格化している。隣接配線長が長くなると、ゲート容量、拡散容量および配線容量、などの総負荷容量に占める隣接配線

図18 容量カップリングにより誤動作するダイナミック回路.

図19 ラッチ回路の追加によるダイナミック回路のカップリング耐性の強化.

間容量が大きくなり、かつ、配線抵抗が大きくなるため電位を固定する駆動回路の影響が小さくなる。このため隣接配線の電位変動の影響を受けやすくなり、遅延時間がばらつく。この解決には総容量に占める固定容量を増加させればよい。例えば、(1)幅の広い配線によって対基板容量を増加させる、(2)配線間隔を広げて隣接配線間容量を小さくする、(3)配線間にシールド配線を挿入して信号線間カップリング容量を削減する、などである。上記方策は横方向の隣接に対するものであったが、縦方向、つまり上下層の配線間カップリングに対しては、隣接面積が小さくなるように上下隣接層の配線、つまり1層と2層、2層と3層などは直交させるのが一般的である。また、回路ではカップリングが生じて配線電位を安定にする力を大きくするために、駆動回路のゲート幅を大きくする。しかし、配線長が長くなると駆動回路のゲート幅を大きくしても、配線抵抗の影響で効果が小さいので、リピータを挿入して配線長を短くする。さらに、隣接配線の動作が同時に起こらないようにタイミングをずらすことも遅延時間のばらつきの削減に効果がある。

(2) 回路の誤動作

配線間カップリングは前節で述べた遅延時間のばらつきだけでなく、回路の誤動作をも引き起こす。特に電荷のダイナ

ミックな保持でデジタル値を表現するダイナミック回路では、カップリングによる信号電位の変動が回路の状態を変化させやすい。図18にダイナミック回路の模擬図を示す。配線カップリングにより点Aに保持された電荷が放電され、誤った信号になる恐れがある。これを避けるために前節で述べたレイアウトおよび回路手法が有効であるが、さらに、図19に示すように、カップリングにより放電した電荷を供給する回路(ラッチ回路)を追加する方法がある。これはダイナミック回路の良さである高速動作性を犠牲にして、スタティック回路の長所である静的な電荷保持能力を付け足すものである。また、配線間カップリングを生じさせる信号数を符号化により削減する手法もある⁽⁹⁾。カップリングはAlに代わる低抵抗材料や低誘電率膜の使用により軽減される。しかし設計によって対処可能であり、カップリングがAl配線の限界を決めることはないであろう。

5. おわりに

本論文ではAl配線技術の課題についてLSI設計の視点から述べた。配線抵抗、容量、EM耐性、などのパラメータを考慮した配線設計が、LSIの性能や品質を決めている。新しい配線材料や配線プロセスは、本論文で述べた回路・レイアウトの対策と併せた開発を進めることで、より効果を上げられる。Al配線に可変ピッチやリピータのような設計アプローチを用いれば0.1 μm 時代まで高性能化を実現できる。Al配線のブレークスルーは、高性能化よりも微細加工やコンタクト形成のようなプロセス、そしてエレクトロマイグレーションに必要とされていると考える。

文 献

- (1) H. B. Bakoglu: "Circuits, Interconnections and packaging for VLSI, Addison-Wesley, (1990).
- (2) 柴田英毅: 電子情報通信学会論文誌, C-2, Vol. J78-C-2 (1995), No. 5, 165.
- (3) T. Iima, M. Mizuno, T. Horiuchi and M. Yamashina: IEEE J. of solid state circuits, **31**, (1996), 531.
- (4) 山品正勝: 信学技報, **ICD95-236**, (1995-03), 53.
- (5) Mark T. Bohr: Interconnect Scaling -The Real Limiter to High Performance ULSI, 10.1.1, IEDM Digest of Technical Papers, (Dec. 1995).
- (6) Ping-Chung Li and Tak K. Young: ICs, IEEE Spectrum, (Sept. 1996) pp. 75.
- (7) Bradley J. Bensneider, A. J. Black, W. J. Bowhill, S. M. Britton, D. E. Dever, D. R. Donchin, R. J. Dupcak, R. M. Fromm, M. K. Gowan, P. E. Gronowski, M. Kantrowitz, M. E. Lamere, S. Mehta, J. E. Meyer, R. O. Mueller, A. Olesin, R. P. Preston, D. A. Priore, S. Santhanam, M. J. Smith and G. M. Wolrich: IEEE J. of Solid-State Circuits, **30**, (1995), 1203.
- (8) T. Sakurai and K. Tamaru: IEEE Trans. Electron Devices, **ED-30**, (1983), 183.
- (9) Craig Heikes and Glenn Colon-Bonet: A Dual Floating Coprocessor with an FMAC Architecture, ISSCC Digest of Technical Papers, SP 22.1, (1996), 354.