Cu 配線の軌跡・奇跡

高辻博史*

1997年秋、約四半世紀の開発期間を経て、“red aluminum” すなわち銅(Cu)配線を採用した次世代半導体の製品化を発表した。この発表は社内でも一部の関係者しか知らなかったが、我々にとっても電撃的なものであったが、業界ではCuの成膜方法、銅の拡散防止方法、層間絶縁膜の種類等について関心が集まり、また市場でも株価はもちろん銅価格の上昇に結びつくほどの衝撃が走った。IBM以外の半導体メーカーも、デザインルール0.15 μm からCuダマシンに移行する予定で開発を行っていたようであるが⁽¹⁾、0.20 μm ルールから導入を発表したことも衝撃の一因と考えられる。

今回は、Cu配線技術の紹介だけでなく開発過程における問題等についても筆者の調べた限り紹介したい。

1. 背景

現在半導体素子の配線は、Al-Cu合金(Cuの含有率が多くても数質量%)等で形成され、配線間の立体的な接続には主にW、層間絶縁膜にはSiO₂等が使用されているが、半導体素子の高集積化とチップサイズの小型化に伴い、配線の微細化および多層化が進み、そのために配線間の間隔が狭まり配線間容量が増大する傾向にある。配線間容量の増大は配線遅延によるLSIの性能低下を招く要因となり、対応策として低抵抗配線または低誘電率層間絶縁膜の開発が次世代半導体では必須となっている⁽²⁾⁻⁽⁴⁾。そこで、Alに変わる配線材料として銀(Ag)よりコスト的にも安価で、Alより約4割抵抗率が低く、0.30 μm 幅の配線を想定するとT₅₀ライフタイムで従来のAlCu合金より100倍以上の高いエレクトロマイグレーション(EM)耐性のあるCuが次世代の低抵抗配線材料として有力となった⁽⁵⁾⁻⁽⁸⁾。しかし、Cuも配線材料としては克服しなければならない多くの課題を持っていた。特に、CuがAlより容易にシリコン層に拡散し易く、半導体チップ内で回路間のショートやリークを起こすことがもっとも深

刻な問題となり、IBMでは電卓用に初めてLSI(1 K MOSメモリ)が登場した1970年代はじめから実用化までに約四半世紀という長い研究開発期間を要する結果となった。

それでは、次に技術的課題と四半世紀の歩みについて特徴的な製造プロセスに焦点をあてて紹介していきたい。

まずCuをどのような方法で配線形状に加工するか？

Cuはドライエッチ、ウェットエッチでは簡単に微細加工できないため、予め層間絶縁膜に配線パターン溝を形成、そこにCuを成膜し配線パターン溝まで化学機械研磨法(Chemical mechanical polishing: CMP)法で余分な膜を除去するダマシンプロセスが採用される(図1(a))。一昔前のように配線幅が数ミクロンほどあるような設計ルールであればレジストで配線パターン溝を形成、そこに金属膜を成膜し、その後レジストを除去するリフトオフ法(図1(b))も使えるが、サブミクロンオーダーの加工は不可能である。ただ、ダマシンプロセスもリフトオフ法の延長線上にある技術であることは、図1から判断できる。ダマシンプロセスが各配線パターンとビアホールを別々に形成していくのに対して、Cuでは配線材とビアホールへの埋め込み材が同じなので、層間絶縁膜に配線用の溝とビアホールを形成しておき、そこに配線材を埋め込みCMP法で配線とコンタクトを同時に形成するデュアルダマシンプロセス(図1(c))を採用することができた。デュアルダマシンプロセスは、1990年頃からタングステンを用いて量産ラインで採用してきたが、CMPプロセスの回数低減だけでなく、配線とビアホールを同一材料で一気に埋め込むため、界面の抵抗増加や多層構造となっている配線間の接続の役目をするビアホールのエッチング不足によるオープン不良を激減させ、生産ラインでの歩留り向上にも貢献した。

デュアルダマシンを含めダマシンプロセスでは、CMPプロセスが重要となり、研磨異常やCuの腐蝕発生を防止する為の研磨剤、パッド、プロセスの開発が長年行われ

* 日本アイ・ビー・エム(株)大和事業所 LCD 解析技術係長(〒242-8502 大和市下鶴間1623-14 (LAB-R51))
Locus and Miracle for Copper Interconnects; Hiroshi Takatsuji (Yamato Lab., IBM Japan, Ltd., Yamato)
Keywords: copper, dual damascene, electroplating, complementary metal-oxide-semiconductor; CMOS, red aluminum
1998年9月18日受理

ダマシンプロセス

図 1(a)

リフトオフプロセス

図 1(b)

デュアルダマシンプロセス

図 1(c)

たが(3)(4)(7), 安定的な量産対応を行うには装置の適正な管理を含めた工程作業スキルに依存する一面もあり, まさに現代の名工を必要とする工程でもある。

2. Cu の 成 膜

デュアルダマシンプロセスでは配線とビアホールへ同時に高アスペクト比の Cu 埋め込み技術が必要となり, この課題を克服するためにスパッタ法, CVD 法, めっき法等の成膜方法が検討された。

(1) スパッタ法

成膜技術としては非常に成熟した技術で Cu の成膜および膜質に関して多くの報告があるが⁽⁸⁾⁻⁽¹⁰⁾, ターゲットとウェーハー間の距離を伸ばし, 垂直成分を高めたロングスロースパッタ法を用いてもアスペクト比1.5程度が限界で⁽¹¹⁾, アス

ペクト比2以上が要求されるデュアルダマシンプロセスには対応出来なかった。

(2) CVD 法

スパッタ法で問題となった高アスペクトの埋め込み性能に関しては, 先に述べたタングステンを用いたデュアルダマシンプロセスで十分に経験を積んだ技術であり十分対応可能であった⁽¹²⁾。

しかし, 混合ガスを原料とする CVD 法での Cu の成膜では, 異物混入による膜質の低下やグレインサイズが小さくなり EM 耐性がとれないなどの問題があった⁽¹²⁾。また, CVD 装置コストが高額で, 成膜速度も遅く生産性が悪いことも問題であった。

(3) 電解めっき法

製品化を発表した時, Cu の成膜を電解めっきで行ってい

ることが判明し「意外だった」と思われた方も多かったことと想像するが、Si ウエハー上に Cu を電解めっきする試みは、1973年より IBM T. J. ワトソン研究所で行われていた。この時はコンタミネーションがひどく使い物にならなかったと記録されている。その後、Cu めっき法が1979年に記憶媒体の薄膜磁気ヘッドへの実用化に成功し、現在では成膜速度もほぼスパッタ並みでグレインが大きな膜質のよい薄膜を作成することが可能となり、デュアルダマシンに対応するための埋め込み特性が良好で、他の成膜方法の CVD やスパッタに比べ装置コストが安く、プロセスコストも安価で、プロセスの管理も安易であることから採用となった。Cu のめっき法は約四半世紀も前から検討されていたが、1990年代に Cu 配線の研究開発チームが発表した多くの論文には電解めっき法で成膜された Cu 薄膜および半導体素子についての記載は、C-K. Hu らのめっき法で形成した Cu 配線とスパッタ法で形成した Al-Cu 配線のエレクトロマイグレーションに関する論文⁽⁵⁾以外1997年の製品化発表まではほとんど見られない。Cu 成膜を、料理用なべの底に銅をコーティングするのと同じ電解めっき法で行うことは関係者しか知らなかったようである。

3. 層間絶縁膜の選択

配線間容量の増加を防止するために低誘電率層間絶縁膜として低誘電率なハイテクプラスチックといわれたポリイミド(PI)が1980年代後半からは使用され、拡散防止膜にタンタル(Ta)、そして CMP の研磨停止膜に Si_3N_4 を用いて、シングルダマシン法で4層配線構造のバイポーラ半導体素子が1993年に完成した⁽²⁾⁽¹³⁾。そして研究開発チームは、量産化に向け生産工場で次世代半導体を支える自分たちの Cu 配線技術について提案を行った。しかし、生産現場からの答えは「ポリイミドは柔らかすぎて量産レベルの CMP プロセスには対応できない。科学研究的には非常にすばらしいが、現場でこの技術は採用出来ない。」と拒絶されてしまった。そして、半導体素子の焦点がバイポーラから CMOS へと変化する中で、数多くのチームがあった Cu 配線の開発は小人数のチーム一つが残るのみとなった。

4. 可能性への挑戦

1994年、一年前の拒絶をばねに彼らは、一年前に自分た

ちの技術を拒絶した相手に、 SiO_2 を層間絶縁膜としたデュアルダマシン法と電解めっき法を組み合わせた生産性に優れたプロセスを提案した。そして、64MbitDRAM を開発していた同じラインで赤く輝くウエハーの試作を何度となく密かに繰り返し、高い生産性をそなえた次世代半導体では必須の Cu 配線技術を確立させたのである⁽⁶⁾⁽⁷⁾。

5. おわりに

今回電解めっき法による半導体用 Cu 配線について研究開発過程のエピソードを交えながら紹介した。Cu 配線技術は半導体素子の高集積化とチップサイズの小型化に伴い開発されたが、逆にスケールアップで配線抵抗が問題になると予想される TFT 液晶ディスプレイの世界でも、今後注目すべき技術であると考ええる。最後に、Cu の拡散防止膜等述べることの出来なかった内容もあるが、実用化という観点から何らかのブレイクスルーが必要な研究分野の方々への一助となれば幸いである。

文 献

- (1) 月刊 Semiconductor World プレスジャーナル, (1998. 2), 82.
- (2) C-K. Hu, M. B. Small, F. Kaufman and D. J. Pearson: MRS. Symp. Proc. VLSI V., (1990), 369.
- (3) Cu 配線技術の最新の展開, Realize Inc., Tokyo, (1998), 207.
- (4) J. Heidenreich, D. Edelstein, *et al.*: IITC 98 IEEE, 151.
- (5) C. K. Hu and B. Luther: Materials Chemistry and Physics, **41**(1995), 1.
- (6) C-K. Hu, D. C. Edelstein, C. Uzoh and T. Sullivan: 3rd International workshop Stress-Induced Phenomena Metalization AIP Conf. Proceedings 373, (June 1995), 153.
- (7) C-K. Hu, B. Luther, F. B. Kaufman, J. Hummel, C. Uzoh and D. J. Pearson: Thin Solid Films, **262**(1995), 84.
- (8) C-K. Hu, K. Y. Lee, K. L. Lee, C. Cabral, Jr., E. G. Colgan and C. Stanis: J. Electrochem. Soc., **143**, No. 3, (1996), 1001.
- (9) J. Gupta, J. M. E. Harper, J. L. Mauer IV, P. G. Biauner and D. A. Smith: Appl. Phys. Lett., **61**(6), (1992), 663.
- (10) J. M. E. Harper, J. Gupta, D. A. Smith, J. W. Chang, K. L. Holloway, C. Cabral, Jr, D. P. Tracy and D. B. Knorr: Appl. Phys. Lett., **65**(2), (1994), 177.
- (11) 月刊 Semiconductor World プレスジャーナル, (1997. 12), 173.
- (12) C-K. Hu and S. K. Reynolds: Electrochemical Society Proceedings Volume 97-25, 1514-1523.
- (13) J. M. E. Harper, E. G. Colgan, C-K. Hu, J. P. Hummel, L. P. Buchwalter and C. E. Uzoh: MRS Bulletin, (August 1994), 23.