新時代を迎えたエレクトロニクス 配線技術

守山実希*

邑瀬邦明**

藤川隆男***

小川真一****

村上正紀*****

1. はじめに

20世紀の幕切れに世界を席捲した情報技術(IT)革命は、今や社会の隅々まで浸透し、一般家庭でもインターネットによる新しいライフスタイルが形成され始めている。このIT革命は言うまでもなく、コンピュータの画期的な進歩(高性能化)が火付け役を担っている事は疑う余地もない。現在描かれているIT夢物語を近未来に現実のものとするには、コンピュータ技術、とりわけ半導体デバイスの更なる技術革新が不可欠である。

半導体デバイスと一般の工業製品の技術開発指針には、大きな違いがある。飛行機、自動車等で代表される一般的な工業製品では、サイズを大きくすれば容量が増加し、性能(パワー)も向上する。しかし半導体デバイスは小さくすればする程、性能(高速化)が向上し、容量も増加するばかりでなく、省エネルギー化にも寄与する。これはスケーリング則と呼ばれ、半導体デバイス素子サイズを $1/k$ に縮小すると、半導体素子の心臓部にあたるトランジスタ(ゲート)での信号遅延時間は、電界一定型トランジスタでは $1/k$ 、電流電圧一定型トランジスタでは $1/k^2$ になり、デバイスの遅延時間が大幅に短縮され、高速化が実現できる。過去20~30年間の傾向をたどると、このスケーリング則に従い、デバイスの設計サイズは3年間で30%ずつ縮小し、マイクロプロセッサ上のトランジスタ数も約3倍ずつ増加の傾向をたどっている。

一方メモリの密度もデバイス縮小に伴い増加し、DRAM (Dynamic Random Access Memory)は3年間で4倍の高密度化の傾向を維持し、27年間では百万倍の密度増加となっている。この縮小傾向が続けば、2014年頃には1テラ(1兆)ビットのDRAM、および36億個のトランジスタのマイクロプロセッサの実現が期待される。

このように20世紀後半の半導体デバイスの高性能化の進展は「デバイスの微細加工技術の進展」と共に歩んできた。しかし、デバイスの信号遅延時間はトランジスタ(ゲート)遅延だけで決定されるのではなく、配線遅延時間にも大きく影響を受ける。トランジスタ間を接続している配線内での信号は充放電を繰り返しながら伝搬されるため、配線内での遅延時間は寄生抵抗(R)および配線を囲む層間絶縁膜の寄生容量(C)の積 RC (抵抗・容量積)時定数に比例する。配線幅および配線間隔(ピッチ)を縮小すると配線抵抗および配線間容量が増大し、 RC 時定数が増加するため配線内での信号伝搬の遅延時間が増大する。配線幅が $0.5\mu\text{m}$ 以上の時はトランジスタでの遅延時間が配線による遅延時間より桁違いに大きいので、配線遅延はデバイスの遅延時間にはほとんど影響を及ぼさず、配線による信号の遅延は余り問題とならなかった。線幅が $0.3\mu\text{m}$ にまで縮小されると、トランジスタ遅延と配線遅延の割合が同レベルになる。さらに $0.1\mu\text{m}$ 位まで縮小されると配線の遅延時間はトランジスタ遅延時間の10倍以上になり、デバイスの遅延時間は配線の遅延時間により決定される。結果的には、トランジスタとは逆にデバイスの

*** 京都大学助手; 大学院工学研究科材料工学専攻(〒606-8501 京都市左京区吉田本町)

*** 株式会社神戸製鋼所 高砂製作所/機械カンパニー

**** 松下電子工業(株)半導体社プロセス開発センター

***** 京都大学教授; 大学院工学研究科材料工学

Future Fabrication Techniques for Cu Wires used in Si ULSI Devices; Miki Moriyama*, Kuniaki Murase**, Takao Fujikawa***, Shin-ichi Ogawa****, Masanori Murakami*****(*, **, *****, Department of Materials Science and Engineering, Kyoto University, Kyoto. ***Kobe Steel, Ltd., Takasago. ****Semiconductor Company ULSI Process Tech. Dev. Ctr., Matsushita Electronic Corp., Kyoto)

Keywords: ultra-large-scale integration (ULSI), copper wiring, damascene structure, hot-isostatic processing (HIP)

2000年8月11日受理

縮小化により配線内での遅延時間が増大し、デバイスの高速化を阻害する。

従来の VLSI(超高集積回路)デバイスの性能は「デバイスサイズ」で一次元的に決定されていたため、「微細加工技術の開発」が主力であった。しかし、次世代 ULSI(超大規模集積回路)デバイスの性能はトランジスタよりむしろ配線遅延によって決定されるため、「配線材および層間絶縁体の新材料の開発」と「配線形成技術の開発」が主力である。米国では、半導体デバイスの21世紀の技術革新の変革に逸早く気づき、90年以前より21世紀に向け、上記の二点への地道な基礎研究の取り組みが続けられ、90年代後半にはこれらの技術の開花のニュースが世界中を激震した。

1997年に、米国のニューヨークタイムズ誌上で、配線材として長年用いられてきた Al 合金材を、抵抗率がほぼ40%低い Cu 配線材への変換の可能性を米国 IBM が発表し、現在の Cu フィーバーの口火が切られた。Al 合金配線を Cu に置き換えることは、配線の低抵抗化が達成されるばかりでなく、信頼性および製造コストにも大きなインパクトを与える事が期待される。同時に、高集積化による配線間隔の縮小に伴う配線間容量の増大抑制策として、低誘電率の新絶縁体の開発と共に、多層配線製造プロセスの技術革新がなされた。この技術開発により、従来の配線間隔を保ち、配線間容量を増大させる事なく、“実効的”配線間隔を縮小させる事が可能になった。この多層配線技術開発も90年代後半より米国で盛んに行われ、後章で説明するダマシン構造、化学機械研磨法(CMP: Chemical Mechanical Polishing)等、数々の革新技術がまたもや米国 IBM で開発された。このような、新材料および新技術はすでに米国の企業では実用化レベルに到達しているが、国内の企業では未だ開発段階である。

この書では次世代配線技術についての解説をするが、紙面の制約上、ここでは Cu 配線材料とその要素技術の現状と材料学的課題のみを解説する。

2. ダマシン法による Cu 配線形成と課題

従来の LSI 配線は、基板全面に金属膜を成膜した後に配線領域を被覆し、残りの不要な金属膜をエッチングによって除去するという手法によって形成されていた(図1(a))。しかし Cu はエッチング生成物の蒸気圧が低く、基板を高温に加熱しなければならないため、従来法による Cu 配線の形成は困難である。Cu 配線では配線形成前に基板に配線幅の溝(トレンチ)または孔(ビア)を作り、そこに Cu を埋め込んだ後に余分な Cu を CMP 法による研磨で除去するダマシン法が用いられる(図1(b))。以下では、ダマシン Cu 配線形成で最も重要な拡散バリア材の形成法および Cu の埋め込み法について解説する。

(1) ダマシン構造での拡散バリア材の形成と課題

半導体素子中に Cu などの重金属が混入すると、接合リーク電流増加や絶縁破壊耐圧の低下などデバイス特性の著しい

図1 従来の配線形成法とダマシン法。

劣化を招く⁽¹⁾。このため Cu 配線では Cu 原子の Si 基板または SiO₂ 層間絶縁膜への拡散防止が不可欠である。ダマシン Cu 配線では、配線の表面を拡散バリア材(以下バリア材)と呼ばれる薄膜によって被覆し、Cu 原子の拡散防止を実現している(図1(b))。Cu 配線用バリア材に要求される特性を以下に挙げる。

(1) 高拡散防止能: 通常の Si デバイスの製造プロセスでは層間絶縁膜形成のために400°C, 30分相当の熱処理が必要であり、バリア材はこの熱処理に対して Cu 原子の周囲への拡散を防止しなければならない。

(2) 薄膜化: 配線溝内部のバリア材はその厚みによって Cu の実効断面積を減少させ、配線抵抗増大を招く。配線幅 0.25 μm の Cu 配線ではバリア厚さを少なくとも 40 nm 以下にしなければ Al 配線より低い配線抵抗値が実現できず、Cu 導入の意味が失われる⁽²⁾。

(3) 低抵抗率: デバイスサイズ縮小に伴うビア接触抵抗の増加を抑えるため、バリア材の抵抗率はできる限り小さいことが望まれる(0.25 μm 配線では 3000 nΩ・m 以下が目安となる⁽²⁾)。

(4) 高密度着: ダマシン配線形成中の CMP による研磨や熱処理に伴って発生する熱応力によって剥離しない程度の界面強度が Cu や Si および SiO₂ 層との間で保持されなければならない。

現状のプロセスではスパッタ Ta 系バリア材が選択される場合が多いが、必ずしも上記の要求をすべて満足しないため、次世代デバイスに対してはさらに高性能のバリア材開発を継続する必要がある。

(2) スパッタ法による Cu 配線形成と課題

ダマシン Cu 配線形成では、配線溝内部に気孔(ボイド)が発生させないことが重要である。現在 Si デバイスの配線幅は 0.2 μm 程度にまで微細化が進んでおり、たとえサイズが

小さくともボイドの存在は無視できない。配線中のボイドは配線抵抗値の増加や信頼性低下といった重大な問題を引き起こすため、Cu 配線形成に対しては配線溝の内部に隙間なく均一に Cu を埋め込む技術が要求される。

Cu 成膜法の中でもスパッタ法は、Al 配線形成法としての実績があり、Al 配線の代替材料として Cu が検討され始めた当時から第一の候補として検討がなされてきた⁽³⁾。スパッタ法は Al 配線形成で蓄積された装置や成膜技術を有効に活用できることに加え、不純物が少なく配線材として優れた特性を持つ Cu 膜が得られるという利点がある⁽⁴⁾。

しかしその反面、スパッタ法はダマシン構造の深い溝や孔への埋め込みに対して、溝内部にボイドが残しやすいという問題をかかえている。特に、幅 $0.2\ \mu\text{m}$ 以下で高アスペクト比の(幅に対する深さの比が高い)溝や孔をスパッタ法で完全に充填するのは困難なため、成膜後に何らかの再埋め込み処理(リフロー処理)を施すことが不可欠である。通常のリフロー処理法では 450°C 以上の加熱が必要であり、低誘電材料を用いた絶縁膜との組み合わせに代表される、近年のプロセス温度の低温化に対する要請を満足できない。スパッタ法では微細溝への埋め込み性の改善と、低温で可能なリフロー処理法の開発が課題に挙げられる。

(3) めっき法による形成と課題

銅は Cu/Cu^{2+} の酸化還元電位が高い、いわゆる「貴な」金属であるため、銅イオンを含む水溶液から金属 Cu を電気化学的に還元析出することは容易である。めっき法は常温・常圧で成膜可能で且つ析出速度が速いため、スパッタ法や後述の CVD (Chemical Vapor Deposition) 法に比べ生産効率・コスト面で有利である。

Cu 配線形成に用いられるめっき液の主成分は一般的な硫酸酸性溶液であるが、そのままではボイドやシーム(図 2(a), (b))のような欠陥を残さず完全に Cu を埋め込むことは困難である。埋め込み性改善のため、Cu 配線用めっき液には少量の添加剤が加えられている。この添加剤は電極反応活性であり、膜の平滑性と光沢を得るために用いられる従来の添加剤とは目的が異なる。溝底部での表面添加剤濃度を低く、開口部での濃度を高く保つように添加剤の拡散流束を制御すると Cu を溝底部から優先的に析出・成長させることができる(図 2(c))⁽⁵⁾。ボトムアップフィルと呼ばれるこの特有の析出挙動を利用することにより、めっき法では高アスペクト比の溝へも Cu を隙間なく埋め込むことが可能となる。

溝底部での析出促進は、基板に電位をパルス状に印加するパルスめっきによっても実現される。現在ではカソード方向のパルスのみを印加する通常のパルスめっきに加え、カソード・アノード両方向のパルスを印加するパルスリバースめっきが行われている⁽⁶⁾。

電解めっき法は、IBM が採用して以来 Cu 配線形成法の主流になっているが、現状ではめっき前に予めシード層と呼ばれる Cu 膜をスパッタ法で成膜しておかなければならず、プロセスが複雑化するという欠点がある。プロセス簡略化の

図 2 めっき法による配線溝内部への Cu 析出⁽⁵⁾。

(a) 開口部に優先析出, (b) どの部分にも均一に析出, (c) 底部に優先析出(ボトムアップフィル)。

ため、シード層形成が不要なめっき Cu 配線形成技術の開発に期待が持たれている。

(4) CVD 法による形成と課題

CVD 法は、電解めっき法で必要なシード Cu 層の形成が不要でありながら微細な溝や孔において均一な成膜が可能であるため、超微細溝埋め込みのための技術候補として有望視されている。Cu-CVD に対する研究開発の歴史は古く、多くのガスソースが報告されている⁽⁷⁾。ガスソースに求められる特性は液体であること、蒸気圧が高いこと、熱的に安定であることであり、現在最も一般的に用いられているガスソースは $\text{Cu}(\text{hfac})(\text{tmvs})$ である⁽⁸⁾。本材料は Cu β ジェットナト系原料に属する 1 価の Cu 化合物で、下記の不均化反応によって Cu 膜が堆積する⁽⁹⁾。

ソースガスの Cu-CVD 容器への供給は、蒸気圧が低いため気化器を用いる。気化は $80\sim 90^\circ\text{C}$ で行い、CVD 容器内の反応圧力は $0.07\sim 5\ \text{kPa}$ までの広い範囲で成膜可能である。微細溝への均一な成膜を実現するためには、基板温度は表面反応律速の範囲である 200°C 程度に制御する必要がある。このような条件下での成膜速度は最大 $100\ \text{nm/min}$ 程度が限界である。

W や TiN などの CVD 技術はすでに量産技術として製造現場の配線工程で用いられているが、Cu-CVD 法は未だ実用化には至っていない。これは主に Cu-CVD 法の成膜速度の遅さに起因する。デバイスには微細配線だけでなく、厚さ $1\ \mu\text{m}$ 以上の Cu 膜を堆積しなければならない電源線などの幅の広い配線も混在しており、上記の成膜速度では埋め込みに要する時間が長すぎる。CVD の長所である高い被覆率(ステップカバレッジ)を利用して、成膜速度がさほど重視されないシード Cu 層形成法への適用も検討されているが、バリア材との密着性が悪いという問題の解決を図らねばならない。

3. Cu 配線形成課題に対する最近の材料学的取組み

(1) 拡散バリア材の開発現状

本節では2.(1)節で述べたバリア材への要求の中で、最も重要となる高い「拡散防止能」を有するバリア材の開発現状について述べる。最も簡単なバリア材の拡散防止能評価は、Si/バリア層/Cu 積層構造を有する拡散対試料を一定時間(通常30分または1時間)熱処理した際に、何℃までSi中へのCuの拡散を抑制できるかが目安となる。この熱処理条件は、バリア材の熱的安定性あるいは耐熱性と呼ばれる。バリア材に対する研究報告の大部分は、この耐熱性に関するものであり、W, Ta, Tiなどの単体高融点金属およびWN, TiN, TaN, TiC等の高融点金属の窒化物や炭化物に対して多くの研究結果が報告されている⁽¹⁰⁾。最近ではTa-Si-N⁽¹¹⁾, Ti-Si-N⁽¹²⁾等の三元系アモルファスバリア材やCVDで成膜されたTiN⁽¹³⁾やTaN⁽¹⁴⁾に研究の焦点が絞られている。

従来の研究からバリア材の耐熱性と微細構造には密接な関係があることが明らかになっている。実用のバリア材を微細構造から分類すると、多結晶バリア材とアモルファスバリア材に大別できる。高融点多結晶バリア材の場合、通常のデバイスで問題となる400℃程度でのCu原子の主な拡散経路は結晶粒界であると考えられるため、耐熱性向上のためには粒界拡散の抑制が不可欠となる。

一般に粒界拡散は体積拡散に比べ非常に高速であり、粒界拡散係数は粒界構造に依存する。例えばAl双結晶を用いた実験では、大傾角粒界と比べ方位差角10°程度の小傾角粒界における粒界拡散係数は2桁程度も小さい値となることが報告されている⁽¹⁵⁾。最近、粒界拡散の方位差角依存性に着目しスパッタTiNバリア材の配向性と耐熱性の関係が調べられている⁽¹⁶⁾。成膜条件を変化させて作製したTiNバリア材では、配向性の程度を示すモザイク角の減少および平均結晶粒径の増大に伴い、耐熱性向上が見られる。平均結晶粒径の増大は拡散経路の密度減少によって、バリア材全体の実効的拡散係数低下に寄与するものと考えられる。

他の耐熱性向上法としてスタッフ法(stuffed barriers)と呼ばれるものがある。これはバリア材を成膜後に一旦大気に曝すなどして、粒界に酸素等を偏析させ粒界拡散を抑制する手法である。Al配線用TiNバリア材ではその有効性を示す多くの報告が存在するが⁽¹⁷⁾、具体的な粒界拡散抑制のメカニズムは必ずしも明らかではない。また、Cu配線用バリア材では有効性がほとんどみられないとする報告もあり⁽¹⁸⁾、更なる研究が待たれる。

アモルファスバリア材は、高速拡散路となる粒界が存在しないため多結晶バリア材より高耐熱性が得られやすいと考えられており、近年多くの研究報告がなされている。特にTa-Si-N三元系アモルファスバリア材が高い耐熱性を示すことが知られている。本バリア材では熱処理によってSiあるいはCuとの界面反応が認められ⁽¹¹⁾、これも耐熱性の向上に何らかの寄与をしていると考えられる。このような一部

の界面反応を犠牲にして耐熱性向上を図る、犠牲法を用いたバリア材(sacrificial barriers)では、過度の反応による配線抵抗増加やデバイス特性低下に注意を要する。

以上のように、近年では微細構造制御によってバリア材の耐熱性はかなり向上されているが、溝内部におけるバリア材の微細構造は単純な平面状拡散対試料で得られるものとは異なる点が問題となる。特にスパッタ法で成膜されたバリア材では、ダイヤモンド溝中の側壁部分での膜厚が不足したり溝底部のエッジ部分に欠陥が形成されやすく、拡散防止能が低い領域が局所的に破壊されてしまうという問題がある。拡散バリア材の製造上の課題は、配線溝の内部に所望の微細構造を有する10 nm程度の膜を、如何に均一な膜厚・膜質で成膜できるか、という点につく。現在主流のスパッタ法を用いた場合、多結晶バリア材では上述した側壁と底部の微細構造の差に加え、微細構造の膜厚依存性もあるなど構造異方性が大きい。微細構造の均一性という観点からは本質的に異方性のほとんどないアモルファス構造バリア材が有利と考えられるが、一方で実用には結晶化による耐熱性低下や抵抗率の高さなどを解決せねばならない。

(2) スパッタ法によるCu配線材の開発現状

スパッタ法の欠点の一つである高アスペクト比の溝や孔への充填については、ロングスロースパッタ法⁽¹⁹⁾や、Cuの自己プラズマ化とバイアス印加を利用する方法⁽²⁰⁾などが開発されている。これらはいずれもスパッタ粒子を基板表面に垂直に飛来させて、深い溝内部への被覆率の向上を狙った方法である。しかし、スパッタ法のような物理的蒸着法では化学的蒸着法以上の埋め込み性を実現することは本質的に困難であり、現状ではスパッタ法は電解めっき法のシード層形成手段としての利用が主体となりつつある。

これらスパッタ法の問題を解決する手法として、最近、高圧アニール法が注目を浴びている⁽²¹⁾。これはCu成膜後、圧力100~200 MPaのアルゴンガス雰囲気中で熱処理を行うことにより、350~450℃の比較的低温度域で溝や孔への完全な充填を保証するとともに、バリア膜との密着性を改善し、且つ結晶粒を十分に成長させることも可能な技術である。図3にその概念図を示す。電解めっきCu膜にもこの技術の適用が可能で、すでに350~400℃の高圧アニール処理で密着性の改善が報告されている。スパッタ法により形成されたCu膜は成膜温度によって硬度や結晶粒径が大きく異なるため、Cu膜中に水素を添加するなどの最適化が図られている。配線微細化に伴い危惧されている信頼性や歩留まり低下の問題を一挙に解決する手法として、今後の進展が期待される技術である。

(3) めっき法によるCu配線材の開発現状

電解めっき法でダイヤモンド溝への完全な埋め込みを実現するには、導電率の低い基板表面全体に外部回路から均一に電気を供給するために前もってシードCu層が均一に成膜されている必要がある(図4(a))。溝内部にシード層で被覆されて

いない欠損領域が存在すると、析出不良によるボイド発生を招く。Cu 電析浴中でのシード Cu 層の溶解による局所的な欠損を避けるには、初期厚さを最低 10 nm 以上確保することが必要である⁽²²⁾。溝内部への被覆率を向上させるため、IMP (ion-metal plasma) スパッタ法⁽²³⁾や、CVD 法⁽²⁴⁾によるシード層形成が検討されている。

シード Cu 層形成に関する問題点の解決策としては、以下の(a)から(c)に示す手法が提案されている。(図 4(b)~(d))。

(a) 厚さが 10 nm 以下のシード Cu 層上へも成膜が可能な無電解めっき法(水溶液中の還元剤による還元析出)による Cu の埋め込み

通常のバリア材は還元剤による Cu^{2+} イオンの還元反応に対し触媒活性をもたないため、無電解めっき法ではまず基板に触媒活性を付与する活性化が必要である。基板の活性化を

図 3 高圧アニールの模式図。

担うシード Cu 層が無電解めっきを行う前に酸化されるのを防ぐため、スパッタ法で製膜したシード Cu に *in situ* で薄い Al 層を積層⁽²⁵⁾させる方法(図 4(c)左図)、また、TiN バリアに対し、フッ化物イオンを含む希薄 Cu^{2+} 溶液で表面を処理し、置換反応を用いてバリア表面に Cu の「めっき核」を付与する活性化手法が試みられている(図 4(c)右図)。

(b) 無電解めっき法によるシード Cu の析出

外部電源が不要な無電解めっき法は、電解めっき法と比べて装置が簡単で、且つ均一な膜が得られ易い利点がありこれを活かした、無電解めっき法によるシード Cu の形成が試みられている⁽²⁶⁾。ここでは触媒活性を付与するため、Pd イオンを含む溶液で基板を処理し、TiN/Ti バリア表面に Pd 粒子を析出させる(図 4(d))。これにより厚さ 50 nm 以下のシード Cu 層が形成され、さらに引き続き無電解めっきによりアスペクト比 1.75 のダマシン溝に Cu を埋め込むことに成功している。

(c) シード層を形成せず、拡散バリア層上に直接 Cu を析出可能な「シードレス法」

シードレス法はプロセス簡略化に最も有効であり、特に無電解めっき法を用いたシードレス法への期待が大きい。シード Cu を形成していない n 型 Si 基板/TiN バリア上での Cu の酸化還元挙動を、サイクリックボルタモグラムや電位ステップクロノアンペロメトリーにより詳細に検討した結果⁽²⁷⁾、シード層なしで TiN 上に Cu の核を発生させるには平衡電位を大きく超えた電位の印加(高過電圧)が必要であること、および、発生する核の数密度は電析初期の基板電位に依存していることが明らかにされている。最近では、高過電圧による Cu 核の発生や前述の置換反応による触媒活性の付与と、硫酸酸性電解浴からの電気めっきを組み合わせた Cu 埋め込みプロセス(図 4(b)左図)が提案されている⁽²⁸⁾。また、アルカリ性の銅電解浴を用いることにより、シード Cu や Pd 粒

図 4 代替として検討されている Cu の電気化学的埋め込み法。

子などの触媒付与なしに電気めっきにより TiN 上に Cu を直接製膜可能であることも示されている⁽²⁹⁾(図 4(b)右図)。

無電解 Cu めっき法によるシードレス配線形成プロセスは大幅なプロセスの単純化と製造コストの低減が期待でき、その技術的インパクトは極めて大きい。無電解めっき法には、発癌性のあるホルムアルデヒドを還元剤として用いること、水素発生を伴うこと、浴の管理および廃液処理が煩雑なこと、製膜速度が電気めっき法に比べ遅いことなど、実用化までに解決すべき問題が多数残されている。電気化学分野を専門とする材料研究者の積極的な参入によって、今後の研究開発が進展することが望まれる。

(4) CVD 法による Cu 配線材の課題解決

今日の量産現場ではスループット、装置設置面積を含めたプロセスコスト低減のため[†]枚葉処理が必要とされる。基板の処理速度のおおよその目安は 1 時間当たり約 60 枚であり、Cu 配線形成法には 1 $\mu\text{m}/\text{min}$ 程度の成膜速度が要求されるため、Cu-CVD 法の実用化には高速成膜法の開発が不可欠である。

Cu-CVD 法は 180°C 以上の高温では成膜プロセスが拡散律速となり、成膜速度も増加せず被覆率も悪いという問題点が指摘されている。これに対し、試料近傍の原料ガスの流速を速くする構造のガス導入部を用い、比較的高い温度でも表面反応律速とすることによってこの問題を解決し、良好な被覆特性を維持した高速成膜プロセスが開発されている⁽³⁰⁾。表面反応律速領域において原料ガス分圧が高い場合には成膜速度の原料分圧依存性が小さく、良好な被覆特性も示されている。図 5 にガス導入部の違いによる成膜速度の温度依存性と原料ガス分圧依存性をそれぞれ示す。具体的な成膜速度として 200°C で 100 nm/min 以上が得られており、これは Cu シード層の成膜に要求される 10 nm/min という条件を十分満足しているが、膜全体の埋め込みへの適用には引き続き検討が必要である。

密着性および表面形状の改善も Cu-CVD 法の重大な課題である。例えば Ta バリア上に 20 nm 厚程度の CVD-Cu 膜を直接成膜すると、CVD-Cu 膜/Ta バリア膜界面には酸素、炭素、フッ素を含んだアモルファス層が見られ、CVD-Cu 膜は島状の不連続膜となってしまう。スパッタ法を用い Ta バリア膜上に真空を破ることなく 8 nm 厚の Cu 膜を連続堆積した後 CVD-Cu 膜を形成すると、界面での不純物含有量は激減し、アモルファス層の存在しない Cu/Ta 界面が形成されるため CVD-Cu 膜は連続膜となることが報告されている⁽³¹⁾。しかしながら、生産現場で再現性よく十分な密着性を得る Cu-CVD 法の確立には未だに至っていないのが現状である。

[†] 従来は複数のウェハーを 1 ロットとして同時に処理する「バッチ処理」が行われていたがウェハーの大口径化に伴い装置の大型化が問題となり、最近ではウェハー 1 枚ずつ処理を行う「枚葉処理」が主流となっている。

図 5 試料近傍ガス流速の違いによる Cu 成膜速度の堆積温度依存性。

4. Cu 配線形成に対して展開すべき材料学的基盤課題

(1) Cu の密着性強化、酸化、腐食防止

密着性、酸化、腐食の問題は Cu 配線を形成する際だけではなく、半導体デバイスが使用される条件下(例えば環境温度 100°C、湿度 90% でのデバイス動作時)で発生する長期的な問題、いわゆる信頼性に関わる問題でもあり重要性が高い。

密着性が問題となるのは主に Ta(あるいは Ti)系バリア層および Si_3N_4 バリア層と、Cu 配線の界面である。Ta(あるいは Ti)系バリア層に対しては、CMP 工程中に Cu 配線とバリア層との間に発生するせん断応力に耐えることが必要である。また Cu 配線の上部を直接被覆する Si_3N_4 バリア層との密着性不良は、400°C 程度の配線工程で Si_3N_4 バリア層/層間 SiO_2 膜界面での Cu 原子の移動という問題を引き起こす。

密着性の問題は材料だけでなく膜や界面を形成する工程にも大きく依存し、且つ 4.(3) 節に述べる Cu の電界拡散現象とも深い相関があるため Cu 配線技術において重要な課題であるにも関わらず、現象の理解は非常に不足している。密着性に対する学術的理解が未だ不十分である原因の一つには、実用的な評価方法の不在が挙げられる。テープ試験、プル試験、引っ掻き試験などの評価法では結果の再現性が乏しい。4 点曲げ試験⁽³²⁾なども提案されているが、測定方法が複雑で半導体デバイス工程の開発現場に定着していないため、Modified Edge Lift-off Testing 法⁽³³⁾標準化を含めた簡単な密着性評価手法の確立が急務である。

腐食、酸化は Cu 膜の CMP 工程で積極的に利用されている。Cu の CMP 工程は、基本的にはスラリー薬液による化学的腐食と機械的研磨を併用しており、腐食挙動は電位-pH 図⁽³⁴⁾から予測可能である。CMP では平坦部上の Cu 膜を研磨する際に、配線となる溝部の Cu は腐食から防止する必要があるため、過酸化水素水などの酸化剤を加え Cu 表面に不動態層 Cu_2O を形成させる。さらに機械的研磨により不動態層を除去して研磨する一方、溝部の配線部分は不動態層によ

のプロットで表示され、このプロットの延長上でデバイスの性能は向上してきた。しかし線幅が0.3 μm 以下の配線材を用いる次世代のデバイスでは、配線幅が縮小すればする程、配線での信号伝搬遅延時間がトランジスタの高速化を抑制し、配線での遅延時間でデバイスの性能が決定されるようになる。結果的にはデバイス高速化は阻害され、もはや上記のプロットの延長上でデバイスの性能が予測できる法則は成立しない。従ってデバイス性能は「配線・絶縁膜材料の物性」および「多層配線形成技術」の二次元的な関数で決定される。材料専門家が半導体デバイス開発の檣舞台に立ち、主役になれる時期が到来したと思われる。

且つ、多層配線工程が現在でも半導体デバイス全製造工程の60%以上を占めているが、10年後には80%以上を占める事が予測されている。工程数増大によるデバイス・コストの増加を抑制せねば半導体産業の活性化は望めない。この分野でのプロセッシング・サイエンスの導入をはかり、材料屋が次世代半導体の活性化に大きく貢献できる時である。

しかし残念ながら、配線技術の基礎および応用研究は主に米国でなされ、国内では非常に稀である。このテーマこそ産学連携プロジェクトの最も適したテーマであると思われる。日本の基幹産業の一つである半導体産業が今や材料屋に委ねられている事を読みとって頂く事を願ってこの書を終える。

文 献

- (1) D. A. Ramappa and W. B. Hendy: J. Electrochem. Soc., **146**(1999), 2258.
- (2) 上野良和: 半導体デバイス用の電極配線材料の基礎と最近の進歩, 日本金属学会, (1997), 81.
- (3) 蓮沼正彦: Cu 配線技術の最新の展開, リアライズ社, (1998), 94.
- (4) 高桑一雄: 表面技術, **49**[11](1998), 47.
- (5) P. C. Andricacos, C. Uzoh, J. O. Dukovic, J. Horkans and H. Deligianni: IBM J. Res. Develop., **45**[5](1998), 567.
- (6) A. C. West, C.-C. Cheng and B. C. Baker: J. Electrochem. Soc., **145**[9](1998), 3070.
- (7) P. Dopplet *et al.*: MRS Bulletin, XIX, No. 8 (1994), 41.
- (8) J. A. T. Norman, B. A. Muratore, P. N. Dyer, D. A. Roberts and A. K. Hochberg: VLSI Multilevel Interconnect Conf., (1991), p. 123.
- (9) 霜垣幸浩: Cu 配線技術の最新の展開, リアライズ社, (1998), 59.
- (10) 森 英嗣, 村上正紀: Cu 配線技術の最新の展開, リアライズ社, (1998), 159.
- (11) Y.-J. Lee, B.-S. Suh, M. S. Kwon and C.-O. Park: J. Appl. Phys., **85**(1999), 1927.
- (12) X. Sun, E. Kolawa, S. Im, C. Garland and M.-A. Nicolet: Appl. Phys. A, **65**(1997), 43.
- (13) A. E. Kaloyeros, X. Chen, T. Stark, K. Kumar, S.-C. Seo, G. G. Peterson, H. L. Frisch, B. Arkles and J. Sullivan: J. Electrochem. Soc., **146**(1999), 170.
- (14) S.-H. Kim, D.-S. Chung, K.-C. Park, K.-B. Kim and S.-H. Min: J. Electrochem. Soc., **146**(1999), 1455.
- (15) D. Gupta: *Diffusion Phenomena in Thin Films and Micro-electronic Materials*, Noyes Publications, New Jersey, (1992), 41.
- (16) 守山実希, 村上正紀: 応用物理学会誌, **11**(1999), 1247.
- (17) G. A. Dixit, F. S. Chen, H. Zhang, G. D. Yao, C. C. Wei and F. T. Liou: Mat. Res. Soc. Symp. Proc., **260**(1992), 833.
- (18) K.-C. Park and K.-B. Kim: J. Electrochem. Soc., **142**(1995), 3109.
- (19) 齋藤達之: Cu 配線技術の最新の展開, リアライズ社, (1998), 102.
- (20) 新宮原正三: Cu 配線技術の最新の展開, リアライズ社, (1998), 80.
- (21) 藤川隆男, 水澤 寧: 電子材料, **38**[3](1999), 85.
- (22) J. Jorne: Abst. 196th Meeting Electrochem. Soc., Honolulu, (1999), No. 728.
- (23) S. Lopatin, G. Morales, T. Nogami, A. Preusse, S. Chen, D. Brown, R. Cheung, I. Hashim, S. Ponnekanti, D. Angelo, T. Chiang, B. Sun, P. Ding and B. Chin: *Advanced Metallization Conference in 1998*, Materials Research Society, Warrendale, (1999), 35.
- (24) T. Kinoshita, M. Kobayashi, T. Doi, N. Awaya and K. Iguchi: *Advanced Metallization Conference in 1998*, Materials Research Society, Warrendale, (1999), 129.
- (25) M. J. DeSilva and Y. Shacham-Diamand: J. Electrochem. Soc., **143**(1997), 3512.
- (26) W. S. Min, Y. Lantsov, R. Palmans, K. Maex and D. N. Lee: *Advanced Metallization Conference in 1998*, Materials Research Society, Warrendale, (1999), 65.
- (27) G. Oskam, P. M. Vereecken and P. C. Searson: J. Electrochem. Soc., **146**(1999), 1436.
- (28) 垂水喜明, 邑瀬邦明, 平尾秀司, 小川真一, 平藤哲司, 粟倉泰弘: 第47回応用物理学会予稿集, (2000), 30p-YA-3.
- (29) L. Graham, C. Steinbruechel, D. J. Duquette, L. Chen: Abst. 196th Meeting Electrochem. Soc., Honolulu, (1999), No. 864.
- (30) 小林明子, 関口 敦, 池田 圭, 岡田 修: アネルバ技報, **2**(1996), 20.
- (31) N. Yoshida, Y. D. Cong, R. Tao, L. Y. Cheng and S. Ramaswami: *Advanced Metallization Conference in 1998*, (Mater. Res. Soc. Proc. Pittsburgh, PA 1999), (1999), 189.
- (32) Q. Ma, H. Fujimoto, P. Flinn, V. Jain, F. Adibi-Rizi, F. Moghadam and R. H. Dauskardt: Mater. Res. Soc. Symp. Proc., **391**(1996), 91.
- (33) S. K. Pangrle *et al.*: Proc. 1999 VLSI Multilevel Interconnect Conference, (1999), 161.
- (34) M. Pourbaix: *Atlas of Electrochemical Equilibria in Aqueous Solutions*, Pergamon Press, Oxford, (1966).
- (35) Y. Shacham-Diamand, A. Dedhia, D. Hoffstetter and W. G. Oldham: J. Electrochem. Soc., **140**(1993), 2427.
- (36) A. L. S. Loke, J. T. Wetzell, P. H. Townsend, T. Tanabe, R. N. Vrtis, M. P. Zusseman, D. Kumar, C. Ryu and S. S. Wong: IEEE Trans. Electron Devices, **46**(1999), 2178.
- (37) K. Takeda, K. Hinode, I. Oodake, N. Ohashi and H. Yamaguchi: Proc. 36th International Reliability Physics Symposium, (1998), 36.
- (38) T. Suwanna de Felipe, S. P. Murarka, S. Bedell and W. A. Lanford: J. Vac. Sci. Technol., **B15**(1997), 1987.
- (39) J. Noguchi, N. Ohashi, J. Yasuda, T. Jimbo, H. Yamaguchi, N. Owada, K. Takeda and K. Hinode: Proc. 38th International Reliability Physics Symposium, (2000), 339.