エレクトロニクス実装における マイクロファブリケーションの現状

若 林 信 一* 中 沢 清**
金 子 紀 男***

1. はじめに

近年、半導体技術の急速な進歩によりインターネットに直接接続できる携帯電話など小型、多機能な電子機器の普及が進んでいる。これは半導体技術とともにそのパッケージングや実装技術に負う部分が極めて大きく、この分野におけるマイクロファブリケーション技術の進歩に大きな関心が集まっている⁽¹⁾。

実装技術はシリコンチップを半導体デバイスや電子システムに組み立て、様々な電子機器に仕上げる総合的な技術であり、パッケージおよびパッケージング技術、ボード技術、各階層におけるインターコネクト技術により構成されている。したがって、これらの技術の基礎を支えるパッケージや基板を小型化する技術、その微細加工を可能にする技術、また、微細な接続技術などの体系的な整備も強く求められている。

このようなエレクトロニクス実装技術におけるマイクロファブリケーション技術の中身を検討してみるといくつかの異なる技術要素から成り立っていることが分かる。そこで先ず、その意味するところを辞書的(三省堂 DAILY CONCISE)に調べてみると、

fabric n 組織、構造；骨組み；構造物；織物[地]

fabricate vt 組み立てる；(物語を)作る、でっちあげる；

(文書を)偽造する。

とあり、fabrication は辞書的にも組織、構造；骨組み；構造物；織物[地]などを組み立てること、作ること、と考えると良さそうである。そこでエレクトロニクス実装技術における

マイクロファブリケーション技術を整理してみると、表1のように書くことができる。

本稿では、近年におけるパッケージや実装技術の進化について解説するとともに、これらの技術におけるマイクロファブリケーション技術の新しい展開について、その現状を紹介する。

2. 半導体用パッケージとは何か

半導体用のパッケージは、図1に示したように、一言でいえば半導体の容器であり、外部との接続用の装置である。しかしながら、パッケージとは何か？ ということを見直してみると、意外と多面的な機能を果していることが分かる。

先ず、パッケージは容器であることからチップを収納し、

表1 Microfabrication の技術ドメイン。

1.	微小な形あるものを作る。
微小電極(bump)など、プローブ、ビアなどを作る。
微細なパターンを作る。
…電気化学、レーザー、フォトリソなど。
2.	微細な組織、構造(micro structure, nano structure)を作る。
bump などの傾斜組成、多層構造を超格子の制御で作る。
…電気化学、スパッタなど。
3.	微小な構造物を作る、組み立てる。
build-up 基板、L, C, R, などを作る。
マイクロ接続(micro soldering, interconnect)を行う。
…電気化学、レーザー、フォトリソなど。
4.	微細加工を可能にする材料、加工技術を作る。
…金型加工、プレス加工、レーザー、シミュレーションなど。

* 新光電気工業株式会社取締役開発統轄部長(〒381-0103 長野市若穂川田1457-1)

** 新光電気工業株式会社開発統轄部主任研究員

*** 信州大学教授；工学部

Recent Advances in Microfabrication on Electronics Packaging; Shin-ichi Wakabayashi*, Kiyoshi Nakazawa**, Norio Kaneko***(*,**Shinko Electric Industries Co., LTD. Nagano. ***Shinshu University, Nagano)

Keywords: electronics packaging, microfabrication, flip chip bump, chip size package, buildup substrate, Cu via fill, stamping leadframe

2000年6月2日受理

図1 パッケージとは何か。

外部環境から保護する役割を持っている。このため、パッケージを標準化すれば、様々な大きさや形を持つ半導体を一定の形態に整え、部品として標準化することができる。これはまた、チップからパッケージ、パッケージから基板への接続を行いながら徐々に接続点のピッチを変換、拡大していく役割も果たしている。また、近年半導体の機能は益々高度化の一途をたどっているが、その機能の検証は技術的、コスト的に大きな負担となっている。しかしながら、パッケージされた半導体は標準部品であることから、標準的なソケットを使ってのエイジングや実際の使用条件下での特性試験は、チップそのもので行う場合に比べてはるかに容易に行うことができる。このような基本的な機能に加え、最近の高機能パッケージでは、動作時の発熱によって発生するチップとパッケージ、パッケージと基板との熱膨張率の差に基づく応力の緩和、熱の放散、安定した電源電力の供給、正確な信号波形の伝播(Low Pass Filter)、信号遅延の最少化などの機能設計がよりいっそう重要になっている。このため機械的、熱的、電気的な多岐にわたる特性が求められている。また、パッケージに対してチップキャリアなどの呼び方が用いられることもパッケージの多面的な機能を示すものである。近年、パッケージにはこのような機能に加えて、パッケージ上にシステムを構成する、いわゆるシステムイン(オン)パッケージと

して、システムを実現する場としての役割も求められるようになってきている。

半導体用パッケージの代表的なものを図2に示す。図2(a)に示したリードフレームは、現在約80%の半導体のパッケージに使用されている。チップは白く見える中央部のステージに搭載され、金ワイヤーでインナーリードに接続した後、モールド樹脂により封止される。基板への接続用のリードはチップから外に向かって2辺、または4辺から引き出されている。リードフレームの加工は主に金型を使用したプレス打ち抜きまたはエッチングにより行われ、中心部には部分銀めっきが施されている。図中の右側に示したTAB(Tape Automated Bonding)テープは、このリードフレームの形態を維持しながら、ポリイミドテープ上の銅箔をエッチング加工し、微細な回路パターンを実現したものでパッケージの小型化に役立っている。

図2(b)に示したガラス端子は半導体用のパッケージとしては最も歴史のあるものである。右上の二つのパッケージはTO(Transistor Outline)ヘッダーと呼ばれ、トランジスタの時代から使用されたパッケージである。この場合、リード線はガラスにより、チップが搭載される上面の金属部分と絶縁されており、チップ搭載後金属製のキャップで封止されるため気密性や信頼性に優れている。この形態のパッケージは現在、レーザー素子のパッケージとしても使用されている。これを図2(b)左下方に示した。

図2(c)はプリント基板とその製造技術を使用して作製したBGA(Ball Grid Array)パッケージである。形態的には基板に搭載する端子部をはんだボールにし、それをパッケージの全面または周辺部に格子状に配列したもので、このことからBGAパッケージと呼ばれている。これは比較的新しい形態のパッケージであり、従来アルミナセラミックスにより製造され、ピンが立てられた構造であったものから発展したものである。最上列のパッケージは多層の高機能パッケージであり、特に左上のパッケージは高速、高機能、高発熱(36ワット)のチップが搭載されるため、図3に示すような構造に設計されている。この構造においては、電源の同時スイッチ

(a) リードフレーム

(b) ガラス端子

(c) BGA パッケージ

図2 主な半導体用パッケージ。

図3 多層BGAの断面構造。

ングノイズを低下させるために、電源/グラウンドの強化とインダクタンスの低減がはかられている。インダクタンスの低減のために、グラウンドはキャビティ内壁面を使って直接グラウンド面に最短で接続する構造がとられている。また、信号線路は低抵抗の銅が使用されており、多層構造による特性インピーダンスの整合、インダクタンス、キャパシタンス、クロストークの低減をはかる設計が施されている。チップからの発熱は銅板に直接チップを搭載することで放熱効果をも高める構造となっており、さらにこの放熱板にフィンが取り付けられ、外部に放熱される。このような材料、構造の設計は基本的にギガヘルツレベルの高周波信号の伝播が可能である。図2(c)右下の二つはほぼチップの大きさにパッケージしたBGAパッケージで、CSP(Chip Size Package)といわれている。

このようなパッケージを使って半導体を組み立てる半導体実装技術は、いわゆる実装技術の一部と考えられている。実装技術という捉えかたは日本的な概念であり、このようなパッケージを使つての半導体装置の組み立て、また、これらの半導体装置や抵抗、キャパシタなどの受動部品を組み合わせ、プリント基板上にモジュールやシステムを組み立てる技術、さらにモジュールをいくつも組み合わせより大きなシステムを作る技術を意味している。日本的な実装技術の最も典型的に発揮された例は、ノートブックコンピュータや手のひらサイズのビデオカメラなど、限られたスペースに最適配置で部品を組み込んだ民生用機器である。

3. パッケージおよび実装技術の展開

半導体および実装技術の将来展望については、近年国内外においてロードマップ委員会が組織され、技術者に対する技術開発の指針を与えている⁽²⁾。このうちSIA(Semiconductor Industries Association)のロードマップ⁽³⁾によれば2012年には50 nmラインにより半導体の回路が形成され、チップ上のパッド数は最大7300に達するものと予測されている。一方、パッケージの大きさは汎用品で23 mm角、MPU(Micro Processor Unit)で37.5 mm角、高機能品で45 mm角とほとんど現在とくらべて大きくならず、しかも、それぞ

れ外部接続端子数が最大670, 2700, 5500ピンに到達するものと予測されている。このためパッケージや基板の配線密度がライン/スペース20 μm 程度まで微細化し、チップの接続法もフリップチップ接続へと変化するものと考えられている。このロードマップに表われた特徴をまとめてみると、パッケージの多ピン化とCSP化、狭ピッチのフリップチップアセンブリー技術と高密度多層ビルドアップ基板技術の進化ということになる。ビルドアップ基板技術はコアになる基板に、一層ずつ絶縁層と回路パターンを積み上げて行くプリント基板の製造方法で、微細なパターンやビア接続を可能にする次世代高密度基板として不可欠である。また、低価格化、プラスチックの処理や鉛フリー化など環境への配慮と安全性、開発速度の高速化などの課題も今後のパッケージ開発における重要事項となっている。

このロードマップに示された実装技術上の重要な指摘は、インターコネクト技術の制約が顕在化してきていることである。一般的にチップもパッケージも小さいほど電気特性(遅延、信号波形の保持など)は優れており、特にチップの場合は一枚のウェハーからの取れ数がコストを決定することから、より微細なデザインルールによる小型化が求められている。このため電子回路の微細化技術が進展し、チップの小型化が実現されてきた。しかしながら、従来よりワイヤーボンドのためにチップ外周部に設けられてきた接続端子は、その数の増加とボンド間距離の縮小が限界に近づいたことから、チップのこれ以上の小型化が困難となっている。したがって、実装技術の制約が全体としてチップ面積の増加をもたらす状況を作りつつあるといえることができる。この課題を克服するためには、チップ全面に接続用のバンパを形成し、単位面積当たりの端子数を増やしてチップの小型化をはかる必要がある。これを実現する技術がフリップチップ技術であり、このためのマイクロファブリケーション技術が重要な技術となっている。この技術をさらに発展させ、チップとパッケージとの接続をウェハープロセスに取り込むという新しいコンセプトのWLP(Wafer Level Package)技術や微細ビルドアップ基板の技術へと展開し、従来の接続技術の限界を越えた新しい実装技術へと進める必要がある。

4. マイクロファブリケーション技術⁽⁴⁾

最近の高密度実装技術の重要開発課題は、チップ上へのバンピング技術、フリップチップ接続技術およびビルドアップ基板の製造技術などである。これらはいずれも、微小な電極や微細なパターンを形成するために、高度な薄膜技術、めっき技術、フォトリソグラフィ技術などのマイクロファブリケーション技術を使用している。

フリップチップはその全面に格子状にバンパが形成され、これを裏返して(フリップ)してパッケージの接続用のパッドに接続される。このバンパの例を図4に示す。この場合のは

図4 フリップチップ接続用のはんだバンプ.

図5 銅-スズマイクロ積層膜の断面 SEM 像.

んだバンプはめっき法で形成されており、高さ $100\text{ }\mu\text{m}$ のバンプを8インチウエハー上に約40万個形成した場合、リフロー後の高さバラツキは $10\text{ }\mu\text{m}$ 以内に制御することができる⁽⁵⁾。現在では環境問題に配慮した、鉛を使用しないスズ/銀、銅/スズ、銅/スズ/銀などの組成のはんだバンプの開発が進められている。このような合金めっきを与えるめっき浴の開発が進められているが、新しい試みとして、合金成分を薄層に積み上げ、加熱処理により合金化する方法も検討されている。この一例として、銅とスズをそれぞれ交互に薄い層状にめっきした例を図5に示す。この場合、有機添加剤の添加無しにスズのデンドライド析出が抑制されている。この技術は異なる電位で析出する金属を、電位をパルス的に制御することにより、ナノメートル(nm)オーダーで交互に析出させることができるもので、傾斜組成での析出や新しい機能の創生の可能性がある。これは表1の2項に相当する技術であり、今後の展開が期待される。

SCSP(Super CSP)はウエハーレベルパッケージであり、従来の半導体組み立ての前工程、後工程といった区分を打ち破る新しい概念に基づくものである。この意味で実装技術の将来を考える上で意義が大きい。SCSPの外観、構造およびウエハー上に形成した再配線パターンとポストを図6に示す。これは、まず、ウエハー上に薄膜技術とアディティブめ

図6 スーパーCSPの外観と構造.

図7 SCSPとBGAの二酸化炭素排出量の比較.

っき法により再配線パターンとポストを形成する。次に、このポストの上面のみを残してモールドし、露出しているポスト上にボールを搭載した後、これを個片に切断して完成する。

いわゆるCSPはチップと同じ大きさで、使用する材料が少ないことから低コストが期待でき、高機能モジュールを作り易いなどの利点がある。さらに、図7に示すように、SCSPとBGAのトータルライフサイクルにおける二酸化炭素の排出量を比較すると、BGAを100とした場合SCSPは7.6である⁽⁶⁾。この結果が示すように、今後はLCA(Life Cycle Assessment)の観点からCSPのエコパッケージとしての重要性が増すものと考えられる。

フリップチップを高密度ビルドアップ基板パッケージに搭載した例を図8に示す。フリップチップ接続技術においては、接続材料としてはんだを使用する他に異方導電性材料を使用する方法がある。はんだを使用する場合にもバンプそのものを溶融して接続する方法と高融点のはんだのはんだバンプを溶融せずに基板側に予め形成したはんだにより接続する方法がある。この予備はんだは現在約 $200\text{ }\mu\text{m}$ ピッチのものが印刷法により形成されているが、実験室的には $150\text{ }\mu\text{m}$ ピッチの

図8 フリップチップを実装したビルドアップパッケージ。

微細化が可能になっている。この組み立てにおいてはいずれの場合も $20\text{ }\mu\text{m}$ 以内の高い位置あわせ精度、バンプ高さと予備はんだ量のバラツキおよび昇温プロフィールが接続信頼性を決定するキーパラメーターである。もうひとつの信頼性を決定する重要な因子はアンダーフィル材料の選定である。アンダーフィルは接続したチップとパッケージの間に樹脂を充填し、応力を全面に分散し部分的な集中を防ぐためのものである。アンダーフィル材料の粘度、ガラス転移点、フィラー量等は信頼性に大きな影響を与えることが確認されており、現在もより高い信頼性を求めて開発が進められている。

ボールピッチ 0.5 mm の CSP やフリップチップを搭載する基板としてはライン/スペース $50\text{ }\mu\text{m}$ 以下、ビア径 $100\text{ }\mu\text{m}$ 、ランド径 $230\text{ }\mu\text{m}$ 以下の配線ルールを持つ高密度基板が必要である。また、このような基板には、従来のプリント基板とは異なり、パッケージに要求されてきた高いレベルの信頼性が求められている。このような基板の例としてはすでにいわゆる 6-4-6 構造(4層のコア層の両面にビルドアップ層各6層)を持つフリップチップ接続用基板の例がある⁽⁷⁾。この基板は材料として耐熱性に優れた低吸水性の PPE(Poly Phenylene Ether)を使用しており、層間をつなぐビアはレーザー加工し、めっき法で穴埋めを行っている。また、最新の動向としては、このような基板内に抵抗やキャパシタなどの受動部品を作り込む技術が検討されている。

このような基板の製造技術には、従来、薄膜技術の領域とされてきたアデティブ法による微細配線やケミカルドライエッチングなどの技術が使用され、電解銅めっき法によるビアの穴埋め技術などの開発が進められている。現状の線幅が $50\text{ }\mu\text{m}$ 程度の配線をアデティブ法により形成する場合には、下地の樹脂層との密着強度を高めるために、樹脂面を粗化する技術が採用されている。しかし、線幅が $20\text{ }\mu\text{m}$ 以下の細い配線パターンを形成する場合にはできるだけ平滑な表面が必要である。このためポリイミドやエポキシ樹脂の化学的な処理による表面改質が検討され、カチオン基やスルホン基の

図9 電解銅めっきによるビアフィルの進行過程。

図10 スタックドビアと小径スルーホールを持つ先進的なビルドアップパッケージの断面。

導入による銅との密着性の改善がはかられている⁽⁸⁾。また、銅めっきによるビアの穴埋め技術は、半導体チップの回路形成において、配線に低抵抗の銅を使用し、そのトレンチにも銅を埋め込んだ後、研磨により平滑な回路を形成するダマシン技術⁽⁹⁾をビルドアップ基板に応用したものである⁽¹⁰⁾。ビルドアップ基板のビアホールに銅めっきにより穴埋めした場合のビアフィル過程を図9に示す。この穴埋め技術を使用したビルドアップ基板では、図10に示したように、ビアを積み重ねたスタックドビア構造が可能になり、スペースの節約による高密度配線とパッケージに応用した場合の電源の強化に役立っている。また、同様に図中にみられるように、レーザーで明けた高アスペクトなビア内壁のめっきやアデティブ法による回路形成をビアフィルと同時に進行する技術の開発も進んでいる。

この穴埋め技術は、今後の重要技術であることから基礎的な研究も進行している。ビアの穴埋めめっきに使用される銅めっき液は塩素イオン、光沢剤(A)、レベラー(ポリマー、色素、その他が添加されている)(B)などが添加された硫酸銅めっき液である。このようなめっき液について回転電極を使用して電流-電位曲線を求めてみると、図11に示すような

- 1) 光沢剤フリー, 1000 min⁻¹
- 2) 光沢剤(A), 1000 min⁻¹
- 3) レベラー(B), 1000 min⁻¹
- · - · - 4) 光沢剤(A)+レベラー(B), 1000 min⁻¹
- 5) 光沢剤(A)+レベラー(B), 0 min⁻¹

図11 ヴィアフィル用銅めっき浴における各種添加剤および回転速度の電流-電位曲線への影響。

結果が得られた。これより分かるように、曲線はA, Bが共存した場合を除いて、全て攪拌速度が増加すると正側に移行した。これは攪拌により電極への金属イオンの補給が増加したためと考えられる。しかし、A, Bが共存した場合のみ曲線は負側に移行し、通常の現象とは逆行している。これは比較的高濃度で、電流抑制効果の大きいBが、強い攪拌により大量に電極に補給され、電極に化学吸着したAと置換し、攪拌が弱い場合に比べ電流の抑制効果が大きくなったものと考えられる。したがって、相対的にAの吸着量の多い電極表面では、Aの吸着量の少ない部分に比べ、同電位での電流値が大きく、めっきの析出速度が速くなると考えられる。このような同電位での析出量の違いは他の実験によっても確認されている。また、Aを吸着させた電極を使用して、Bを添加しためっき液中でサイクリックボルタモグラムを求めた場合、 $-0.12\text{ V (vs. S.C.E.)}$ よりも正側の電位でAの脱着が起これ、その後電位を負側に掃引するとAのBへの置換が進行する結果が得られている。図12に $-0.10\text{ V (vs. S.C.E.)}$ まで電位を掃引した場合のサイクリックボルタモグラムを示す。また、Aを優先的に吸着させた電極がめっき中にBによって置換されることもESCAによる表面分析の結果によって確認された。

一般に、ヴィアの穴埋めを行う場合の適正な条件として、適度な攪拌と逆電解パルスの併用が行われる。これは攪拌が緩やかで、外側に比べAの吸着が優先的な構造を作り易いヴィア内に、Aの吸着が優先的な吸着構造を作り、さらに逆電解によるAの脱着とBの吸着を、ヴィアの形状効果による電流密度分布により、外側でより起こりやすく、内側

図12 光沢剤Aを吸着した電極の銅めっき浴中でのサイクリックボルタモグラム(掃引速度 50 mV/s)。

図13 ヴィアフィルめっき時の各種添加剤の電極における吸着構造と電流分布モデル。

で起こり難く制御することを意味している。これらの実験事実やポーラログラフ的な吸着挙動の調査、さらに種々の文献⁽¹⁰⁾⁻⁽¹⁶⁾を参考に、穴埋めめっきが有効に機能する場合の吸着構造とめっき電流分布をモデル的に示すと、図13のようになる。また、このようにめっき条件の精密な制御や管理を必要とするめっき技術として、ASめっき(Application

(: mm)

	1999	2000	2001	2002
リードピッチ	0.168	0.148	0.140	0.130
リード間隔	0.084	0.078	0.070	0.060
L/S(規格)	0.025	0.025	0.020	0.020
リード幅	0.084	0.070	0.070	0.070
L/W(規格)	0.080	0.070	0.070	0.070
MTLthk	0.125			0.100

図14 プレス加工した狭ピッチリードフレームのインナーリード部と狭ピッチ化の動向。

Specific Plating)法という考え方が提案されている⁽⁴⁾。

リードフレームのより多ピン化と狭ピッチ化をめざす動きはBGAの開発により一応沈静化している。しかしながら、ワイヤーボンドの信頼性を高めるためには、インナーリードの先端をできるだけチップに近づける必要がある。このためにはインナーリードをできるだけ狭ピッチに加工することから、引き続きインナーリードの微細加工技術が追求されている。現在、200 μm ピッチ程度のリードフレームが大量に生産されているが、つい最近、148 μm ピッチの216ピンリードフレームが量産に移されている⁽¹⁷⁾。このような超微細打ち抜き加工技術を可能にするためには、最小打ち抜き幅が70 μm 以下の金型製作技術が必要となっている。この場合、超薄肉化したポンチとダイは、以前にくらべ素材の打ち抜き過程において破壊し易くなっており、金型材料の組成、微構造、加工面の残留応力などがポンチの強度に大きく影響することが知られている⁽¹⁸⁾。したがって、強度の高い材料の開発やその表面の仕上げ方法の研究が進んでいる。また、金型構造の最適化についても、打ち抜き過程においてポンチとダイに発生する応力と歪みの分布に関するシミュレーションによる解析が進められており、ポンチとダイの形状を最適化することで、従来の二倍以上の強度が得られる場合があることが分かっている⁽¹⁹⁾。今後、このような方向での研究により、さらなる微細加工が可能になるものと考えられる。図14に微細プレス加工したリードフレームのインナーリード部と将来の狭ピッチ化の動向を示す。

5. お わ り に

本稿で述べてきたように、エレクトロニクス実装におけるマイクロファブリケーション技術はますますその重要性が高まっている。このため、この方向での技術力を高めていくためには、マイクロファブリケーションの技術ドメインを明確にし、パッケージ、実装技術を下支えする基盤技術として位置付け、めっき技術、プレス技術、レーザー加工技術、フォトリソグラフィ技術などについて、基礎科学的な研究開発を展開する必要があるものと考えられる。

二十一世紀の実装技術は、かつて半導体技術がシリコン基板上にトランジスタを集積しIC技術を展開したように、ICを集積して高機能システムを創出する技術である。基礎的な研究開発を通して、このような技術を可能にするマイクロファブリケーション技術の確立とその貢献に期待したいものである。

文 献

- (1) 若林信一：表面技術協会第99回講演大会要旨集，(1999)，254-257.
- (2) 宇都宮久修：エレクトロニクス実装技術，**16**(2000)，12-19.
- (3) *The National Technology Roadmap for Semiconductors Technology Needs*, Edition Semiconductor Industries Association, (1997).
- (4) 若林信一：表面技術，**49**(1998)，1257-1261.
- (5) S. Watanabe, Y. Ihara, Y. Kitahara, T. Kobayashi and S. Wakabayashi: *Proceedings of the 1997 IEMT/IMC SYMPOSIUM*, (1997)，110-115.
- (6) 田中博志，竹ノ内敏一，小林 充，赤川雅俊：長野県電気機械系製造業リサイクル設計技術研究会報告書，(2000)，30-32.
- (7) 小林和貴，小山利徳，飯島隆広：電子材料，**37**(1998)，53-56.
- (8) 縄村秀美，西岡太郎，辻 治雄，水本省三，清田 優，日下大：エレクトロニクス実装学会誌，**2**(1999)，390-393.
- (9) V. M. Dubin, Y. Schacham-Diamond, B. Zhao, P. K. Vasudev and C. H. Ting: *J. Electrochem. Soc.*, **144**(1997)，898-908.
- (10) 小林 健，川崎淳一，石橋純一，田中健太郎，本間英夫：表面技術，**49**(1998)，1332-1335.
- (11) T. Osaka, Y. Yamazaki, C. Madore and L. T. Romankiw: *Electrochemical Technology Applications In Electronics III*, Electrochemical Society, NJ, (2000) p. 21-30.
- (12) M. Yokoi, S. Konishi and T. Hayashi: *Denki Kagaku*, **52**(1984)，218-223.
- (13) Y. M. Loshkarev and E. M. Govorova: *Protection of Metals*, **34**(1998)，399-415.
- (14) T. Osaka, T. Sawaguchi, F. Mizutani, T. Yokoshima, M. Takai and Y. Okinaka: *J. Electrochem. Soc.*, **146**(1999)，3295-3299.
- (15) 逢坂哲彌，高野奈央：応用物理，**68**(1999)，1237-1242.
- (16) K. Uosaki: *Denki Kagaku*, **67**(1999)，1105-1113.
- (17) <http://www.shinko.co.jp/>
- (18) 中澤 清：信州大学学位論文，(1999).
- (19) 工藤誠一，小杉 俊，小坂橋竜雄：平成11年度第3回RSP新技術プレゼンテーション，(長野県テクノハイランド開発機構(2000年2月1日)).