Co/中間層/(100)Si 構造における直接エピ CoSi₂ 形成

松下電器産業株式会社半導体社プロセス開発センター 小川 真一

Fig. 1 (100)Si 基板に Ti 膜(2 nm 厚), Co 膜(15 nm 厚)を連続スパッタ堆積した試料の断面 TEM 写真.

Fig. 2 Fig. 1 の試料を 673 K, 1800 s 間熱処理した試料の断面 TEM 写真.

高速高密度低消費電力 ULSI プロセスでは MOS トランジスタの浅接合ソース, ドレイン電極の低抵抗化を目的とした Si 基板の金属シリサイド化が必要であり, 0.13 μm ルール量産プロセスでは金属材料として Co が一般的に用いられている. Co/Si 構造での Co のシリサイド化は反応は従来 $\text{Co} \rightarrow \text{Co}_2\text{Si}$ (623 K) $\rightarrow$ CoSi (673 K) $\rightarrow$ CoSi_2 (923 K) であることが報告され, エピ成長のためには超高真空下での Si 表面の清浄化が必要であった. しかしながら Co 薄膜と (100)Si 基板との間に 2 nm 程度の薄い Ti 膜を堆積することにより, 低真空のスパッタ法により 673 K 程度の低温で Co から他の相を経ず直接エピ CoSi₂ を形成でき, 多結晶 CoSi₂ の場合よりも接合リーク電流が低減できることを見出した⁽¹⁾. 薄膜 Ti を堆積した場合, Co 膜と Si 基板との間に室温でも約 4 nm 厚の非晶質

Ti-Co-Si 層が形成され, この層が Co 原子の Si 基板への拡散に対する反応制御層となり, 低温でエピ CoSi₂ 層が直接形成される (Fig. 2). Fig. 2 では粒界直下の非晶質 Ti-Co-Si 層下部にエピ CoSi₂ を形成するための Co 原子の Co 多結晶層の結晶粒界に沿った拡散によると思われる粒界でのグルーピングが観察されている. 実際の ULSI プロセスでは, 600°C 程度で熱処理を行って均一なエピ CoSi₂ 層を形成させる.

文 献

- (1) S. Ogawa, J. A. Fair, T. Kouzaki, R. Sinclair, E. C. Jones, N. W. Cheung and D. B. Fraser: Mat. Res. Soc. Symp. Proc., **320**(1994), 355-360.

(2001年10月26日受理)

Direct Epi-CoSi₂ Formation from Co/intermediate Layer/(100)Si; Shinichi Ogawa (Semiconductor Company, Matsushita Electric Ind. Co. Ltd., Kyoto)

Keywords: epitaxial CoSi₂, ultra-large-scale integration (ULSI) material, electrode

TEM specimen preparation: ion milling TEM utilized: ABT-2B (200 kV)