マイクロ電源に用いる極薄マイクロ磁心の開発

菅 原 英 州¹⁾ 西 村 貴 志²⁾
白 川 究^{**} 島 津 武 仁^{***}

1. は じ め に

ユビキタス(U biquitous)ネットワーク社会の到来により、IT (Information Technology)産業の更なる高度化が計られ、ユビキタスの意味する、「同時に至る所に存在する、どこにでもある」という非常に便利な社会が訪れようとしている。その市場は、膨大なユビキタス携帯端末デバイスが普及し、衛星を介して地球規模で各端末が結びつく時代がすぐそこに来ている。

このような社会では、全商品にメモリーチップを添付するなどユビキタス端末として膨大な数のマイクロ電源が使われる予定であり、薄型で基板に収納できるSOC (System On Chip)又はCEC (Chip Embedded Chip)用の各種マイクロ電源の開発要求が強くなっている。

電池駆動で用いられる降圧型電源回路は、その制御IC開発の進展に大きく影響を受け、制御ICと高周波ダイオード等がワンチップ化され、マイクロ電源の部品点数は大幅に減少してきた。フェライトインダクタを用いたマイクロ電源に関しては、薄型化をすると割れ易く、薄型化と特性がトレードオフの関係にあり、十分な特性が得られない等の各種問題のため、薄型化できていない。例えば、シリコン上に制御ICとフェライトインダクタを一体形成したワンチップdc/dcコンバータ⁽¹⁾の例では、フェライト磁心とICのワンチッ

プコンバータを形成したが、工程が長く、マイクロ電源厚みを1mm以内には薄くできなかった。

本開発では、厚み12.5μmのポリイミドシートの両面に厚み3μmの複合多層構造磁性層を成膜し、全厚み20μm程度の極薄マイクロ磁心を形成し、それをパターン化してマイクロインダクタを形成する。このマイクロインダクタは、薄膜工程で作製するプレーナータイプの薄膜インダクタに比べて、基板を使用しない分、薄く構成することが可能であり、更に高速連続成膜装置の使用により低価格で作製できるため、今後多くの応用の可能性がある。

本開発では、図1に示すようなLSIの配線幅の縮小とそれに伴うLSI動作電圧の低下に対して、Li電池電圧3.7~4Vから1V以下に電圧変換するマイクロ電源の高効率化・小型化を達成するため、これまでにない極薄な高効率マイクロインダクタを開発、製品化できたので報告する。

図1 LSI パターンのライン幅と動作電圧のトレンド

* NEC トーキン株式会社

1) 技術開発本部マネージャ

2) 技術開発本部

** 財団法人電気磁気材料研究所主任研究員

*** 東北大学電気通信研究所 IT21

New Approach of Very Thin and Micro Size Magnetic Cores for Micro Power Supplies; Eishu Sugawara*, Takashi Nishimura*, Kiwamu Shirakawa**, Takehito Shimazu*** (*NEC TOKIN Co. **Research Institute of Electric and Magnetic Materials. ***Tohoku University)

2003年1月31日受理

2. ポリイミド基板を用いた薄膜磁心

本研究の極薄マイクロインダクタはこのような携帯機器用の電源に応用され、必要な特性項目は、①薄い(300 μm 以下)、②高インダクタンス(5~10 μH 程度)、③高効率($Q=10\sim60$ @駆動周波数)、④省面積(最大4 mm 角程度)、⑤低 R_{dc} (1 Ω 以下)、⑥短工程、低コストである。これまでに各種の薄型マイクロインダクタが開発されているが、これらの特性を得るために本研究ではポリイミド基板の両面に磁性体を成膜した薄膜磁心に関して応用の可能性を検討した。

電源のマイクロ化には駆動周波数の高周波化が効果的であるが、高周波化によりインダクタの交流損失および半導体素子のスイッチング損失が大きくなってしまふ⁽²⁾。そこで、最適な駆動周波数の検討として、スイッチング周波数 f_s とインダクタンス値 L 、入力電圧 V_p 、出力電圧および電流を V_0 、 I_0 とすると、降圧形電源の最適駆動周波数は式(1)のように示される⁽³⁾。

$$f_s = \frac{V_0}{2I_0} \frac{1 - V_0/V_p}{L} \quad (1)$$

式(1)より、 f_s 値以下の周波数帯域でスイッチング駆動が可能となる。その際、電源全体の高効率とマイクロ化を両立する為には、低スイッチング周波数で半導体およびインダクタの損失を低減させて、高効率・高インダクタンス、更に良好な直流重畳特性を確保したマイクロインダクタが必要である。

このような要求項目を満足するために、本研究では以前から、高性能な磁性薄膜を用いた低 R_{dc} 、高効率($Q_{ind} = \omega L / R$)で小型な薄膜インダクタを検討してきた⁽⁴⁾⁽⁵⁾。

薄膜磁心の構造は、図2に示すように、12.5~25 μm の厚みを有するポリイミド基板上に薄膜磁性体をスパッタリング成膜し、その積層体に導体コイルをヘリカル状に巻いた数100 μm 厚みの磁心構造である。代表的な膜構造は以下の通りで、

$$[\text{Co}_{79}\text{Fe}_3\text{Si}_{10}\text{B}_8(100 \text{ nm})/\text{SiO}_2(50 \text{ nm})] \times 30$$

アモルファス合金組成は $\text{Co}_{79}\text{Fe}_3\text{Si}_{10}\text{B}_8$ 、磁性層の厚みは3 μm 、絶縁層を含んだ磁心の全膜厚は4.5 μm である。製品の特性向上については、飽和磁化量2.4 Tの $\text{Co}_{50}\text{Fe}_{50}$ 合金膜組成を用いることで、透磁率の向上と直流重畳特性の改善

図2 蛇腹状ポリイミド面上に形成された複合多層構造磁性体の写真

が図れ、更なる高性能化が可能で、検討されている⁽⁶⁾。

3. 薄膜磁心巻線インダクタ

薄膜磁心巻線インダクタは、ポリイミド上に両面成膜した薄膜磁性体を積層磁心に用い、平角又は通常の丸線を図3の様に1層~数層巻線したヘリカルコイル構造である。その寸法の1例としては、 $3 \times 3 \times 0.3 \text{ mm}^3$ のように小型のマイクロインダクタを構成できた。更に図5に $2 \times 2 \times 1.1 \text{ mm}^3$ のマイクロインダクタを構成できた。このインダクタは、導体コイル $80 \mu\text{m} \times 160 \mu\text{m}$ の平角ホルマル線を36ターン巻線し、 $L=4 \mu\text{H}$ 、 $R_{dc}=0.5 \Omega$ 、 $R_{ac}=1 \Omega @ 1 \text{ MHz}$ 、 $Q=30$ のインダクタ特性を示した。

極薄化は、薄膜磁性体の特徴であり、導体の R_{dc} 増加を押さえながら面積を広げ素子高さを薄くすることで、フェライト等では構成できない薄いインダクタ素子構造が可能となる。本研究で用いた薄膜磁性体は、複合多層構造⁽⁷⁾であり、その結果、数 MHz の周波数帯で高インダクタンス値で高効率を示す。

図4には複合多層薄膜磁心の高効率高インダクタンスの1例として、 $4 \text{ mm} \times 4 \text{ mm} \times 1.2 \text{ mm}$ の寸法で、40ターン薄膜磁心巻線インダクタの L 値と Q 値の周波数特性を示した。周波数1 MHzでの L 値は15.3 μH 、効率 Q 値は40を示し、直流抵抗 R_{dc} は0.5 Ω の高特性を得た。

図5には良好な直流重畳特性の1例として、 $2 \text{ mm} \times 2 \text{ mm} \times 1.1 \text{ mm}$ 寸法のマイクロインダクタにおける直流重畳

図3 複合多層構造磁性体を磁心とする寸法 $3 \times 3 \times 0.3 \text{ mm}^3$ のマイクロインダクタの写真

図4 複合多層構造磁性体を磁心とする寸法 $4 \times 4 \times 1.2 \text{ mm}^3$ のマイクロインダクタにおけるインダクタンス L と効率 Q の周波数特性

図5 複合多層構造磁性体を磁心とする寸法 $2\times2\times1.1\text{ mm}^3$ のマイクロインダクタにおけるインダクタンスの直流重畳特性

特性測定結果を示した。1 A という大きな直流重畳電流でも、インダクタンス値の減少は見られなかった。これらの結果より、高 Q ・高 L ・高直流重畳特性は薄膜磁性体とヘリカル巻線構造を用いて得られたもので、複合多層構造薄膜磁性体を用いたマイクロインダクタのポテンシャルの高さを示している。

4. 3次元モデルの交流磁界解析

本研究では、有限要素法 3D 磁界解析モデルで交流磁界解析を行い、薄膜磁心の内部磁束分布の計算から、コイルの発生磁界により薄膜磁心がどのように励磁されているか $25\text{ }\mu\text{m}$ 厚みのポリイミド絶縁体を厚み方向に挿入した磁心を、磁界分布、磁束集中について考察した。

マイクロインダクタのZ方向(厚さ $616\text{ }\mu\text{m}$ 方向)の磁界強度分布を図6に示した。インダクタ中心部分は900ガウスの磁界強度であるが、コイルに近い磁性体は2倍の1800ガウス程度に励磁されている。

複合多層磁心はインダクタ中心部磁性体に誘起される磁界強度が弱く、コイルに近い磁性体は磁界強度が大きい。これは $3\text{ }\mu\text{m}$ 厚みの磁性体間を $25\text{ }\mu\text{m}$ の絶縁体で分断した複合多層構造の効果であると考えられる。その為、磁性体はコイルからの励磁磁界の増加に伴い、コイルに近い磁性体から飽和し、コイル中心部の磁性体は飽和しにくい。この構造は直流重畳特性にも好影響をもたらすと考えられ、図5に示したような1 A 程度までの良好な直流重畳特性を説明することができる。

5. ま と め

薄膜磁心巻線ヘリカルインダクタの薄型化と高効率化、高直流重畳特性を計ることを目的として、薄膜磁性体をフレキシブルなポリイミド基板上に成膜し、最薄な薄膜磁心を形成した。

この磁心を積層して複合多層構造体を構成し、ヘリカルコ

図6 マイクロインダクタ中心部のZ厚み方向における200 mA, 1 MHz で誘起された磁界強度

イル構造からなる極薄高効率マイクロインダクタを開発した。

更に、マイクロインダクタ内部の磁心構造の磁界解析では、磁性体内部のX, Y, Z方向の磁界分布を計算し、インダクタ内部への磁界集中の無い、良好な特性を有するマイクロインダクタを設計作製できた。

以上、最薄な薄膜磁心を用いて、これまでになく極薄マイクロインダクタを製品化し、この極薄インダクタを用いることで、1 mm 厚を切る世界最薄のワンパッケージマイクロ電源を開発できた。

本研究は東北経済産業局主幹の地域新生コンソーシアム研究開発プロジェクト「省エネルギー型マイクロ電源の開発」に基づいて行われました。関係各位殿に感謝申し上げます。

文 献

- (1) S. Sugahara, A. Nakamori, Z. Hayashi, M. Edo, H. Nakazawa, Y. Katayama, M. Gekinozu, K. Matsuzaki, A. Matsuda, E. Yonezawa and K. Kuroki: "Characteristics of a Monolithic DC-DC Converter utilizing a Thin-film Inductor", IPEC-Tokyo 2000, 326-330.
- (2) 渡良田卓嗣, 塚本一男, 酒井達郎, 谷内利明: 電子情報通信学会技術研究報告, EE98-51(1998), 15.
- (3) 中澤治雄, 江戸雅晴, 片山 靖, 鷗頭政和, 菅原 聡, 林善智, 黒木一男, 米澤栄一, 松崎一夫: 電気学会マグネティックス研究会資料, MAG-99-41(1999).
- (4) 白川 究, 大沼繁弘, 菅原英州, 三寺正雄, 増本 健: 金属, 67(1997), 379.
- (5) 菅原英州, 猪 義博, 三野正人, 白川 究, 増本 健: 電気学会マグネティックス研究会資料, MAG-00-147(2000).
- (6) H. Katada, T. Shimatsu, I. Watanabe, H. Muraoka and Y. Nakamura: IEEE Trans. Magn., 38(2002), 2225.
- (7) 菅原英州, 李 衛東, 大槻悦夫, 白川 究, 増本 健: 日本機械学会 IIP2000 情報・知能・精密機械部門講演会講演論文集, 105(2000).