分子層エピタキシャル成長と、 そのテラヘルツデバイスへの展開

西 澤 潤 一* 倉 林 徹**

1. は じ め に

1947年に Bardeen と Brattain により点接触トランジスタが開発された⁽¹⁾。今日では、この発明が半導体時代の幕開けであると考えられているが、初めのデバイス(現在のトランジスタ)は、アメリカでの Lilienfeld による1926年と1928年の特許にまで遡ることができる⁽²⁾。今日、それらを金属-半導体および金属-絶縁体-半導体電界効果トランジスタ、すなわち MESFET および MISFET と呼ぶ。1934年には英国の Heil が、反転層チャネルを備えた今日の metal-oxide-semiconductor トランジスタ(MOSFET)を提案した。Lilienfeld および Heil の発明は、当時は半導体技術が十分でなく素子実現には至らなかった。現在もなお、彼らの提案した材料で実用に至っていないものがあり、提案と実現の間には大きな隔りがある。

近年、電子産業はますます発展しわが国における主力産業となっている。電子産業の基盤を支えるシリコントランジスタが産業化されてからすでに40年を経過しているが、現在もサブミクロンサイズの集積化、すなわちデバイスの微細化の方向に産業が急速に進んでいる。将来の超高速半導体素子の実現を目指した、MOS 電界効果トランジスタ(FET)の短チャネル化についても広範に試みられており、従来の微細化技術では、50~70 nm 程度のチャネル長の MOS トランジスタを試作レベルで実現しているが、露光技術および加工技術は限界に達している。

これに対し、従来の FET の限界を打ち破って超高速半導体素子の基本構造となる 3~10 nm 程度までチャネル長を精密に制御した次世代半導体素子を開発する試みが世界中で行

われている。このような超高速半導体素子は、ミリ波と光波の間の未開発範囲を埋め得るテラヘルツトランジスタとして動作することが期待され、例えば通信分野では現在の光通信を100倍程度高速・高効率化でき、通信量も増やせるものと思われる。

一方、従来の電界効果トランジスタ(FET)はソースからピンチオフ点までの間に大きな負帰還抵抗が存在し、そのため5極管型の飽和型電流-電圧特性をもち、駆動能力が制限されている。これに対し静電誘導トランジスタ(Static Induction Transistor: SIT)⁽³⁾⁽⁴⁾は負帰還抵抗 r_s を極限まで減らしたデバイスであり、3極管型の不飽和電流-電圧特性を示し、大きな駆動能力を有する。SIT は、 r_s が小さいことから入力雑音電圧が小さく、動作電圧も低くできる。また、SIT の原理上チャネルの寸法が短いゲート容量が小さく、高速動作する。絶縁ゲート(MIS または MOS)SIT も可能であり少数キャリアの蓄積効果がないためにさらに高速となる。チャネルをさらに短くし、キャリアの平均自由行程よりも短くした SIT は Ideal SIT (ISIT) と呼ばれ、キャリアは結晶格子に散乱されることなくチャネルを通過できるので、極限の高速動作が期待できる。

FET または SIT に限らず、このような極微細半導体素子を実現するためには、材料となる GaAs 等化合物半導体やシリコン半導体単結晶を単原子あるいは単分子層ずつ低温で成長する究極のプロセス開発が必要である。このような技術は今後の半導体産業を支える最も有力な技術となる。近年、極微細半導体素子を実現するための方法として分子層エピタキシャル成長方法(MLE: Molecular Layer Epitaxy)が提案され、化合物半導体である GaAs において、ガリウム化合物であるトリメチルガリウムと砒素の化合物である AsH₃ を交互

* 財団法人 半導体研究振興会名誉所長(〒980-0862 仙台市青葉区川内)

** 財団法人 半導体研究振興会主任研究員

Molecular Layer Epitaxy and its Application for a Fabrication of Terahertz Devices; Jun-ichi Nishizawa*, Toru Kurabayashi** (Semiconductor Research Institute, Sendai)

Keywords: surface science, thin film technology, reaction process, molecular layer epitaxy, semiconductor devices, static induction transistor, terahertz devices

2004年2月18日受理

導入し、一回毎に単分子層ずつの成長が行えることを確認している。この方法は原理的には T. Suntola が発明し II-V 族の結晶成長に適用した原子層エピタキシー⁽⁵⁾に基づいている。分子層エピタキシーにより、1984年に GaAs の単分子層成長を実証することができた⁽⁶⁾⁻⁽⁸⁾。この方法を用いれば、広い温度範囲で導入ガス圧等に依存せず、ほぼ自動的に 1 分子層ずつデジタルに単結晶を成長でき、究極の膜厚制御性が達成される。原子オーダーの精度を持つ新しい低温・低損傷の半導体技術の創出により、将来の半導体プロセス技術として分子層エピタキシーの有効性が期待される。

2. 分子層エピタキシャル成長および静電誘導トランジスタの研究背景

これまで述べてきたように SIT は、散乱のない熱電子注入を目指して 1950 年に発明された。1970 年代後半には、GaAs の中の結晶格子と電子衝突に関する平均自由行程が、100 nm 程度であることが実験的に確認された。超高速デバイスが平均自由行程以下で実現されると考え、1979 年にパリストティック SIT を提案した⁽⁹⁾。Shur および Eastman がアメリカでパリストティックトランジスタを提案したのはその直後である⁽¹⁰⁾。我々は、100 nm 長の SIT で、カットオフ周波数 718 GHz を算出し、これを理想型静電誘導トランジスタ (ISIT) と名付けた。

理想型 SIT のような短チャネル構造は、従来のフォトリソグラフィの影響を受けずエピタキシャル成長膜厚でチャネル長を決めることができる縦型構造の方が作りやすい。図 1 に縦型 MOS-SIT の基本構造を示す。その形状から切り込み MOS-SIT あるいは UMOS-SIT と呼ばれている。この構造ではチャネル長をエピタキシャル成長膜厚で制御できるため、ロードマップに従ったリソグラフィ開発を待たなくても極限まで短いチャネル構造を実現できる。エピ成長の手段としては膜厚の制御が原子層レベルで可能であり、しかも高濃度急峻なドーピングが可能な低温成長技術が必要である。チャネルをさらに短くし、キャリアの平均自由行程よりも短くした理想型 SIT ではキャリアは結晶格子に散乱されことなくチャネルを通過できるので、極限の高速動作が期待でき

る。また現状の集積化のゆきづまりを打開するためにも極めて有望な方式である。半導体研究所では GaAs による理想型 SIT を既に試作・実現している⁽¹¹⁾⁽¹²⁾。

この理想型 SIT を実現するための方法として分子層エピタキシャル成長方法を検討し、GaAs⁽⁶⁾⁻⁽⁸⁾、Si⁽¹³⁾⁽¹⁴⁾、AlGaAs の単分子層成長およびそれらのドーピング方法⁽¹⁵⁾を実現した。分子層エピタキシーを用いることにより、キャリアの平均自由行程より短いチャネル長を有する超高速デバイスの試作が可能となり、テラビット級超高速光通信の基盤技術となり得るテラヘルツデバイス実現の見込みを得た。

3. 分子層エピタキシャル成長における表面反応制御

半導体のエピタキシャル成長技術に関連して、我々は 1960 年代よりシリコン気相成長反応の素過程について主に赤外分光法を用いて研究を行い、図 2 に示すような実験装置により、 SiH_2Cl_2 をはじめとするシラン系の化合物の反応素過程に関する詳細な実験データを得ている⁽¹⁶⁾。それによれば、Si の最終的な表面反応に関わって SiCl_2 が分解し、

これらの知見に基づいて、単原子層ずつのシリコン成長においても、 SiH_2Cl_2 と水素の交互導入によるシリコン MLE を開発し⁽¹³⁾⁽¹⁴⁾、図 3 に示すようにシリコン(100)面において 825~850°C 付近でシリコン単分子層成長を確認している。

シリコン MLE 開発に先立ち、1984 年から GaAs を中心とした III-V 族化合物半導体の分子層成長法の開発に着手し、完全性の高い単結晶を原子層レベルで厚み制御する結晶成長に初めて成功した。表 1 に原子層(分子層)エピタキシーにおける開発動向の経緯をまとめた。分子層成長法の基となる、原子層エピタキシー (Atomic Layer Epitaxy; ALE)⁽¹⁷⁾ と名付けた Suntola らは、原料成分一層の原子蒸着までを考えていたが、実験では単原子吸着を利用しガラス基板上に ZnSe や ZnTe の多結晶を成長させている。その後、半導体研究所で GaAs を中心とした III-V 族化合物半導体に応用し、完全性の高い単結晶を単原子レベルで厚み制御することが可能になった。この方法は吸着分子の化学反応を用いており、本来分子としての操作であるから分子層エピタキシー

図 1 縦型 MOS SIT の構造。

図 2 シリコン気相成長反応の素過程の研究。

図3 シリコン単分子層成長の実現.

表1 分子層エピタキシーに関する研究の経緯.

年代	成長手法, 装置	報告者	報告例
1961	光励起 Si 気相成長による低温成長	西澤	金属学会誌25巻5号 p. A149
1978	赤外分光分析による Si 気相成長反応の解明	西澤	J. Cryst. Growth 45, 82
1981	ポリ ZnS, アモルファス Ta ₂ O ₅ の ALE (原子層エピタキシー)	スントラ	ICVGE5
1984	GaAs 単結晶の分子層成長を初めて実現	西澤	16th conf. SSDM p. 1
1985.5	光励起分子層エピタキシー (PMLE) の実現	西澤	J. Electrochem. Soc. 132, 1197
1985.7	MOVPE ALE	Bedier	Appl. Phys. Lett. 47, 51
1985.9	GaCl-As ₄ GaAs の ALE	NEC	12th Int. Symp. GaAs and—
1985.9	Flow-Rate Modulation Epitaxy	NTT	12th Int. Symp. GaAs and—
1986.6	スイッチングレーザー MOVPE (ALE)	理研	Appl. Phys. Lett. 48, 1787
1986.1	GaAs の MLE におけるドーピング技術の確立	西澤	西澤完全結晶プロジェクト終了報告
1986.1	Si 単結晶の分子層成長を初めて実現	西澤	西澤完全結晶プロジェクト終了報告
1994.5	分子層エピタキシーにより, チャネル長 100 Å の GaAs ISIT を実現	西澤	3rd Int. Symp. Atomic Layer Epitaxy—

(Molecular Layer Epitaxy; MLE)と呼ぶのが妥当であると考えている. この発表を契機に国内外で活発な研究報告が行われるようになった⁽¹⁸⁾⁻⁽²¹⁾.

MLE 開発の当初から, デバイスへの応用のみならず, 表面反応機構の解明に関する研究も行われ, 質量分析法等を用いた測定によって GaAs や Si の表面主要反応の多くが解明されている. シリコン MLE では, 図3に示したように原料として供給されるジクロルシラン(SiH₂Cl₂)は水素を放出して, SiCl₂ として単分子吸着層を形成し, その後導入された水素によって Cl が塩化水素として放出され, シリコンの単

図4 GaAs 単分子層成長の実現.

分子層を形成することが明らかとなっている.

GaAs の MLE では図4に示すように原料の TMG (トリメチルガリウム) を過剰供給すると, 基板温度 420~510°C では TMG がメチル基 2 個を放出してモノメチルガリウム (MMG) の単分子吸着層が形成される. 吸着した MMG は単分子層成長条件では 15~36 秒の時定数で Ga と CH₃ を形成する (遷移状態). さらにこのような Ga 層上で TMG の分解は定常状態反応として引き続き生じる. このため, 遷移状態に移る前に, MMG の単分子吸着層を形成する必要がある⁽²²⁾. すなわち, 過剰の TMG を短時間で導入することが必要である. TMG を真空排気の後 AsH₃ を供給すると, MMG の単分子吸着層とアルシン (AsH₃) が表面反応し単分子層 GaAs 成長層が形成される. この時に表面反応によって H₂ および CH₄ が放出される. TMG の供給時に, もし少量の TMG を長時間にわたって導入すると, 初期の TMG 導入で形成された MMG は遷移状態を経て Ga を生成するが, この Ga 上では TMG の反応が引き続き生じるので多層成長を生じることになるので完全な自律性のある単分子層成長ではなくなっている.

4. 分子層エピタキシャル成長における低温化技術

(1) 低温化プロセスの必然性

我々の目指すテラヘルツデバイスである ISIT は, 1 ナノ

メートル以下の精度の急峻なドーピングを必要とするため、ドーパントが拡散を起こさないように十分低温で成長する必要がある。図5はSiによるソース・ドレイン構造を想定し、結晶に構造不完全がないという仮定の下でナノメートルオーダーの不純物のプロファイルが熱工程によってどのように変化するかシミュレーションした結果である。この構造は表面側から①n⁺層(1×10¹⁹ cm⁻³)20 nm, ②ノンドープp層(1×10¹⁵ cm⁻³)20 nm, ③p⁺層(1×10²⁰ cm⁻³)5 nm, ④ノンドープp層(1×10¹⁵ cm⁻³)20 nm, ⑤n⁺基板(1×10¹⁸ cm⁻³)であり、熱工程時間はN₂中60分とした。600℃以上でB(ボロン)のプロファイルの変化が見られ、700℃以上ではP(リン)のプロファイルにも変化が見られる。このように、ナノメートルオーダー制御のシリコンプロセスとしては600℃を上限と考えるのが妥当である。以上のように、急峻なドーピングプロファイルを実現するためには、ドーパントが拡散を起こさないように十分低温で成長する必要がある、各種材料につき分子層エピタキシャル成長における低温化および不純物添加技術の検討を行った。

(2) GaAs 分子層エピタキシャル成長における低温化プロセス

GaAs の分子層エピタキシャル成長では図6に示すようにTMG(トリメチルガリウム)に代わり、TEG(トリエチルガリウム)を用いることにより大幅な成長温度の低減を実現した。一方で自己停止成長機構を実現できる条件幅が非常に狭くなり、供給律速の条件にてTEGの導入量制限を併用することによりAsH₃(アルシン)との交互導入で分子層成長を実現させる必要があった。TEGに関しては、Gaとエチル基の結合エネルギーはTMGにおけるGaとメチル基の結合エネルギーと大差はないのであるが、エチル基は(-CH₂-CH₃)のCH₃に3つのβ水素を持っており、このβ水素がGaと結びつくことにより低温で(CH₂=CH₂)を放出(β脱離)する。このためTMGに比べるとTEGでは分解温度が200℃以上低温化されることがわかった。以上の特徴からTEGではGa-Cの結合が切れやすく、TMGでは切れにくいという現象が生じているものと考えられる。TMGを用いた場合は炭素が残留しやすく、TMG-AsH₃による分子層成長では強いp型成長層が得られることも裏付けているようである。

TEG-AsH₃による自己停止成長は成長温度が265℃という低温で実現された⁽²³⁾。図6に示すようにTEGの導入時間を1秒とすることによりTEGの導入圧力に対して成長速度が飽和し、1サイクル当たりの成長膜厚が1分子層(0.283 nm)となる条件が得られている。この条件で不純物添加の検討を行った。不純物添加においても、通常の結晶成長のように原料ガスを同時に混合して導入することはせず、AsH₃の導入、TEGの導入、引き続いてn型不純物であるテルルの化合物ガスであるDETe(ジエチルテルル)の導入を時間分割して行った。図7(a)に示すようにDETeの導入ガス圧の増加に伴い、1サイクル当たりの成長膜厚は急激に減少するが約0.4分子層で飽和するという現象が見られた⁽²⁴⁾。成長膜の電子密度は1~1.5×10¹⁹ cm⁻³で飽和する傾向が得られた。

図5 熱処理によるSiソース・ドレイン間不純物プロファイルの変化(シミュレーション)。

図6 TEG(トリエチルガリウム)-AsH₃によるGaAs分子層成長の実現。

図中の低いDETe圧力Aと高いDETe圧力Bでは成長速度および電子密度ともほぼ同じであるが、アンドープ層を挿入すると、その成膜特性は全く異なっていることがわかった。以下に実験結果を示す。図7(b)および(c)は265℃の成長温度でDETe圧力がそれぞれAおよびBの時、1サイクルの不純物添加成長に引き続きアンドープ成長層をn回導入する成長モードで得られた1サイクル当たりの成長膜厚とキャリア密度の関係を示している。(b)に示すようにDETeの導入圧力が小さい時にはnの増加に伴い成長膜厚の1分子層での飽和現象とキャリア密度の単調減少が観察される。一方、(c)に示すようにDETeの導入圧力が大きい時には、1サイクル当たりの成長膜厚とキャリア密度はほとんど一定の値になる。nの値をさらに増やすと成長膜厚の増加とキャリア密度の減少が見られることが実験的にわかる。このようなモードで成長したサンプルは、飛行時間型2次イオン質量分析装置を用いて不純物プロファイルが測定され、特にnを10回以上に設定したサンプルでは、明確にTeがドープ層位置に局在化して存在することがわかった。すなわち、265℃の分子層エピタキシャル成長においては(As-Ga-Te)-(As-Ga)nモードによる成長では、その低温成長のために、

図7 (a) TEG-AsH₃によるGaAs分子層成長におけるDETe導入量依存性. (b) TEG-AsH₃によるGaAs分子層成長において、アンドープ層を挿入した際の1サイクル当たりの成長膜厚とキャリア密度の関係. $P_{DETe} = 1.3 \times 10^{-4}$ Pa. (c) TEG-AsH₃によるGaAs分子層成長において、アンドープ層を挿入した際の1サイクル当たりの成長膜厚とキャリア密度の関係. $P_{DETe} = 1.2 \times 10^{-3}$ Pa.

図8 TEG-AsH₃による不純物添加分子層エピタキシャル成長.

Teの拡散が広範囲に及ばずドープ層付近に留まっている。言い換えれば、過剰なTeは不活性な状態でドープ層に留まるものの、アンドープ層厚みに応じて活性化しアンドープ層中に電子を放出する。また、1サイクル当たりの成長膜厚は電子密度の関数であり、電子密度の減少に伴い、あるいは過剰Teの減少に伴い増加し最終的には1分子層値で飽和する。

このような表面吸着した分子が反応を引き起こす過程は、表面の触媒的な作用を示しているものと思われ、TMGあるいはTEGおよびAsH₃のGaAs基板上での分解過程が、結晶面方位によって顕著に異なり、Ga安定な(111)A表面上ではTMGやTEGの反応は極度に抑えられ、AsH₃の反応は促進される。またAs安定な(111)B表面上では反応の強度が全く逆になる。さらに吉田らの実験によれば、結晶表面のキャリア密度、表面ストイキオメトリ、酸化状態等の表面の化学状態(surface chemistry)によって分解反応が制御されることが示されている⁽²⁵⁾。

図8に示すのはデバイスへの適用を目指して行ったn型

図9 金属(タングステン)の分子層堆積と低抵抗コンタクトの形成.

成膜結果をまとめたものである。成長温度は300℃程度であり、図7の結果よりも高温となっている。不純物としてSeを選んだ時とTeを選んだ時で得られる電子密度はほぼ同じ値($2-3 \times 10^{19} \text{ cm}^{-3}$)が得られていることがわかる。また、Seの方が $1 \times 10^{20} \text{ cm}^{-3}$ 以下の不純物添加量では活性化率が高いことがわかる。またホール移動度の不純物密度の増加に伴う減少特性の違いから、電子を散乱する際の過剰SeおよびTeの構造が異なるものと考えられる⁽²⁶⁾。

不純物添加に伴う関連技術として、分子層成長システムを利用したW(タングステン)の分子層堆積を実施している。図9に示すようにW堆積はタングステンヘキサカルボニル(W(CO)_6)のガスを真空中で380℃程度に加熱されたGaAs基板結晶上に導入し、表面反応によりタングステンを堆積させる。タングステンの堆積に先立ち表面処理により清浄な界面を得るため、AsH₃分圧下で450℃の熱処理を行い、低抵抗コンタクトを実現した⁽²⁷⁾。低抵抗コンタクトは同図に示すようにTeの原子濃度が $3-5 \times 10^{20} \text{ cm}^{-3}$ あたりで極小値を示した。この値付近では電子濃度は $2-3 \times 10^{19} \text{ cm}^{-3}$ 程度であり、活性化率が10%以下の領域であることがわかった。

(3) InP分子層エピタキシャル成長における低温化プロセス

図10にInP分子層エピタキシャル成長装置および1サイ

図10 InP 分子層エピタキシャル成長装置および1サイクル当たりのエッチング速度のガス導入時間依存性.

図11 InP 分子層エピタキシャル成長による1サイクル当たりの成長膜厚のTMI (TEI) 導入圧力依存性 (a), および成長温度依存性 (b). リンの化合物ガスとしてTBPを用いた.

クル当たりのエッチング速度のガス導入時間依存性を示した。原料ガスとしてインジウムの化合物ガスであるトリメチルインジウム(TMI)およびトリエチルインジウム(TEI)を用い、リンの化合物ガスとしてターシャリブチルフォスフィン(TBP)およびトリシメチルアミノフォスフォラス(TDMAP)を用いた。成長目的としてTBPやTDMAPのガスを導入するとエッチング反応が生じ、清浄な表面が得られることが判明した。さらに、同図に示すように、TBPやTDMAPの導入量を増加させ間歇導入と排気を繰り返すと(図中では導入時間を増加させた)、1サイクル当たりのエッチング速度は原料ガスの導入量によらず一定となることがわかった。このことは、デジタルエッチングの可能性を示しており、成長前にこのエッチングプロセスを施すことによって成長界面の清浄化を可能にした⁽²⁸⁾⁽²⁹⁾。図11はインジウムの化合物ガスであるTMIあるいはTEIとTBPを間歇交互導入することにより得られた成長膜厚のTMI(あるいはTEI)圧力依存性と成長温度依存性を表している⁽³⁰⁾⁽³¹⁾。TEIにおいても狭い範囲で自己停止成長機構が確認されているものの、TMIを用いた時には広範囲の導入圧力および成長温度に対し自己停止成長が生じていることがわかる。

(4) Si 分子層エピタキシャル成長における低温化プロセス

先に図3に示したように最初のSi分子層エピタキシャル

図12 温度変調シリコン分子層成長(TMSiMLE)結晶成長装置および成長のシーケンス.

図13 TMSiMLEにおける基板温度の時間変化ならびにH₂のQMSシグナル強度の時間依存性.

成長は800℃以上の高温で実現された。しかし、低温化プロセスの必要性から、近年になって低温化技術の追求を行った。図12にSiMLE低温化を実現した温度変調分子層成長法(Temperature Modulation Si MLE: TMSiMLE)の結晶成長装置および成長のシーケンスを示す⁽³²⁾⁻⁽³⁴⁾。同装置では表面反応機構を「その場観察」するための4重極質量分析装置(QMS)が取り付けられており、表面反応によって生じる生成物等をリアルタイムで観察できるようになっている。

図13はTMSiMLEにおける基板温度の時間変化ならびにH₂の質量スペクトラムのシグナル強度時間依存性を示している。1サイクルはガス導入圧力: $9 \times 10^{-5} \text{ Pa}$, ガス導入時間: 25 sのSiH₄ガス導入とTMプロセスから成り立っている。この測定を行った際には液体チッ素で満たされたシュラウドを使用した。温度変調プロセスに関しては35 sのSiH₄ガス排気操作時間内に行われ、基板を400℃から550℃に昇温した。H₂シグナル強度はSiH₄ガス供給のオン、オフに対応して急激に上昇および減少している。これはSiH₄ガスが一部分分解されてH₂分子が生成されることに対応していると考えられる。SiH₄ガス供給後にH₂シグナル強度は基板温度の上昇とともに再び上昇して550℃の基板温度の時点でピークをもっている。このピークは成長シーケンスの同一位相で周期的に現れた。また同図に示されているようにこのピークは熱酸化膜でカバーされた基板からは検出されないことが実験的に確認された。これらのことからピークをも

つ H_2 シグナルは Si 基板からの水素の脱離反応に起因すると考えられる。このピークはシリコンモノヒドライドからの水素の脱離に起因していると考えられる。さらに定量的な評価のため、同図に QMS 測定で得られた H_2 シグナルピークの Si_2H_6 ガス導入量依存性を示した。ガス導入量に関しては Si_2H_6 ガス導入圧力と Si_2H_6 ガス導入流量を掛け合わせて算出された。温度 T_L は $400^\circ C$ に固定された。同図に示されているようにピーク強度はガス導入量の増加とともに最初急激に増加してそれから約 $1 \times 10^{-2} Pa \cdot s / cycle$ 以上ではほとんど飽和している。このことは、温度変調プロセスを用いることによって、自己停止機構に基づく成長の可能性を示唆している。

図14に TMSiMLE の成長速度を Si_2H_6 ガス導入時の基板温度、 Si_2H_6 ガス導入時間および Si_2H_6 ガス導入圧力の関数として示した。それぞれのパラメータで、成長速度が 0.3 分子層/サイクルで飽和することがわかった。これらの実験結果から Si_2H_6 ガスの自己停止性解離吸着が T_L の温度 $400^\circ C$ でほぼ実現されていると考えられる。これによって、先の図3に示したクロライド系 SiMLE に対し、 $300^\circ C$ 程度の低温化が実現され、0.3 分子層/サイクルで自己停止機構を有する単結晶シリコンの分子層成長が可能になった。図13で示したように SiO_2 上で Si-H の吸着層が形成されないことが QMS の測定結果から結論され選択成長の可能性が示唆され、高分解能走査型電子顕微鏡による表面観察から Si 上のみ成長が生じ、 SiO_2 上にはいっさいの堆積物が生じないこと、すなわち選択成長が生じることが実際の成膜で確認された。低温成長で選択成長が実現されたことは、ナノ構造作製の際に、マスク開口部分への埋め込みエピやセルフアラインプロセスとの組み合わせ等で非常に有効な技術となる。新規に開発した TMSiMLE に関し、質量分析装置によるその場 (*in-situ*) 観察を行った結果をまとめると、この成長法の表面反応機構は図15のように書ける。すなわち、過剰の Si_2H_6 ガス導入を低温 (T_L) のシリコン基板上に供給すると Si-H の飽和吸着状態を生じる。 Si_2H_6 の供給停止・真空排気の後に

温度変調 ($T_1 \rightarrow T_2$ に上昇) することにより表面反応を生じ、単分子層成長を生じる。

急峻なドーピングプロファイルを実現するためには、ドーパントが拡散を起こさないように十分低温で成長する必要がある。新たに開発した温度を変調する SiMLE によりその目標は達成された。しかし急峻なプロファイルを得るためには不純物の表面偏析を抑える必要があり、さらに移動度の劣化を抑えながら高密度ドーピングを行うためには不純物の不活性化を回避する必要がある。連続供給モードの CVD によるエピ成長における不純物添加では、表面の吸着サイトの競合によるラングミュアの吸着等温式に従ったメカニズムで説明されているが、そこではドーピング密度は母体材料ガス (Si_2H_6) とドーパントガスのガス分圧で決まってしまう。一方、交互供給モードで成長を行うと表面サイトへの吸着は供給圧力に加えて供給・排気時間の 2 つの自由度が増える。従ってより高密度ドーピングを目指す場合には交互供給モードの成長が有利になる。

TMSiMLE における不純物添加は図16に示す方法により行った⁽²¹⁾。p 型シリコン成長層を得るために、ボロンの化合物である B_2H_6 ガスを用いた。この B_2H_6 ガスの導入は Si_2H_6 の導入タイミングおよび TM プロセスとの関係から 4

図15 TMSiMLE における表面反応機構 (質量分析装置によるその場観察)。

図14 TMSiMLE 成長速度の Si_2H_6 ガス導入時基板温度、 Si_2H_6 導入時間および Si_2H_6 導入圧力依存性。

図16 TMSiMLE における不純物添加方法 (ガス導入モード)。

つモードを設定した。例えばB-TM-Si-TMでは、 B_2H_6 導入後、TMプロセスを行い(表面反応させ)、 Si_2H_6 の導入後、再びTMプロセスを行い表面反応させるモードであり、従来にない全く新規なドーピング方法である⁽³⁵⁾。図17に実験結果を示した。各モードによって、顕著にドーピング効率が異なり、また低温成長にも関わらず、単結晶成長でホール密度 $5 \times 10^{20} \text{ cm}^{-3}$ の高濃度不純物添加が実現できた。さらに選択成長の条件もノンドープの時と同様実現されており、ナノ構造電子デバイス試作のための基礎技術が整備された。

(5) ゲート絶縁膜形成低温化技術

MOS デバイス実現に向けて、不純物添加 Si 超薄膜成長プロセスは整備されたが、さらに高性能極薄ゲート絶縁膜の低温形成を実現する必要がある。従来の熱酸化プロセスでは 600°C 以下での成膜が困難なことを考慮し、ゲート絶縁膜の分子層堆積を目指したプロセスの開発を行った。ゲート絶縁膜形成のプロセス設計と試作装置作成を行い、SiMLE の環境でシラン系ガス(SiH_4 , Si_2H_6)と活性化した酸素を表面反応させることによる SiO_2 プラズマ支援 CVD (Plasma Enhanced CVD; PECVD)を開発した。装置の概略図を図18に示した。低圧力でも効率よく高密度なプラズマを発生できる装置として小型ヘリコンラジカル源を用い、活性化した酸素を成膜基板上に供給した⁽³⁶⁾⁻⁽³⁸⁾。

図19に示したように、活性酸素によるプラズマ支援低温酸

図17 TMSiMLEにおける不純物添加(B添加)。

図18 ゲート酸化膜形成プラズマ支援 CVD システムの概略図。

化(Plasma Enhanced Oxidation; PEO)を実験的に求め、 SiO_2 PECVD時に生じるPEOの成分を見出した。ガス導入条件およびプラズマパワーの選択によってPEO成分を抑えたCVD成分主体の SiO_2 PECVDを実現した。この条件でPEOプロセスによるものと思われるダメージを極小化できることがわかった。本技術を用いて作製したMOSダイオードの特性より、 490°C という低温堆積でありながら、熱酸化膜並みのMOS特性が得られている。 SiO_2 成膜速度および電気的特性に与える影響をプラズマパワー、酸素流量、基板温度、 Si_2H_6 流量の関係を調べ、最適条件では熱酸化膜と同レベルの電気特性が得られ、Si理想型MOSSITのゲート酸化膜に適用できるレベルに至った。

5. テラヘルツデバイス試作に向けて

(1) バリスティック、トンネリング SIT

これまで述べてきたようにSITは、散乱なしの熱電子注入を目指して1950年に発明された。1970年代後半には、GaAsの中の結晶格子と電子衝突に関する平均自由行程が、100 nm程度であることが実験的に確認された。

2002年には、100 nm および 10 nm のチャンネル長を持つGaAs理想型SIT(ISIT)が半導体研究所にて試作・実現されている⁽¹²⁾。最終的な目標はテラヘルツ帯で動作するトランジスタを実現することであり、 10^{-13} s より短いトランジットタイムを実現する必要がある。GaAs中の高エネルギー電子の輸送に関し、モンテカルロ・シミュレーションにより20 nm以下のチャンネル長を持つSITで、このトランジットタイムを達成することができていることが示されている。このような寸法のチャンネルは、従来のリソグラフィで作成することは困難であったが、分子層エピタキシャル成長法(MLE)を開発・適用し10 nmのチャンネル持つISITを実現した⁽³⁹⁾⁽⁴⁰⁾。ソースおよびドレインは半導体GaAs平面状に分子層精度の膜厚制御性をもって形成され、2つのエピタキシャル界面にチャンネルが形成されている。エレクトロルミネ

図19 プラズマ支援 CVD におけるプラズマ支援酸化成分の分離。

センサ・スペクトルの測定結果から、このデバイス構造における電子のトンネリングが主な伝導機構であることが解明されており⁽⁴⁰⁾、電子の遷移時間は 2×10^{-14} s 以下と見積もられている。

図20に示すように、横型 ISIT 構造は、分子層エピタキシーによるソース・ドレイン形成、およびゲート構造形成に加え、ゲート構造によるセルフアライン技術を用いたソースおよびドレイン電極形成によって作成される。ドレイン層は分子層エピタキシーによる 30 nm の n^+ 層によって形成され、次に水平方向にドレインバリア構造が選択的分子層エピタキシーにより形成される。ゲート構造は、6 nm の Se ドープ GaAs 層、4 nm の undoped $\text{Al}_{0.5}\text{Ga}_{0.5}\text{As}$ 層、および 4.7 nm の Se ドープ GaAs キャップ層により形成される。

図21(a)に GaAs ISIT の三端子特性を示した。相互コンダクタンスは 150 mS/mm および室温での電流利得 h_{FS} は 1000 であった。 n^{++} 層には含まれた p^{++} 層は完全に空乏化しておりポテンシャルバリアを生成するが、これによって ISIT はバリスティック・トンネリングの混合モードで動作する。このような構造の素子では、エレクトロルミネッセンスを $0.9 < h\nu < 1.1$ eV に観察することができる。エレクトロルミネッセンスのスペクトル強度と印加電圧の関係を図21(b)に示した。この結果は、電子のトンネリング伝導を裏付けて

図20 横型 GaAs MIS SIT の構造 (a), および集束イオンビーム (FIB) により加工した MIS SIT の構造の断面図 SEM 写真 (b)。

図21 横型 GaAs MIS SIT の電流-電圧特性 (a), および 10 nm 縦型 ISIT からエレクトロルミネッセンス強度の V_{DC} 依存性。実線はシミュレーションからの計算値、破線はシミュレーションに含まれていないバンドテールを考慮し、実線を -0.07 eV シフトした (b)。

いる。これらデバイス構造の高周波動作の実現を急いでいる。

10 nm スケールの GaAs ISIT の実現は、分子層エピタキシーがデバイス品質に達していることを示し、将来のテラヘルツデバイスにとって非常に重要な技術となることが実証された。最も重要な分子層エピタキシーの特徴は正確に単分子 (単原子) 層成長を低温実現でき、また広範囲の不純物添加においても精密制御が可能なことである。また、分子層エピタキシーは表面で生じる化学反応過程を各素過程ごとに制御しているため、 SiN_x マスク上には堆積させずマスク開口した GaAs 表面にのみ選択的に成長することや、成長界面を含む化学量論的組成の精密制御なども可能であることがわかっている。

(2) バンド間トンネリング型 GaAs ISITT

1980年、西澤により GaAs バンド間トンネリング型トランジスタが提案されている。図22(a)に示したように、 p 型のソース領域から n 型のドレイン領域に電子をトンネリングで遷移させる。このデバイスの特徴はより高い相互コンダクタンス、およびより短い遷移時間が期待できることである。Si によるバンド間トンネリングトランジスタは Glove によって 1960 年代に検討されたが、長い反転層チャネルを持つものであった。直接遷移を用いた GaAs ではより大きな相互コンダクタンスを実現でき、NEC の馬場らは、GaAs を用いたデバイスを試作した⁽⁴¹⁾。我々は GaAs ISIT の拡張として、このデバイスの試作に成功し、図22(b)に示すようなトランジスタの I - V 特性を得ることに成功した。7 nm の比較的厚い AlGaAs ゲート構造にもかかわらず、25 mS/mm の相互コンダクタンスが得られている。このトランジスタは、Ideal Static Induction Tunneling Transistor; ISITT と呼ぶべき構造であり、ナノメートル構造を精密に制御できる分子層エピタキシーによって初めて試作が可能となった。

(3) Si MOS-ISIT の開発

我々は GaAs ISIT に加えて、THz 動作が可能な素子として Si ISIT の開発も行っている。最近になって、低温で不純物添加法を備えた Si 分子層エピタキシーの開発に成功し、ゲート絶縁膜の低温形成技術の開発を含め、ISIT 構造の試作が行われた⁽⁴²⁾。 Si_2H_6 およびドーパント化合物 (PH_3 ある

図22 バンド間トンネリング型 ISIT 構造および原理図 (a), および ISITT の電流-電圧特性。p-type をソース、n-type をドレインとし pn 接合は逆バイアスされた (b)。

図23 チャンネル長 12 nm の MOS-ISIT の断面構造模式図および電流-電圧特性.

いは B_2H_6 を 500°C 程度に加熱された Si(100) 表面上で交互供給し、原子精度の膜厚制御性を有しつつ表面平坦な単結晶成長を、広範囲の不純物添加条件で実現できるようになった。MOS ゲート構造の形成ための高品質 SiO_2 膜は熱処理工程を付加せず、超高真空中 580°C の低温でプラズマ活性化された酸素と Si_2H_6 の表面反応によって実現した。新たに開発した不純物添加を含む Si 分子層エピタキシーと SiO_2 UHV-CVD を組み合わせ、チャンネル長さ 17 nm を備えた Si MOS-ISIT を試作した。その構造および出力特性を図23に示した。試作した Si MOS-ISIT は縦型構造であり、ソース・ドレイン構造は $i\text{-p}^+\text{-i}$ がそれぞれ 5, 2, 10 nm であり構造上のチャンネル長は 17 nm である。電気的なチャンネル長は SIT の場合はソース・ドレイン間の空乏化した空間長さで決まるためもっと長くなる。得られた電流-電圧特性では、 I_D はゲート電圧およびドレイン電圧に対し指数関数的に増加しており、SIT に特有の不飽和電流特性が得られている。試作デバイスでは、ソース抵抗やコンタクト抵抗に問題があることがわかり、改善策としてドーブトポリシリコンを電極下部に導入する方法により、ソース抵抗およびソースコンタクトの改善を試みた。ソース領域は n^+ ポリシリコン (300 nm) / n^+ MLE 層 45 nm とした。またチャンネル長は 12 nm まで短縮し、 $i\text{-p}^+\text{-i}$ をそれぞれ 5, 2, 5 nm とした。 $I_d\text{-}V_d$ 特性から、予想以上にオン抵抗(ソース抵抗に起因すると思われる)が大きく、さらなる改善が必要であるが、世界最短サイズのチャンネル長のトランジスタを試作・実現できた。 $I_d\text{-}V_g$ 特性より、sub-threshold slope; S 係数は約 150 mV/decade であり、広範なレンジの I_d が V_g により制御されていることがわかった。相互コンダクタンス (G_m) は $V_d = 1.5\text{ V}$ のとき、175 mS/mm が得られている。THz 帯動作がシリコンデバイスにおいても期待される段階に入った。

6. まとめと今後の課題

これまでのトランジスタ開発の歴史を振り返ると、さまざまなトランジスタ構造が提案され、あるものは消え去り、またあるものは実用化され、いずれ他のものに取って替わられ

図24 各種トランジスタと SIT のエネルギーダイアグラムの比較.

ることが繰り返されてきた。これに対し、どのようなトランジスタ構造が将来のエレクトロニクスに必要なか、製造方法を含め常に追求し続けるべきである。我々にとって SIT の開発は一つの解であり、今なお将来に向けて多くの可能性を期待している。

最後になるが、SIT の特徴にもう一度立ち戻ってみたい。図24は SIT と他のトランジスタの特徴を模式的に示したものである。BJT, JFET, MOS FET, HEMT, 共鳴トンネリングトランジスタ, シングルエレクトロントランジスタ等に共通の特徴は、1 つあるいは多数のポテンシャルバリアを素子にもつことである。素子を通る電流はゲート(あるいはベース)ポテンシャルでバリア高さを調整することにより制御される。しかし各素子に共通して、比較的長いチャンネルを持つためポテンシャルバリアがドレイン(あるいはコレクタ)ポテンシャルから遮蔽されている。つまり、ドレイン(あるいはコレクタ)ポテンシャルによるバリア高さ制御はほとんど行われない。電流制御の観点から考えると、遮蔽されたチャンネル(またはベース)の存在はトランジスタ動作にとって本質的でなく、むしろ電子の遷移時間を長くする。トランジスタの最大動作周波数は短い遷移時間によって実現されるので、遮蔽されたチャンネルの無い構造、すなわち SIT 構造が高周波化にとって好都合であると考えられる。

以上のように、トランジスタの歴史を振り返りつつ、プロセス技術を含む最近の SIT 開発の現状を述べてきた。SIT は分子層エピタキシーという製造方法と結びつくことによって将来のテラヘルツエレクトロニクスに対するキーデバイスとなるものと確信している。

この研究のもう一つの注目すべき点は表面吸着した分子が、その一部を外して表面から放出してしまうということである。つまり表面は一種の触媒作用を示している。特に吉田の実験において、基板が持つキャリア密度によって反応が大きく変化することが示されているが、この両者間に関係があるのか否かは、今後表面の触媒作用を考えるのに大きな要因

本研究は、当然、工学応用のみならず、表面とその反応に対しても大きな知見を与えてくれる重要研究であると考えている。