ポリシリコン薄膜トランジスタのナノ双晶ヒロックの構造解析

静岡大学大学院電子科学研究科 藤本正之 小山 弘
シャープ株式会社 今井茂樹

連続粒界多結晶シリコン薄膜は、Niを触媒としてシリコンの低温ラテラル成長によって結晶サイズを巨大化したものである⁽¹⁾。結晶粒界の数が低減され、電子の移動度を大幅に向上できるので、CPU(中央演算処理装置)をもガラス基板上に薄膜トランジスタ(TFT)で作製することが可能になっている⁽²⁾。このような極めて薄くて巨大な粒径をもつ多結晶シリコン薄膜ではゲート酸化膜形成時の応力発生が信頼性に大きな影響を与えていると推定されており、高温成膜(500℃)および低温成膜(300℃)TEOS プラズマCVDゲート酸化膜をポリシリコン薄膜に成膜してストレスの発生とそれによる塑性変形を高分解能TEMにより調べた⁽³⁾。

低温成膜試料の断面TEM像は熱力学的な平衡条件で形成された粒界表面のグループ(溝)のみが小さな表面突起物として観察された。一方高温成膜を行った試料では、非常に多くのヒロックが酸化膜表面に観察された。断面TEM, Fig. 1(a)のAで示された領域とBで示された領域の高分解能TEM像をFig. 1(b)と(c)にそれぞれ示す。(b)では(111)ナノ双晶ラメラがその双晶面とともに明瞭に観察されている。一方(c)では、ショックレー部分転位のペアが観察され、塑性変形がこのポリシリコン薄膜で発生したことがわかる。高温プロセスゲート酸化膜は高密度でゲートリーク電流を低減できるが、ヒロックの発生によってVth(スレッシュホールド電圧)のばらつき(ゲート酸化膜厚ばらつき)を惹起してTFTの歩留まりに大きな影響を与えることが判明した。

文 献

- (1) J. Koyama, Y. Shinoiri, M. Azami, S. Yamazaki and M. Hijikigawa: AMLCD Digest, (1999), 29.
- (2) B. Lee, Y. Hirayama, Y. Kubota, S. Imai, A. Imai, M. Katayama, K. Kato, A. Ishikawa, T. Ikeda, Y. Kuwabara, T. Ozaki, K. Mutaguchi and S. Yamaguchi: IEEE ISSCC Digest, (2003), 164.
- (3) S. Imai and M. Fujimoto: Appl. Phys. Lett., 88 021912 (2006).

(2006年7月31日受理)

Fig. 1 (a) 高温プロセスゲート酸化膜 TFT の断面TEM 像, (b) 領域 A の HR-TEM 像, (c) 領域 B の HR-TEM 像.

Analysis of (111) Nanotwin Lamellae Hillocks in Poly-silicon Thin Films Transistor; Masayuki Fujimoto*, Hiroshi Koyama*, Shigeki Imai**
(*Shizuoka University, Hamamatsu. **Sharp Corporation, Tenri)
Keywords: high-resolution transmission electron microscopy (HR-TEM), polycrystalline silicon thin-film transistor, nanotwin, silicon oxide, hillock
TEM specimen preparation: ion milling TEM utilized: TOPCON 002B