狭ピッチ化を目指した Al-Si/TiN バンプによる CoC 接合

秋山 正弘^a

三石 昂洋^a

Dali Zhang^b

Myung-Jae Lee^c

Edoardo Charbon^c

^a長野工業高等専門学校

^bKavli Institute of Nanoscience Delft

^cÉcole Polytechnique Fédérale de Lausanne

1. はじめに

3次元接合技術は、高速化・高集積化・低消費電力化に対して大きなメリットがある。イメージセンサに対しては、上記のメリットの他に高開口率が付け加えられる。我々は、SPAD を用いたイメージセンサの高開口率化・高解像度化を目指しており、中でも製作した2つのチップ（SPADと読み出し回路）をCoC（Chip on Chip）接合の研究を進めている。これまでに、Auスタッドバンプを用いたCoC接合の研究を行っている⁽¹⁾。図1にAuスタッドバンプを用いたCoC接合断面図を示した。

図1 Auスタッドバンプを用いたCoC接合断面図

このAuスタッドバンプは、端が丸いため、接合に寄与しないスペース（“a”および“b”）が生まれている。このスペースは、上下の接続に寄与しないスペースであるため、狭ピッチ化を妨げる。そのため、イメージセンサの高解像度化が難しくなる。ここでは、Auスタッドバンプの代わりに、端がフラットなAl-Si/TiNバンプを用いた狭チップ化へのアプローチを報告する。

2. ICチップのレイアウト

Al-Si/TiNバンプを用いたCoC接合の為に集積回路をレイアウトした。CoC接合には上下2つの集積回路が必

要となります。図2は、これら2つのレイアウトを重ねたものになる。黒色のレイアウトが上側集積回路のレイアウト、ピンク色のレイアウトが下側集積回路のレイアウトである。中央部には、位置合わせ用のレイアウトパターンが配置されている。上部・下部には4端子法を用いた接続抵抗値評価用のレイアウトが配置されている。上部の抵抗評価対象部分は、長方形のレイアウト、下部の評価対象部分は、正方形とした。

図2 上側ICレイアウト（黒色）と下側ICレイアウト（ピンク色）

図3は、抵抗値評価レイアウト（右下）を拡大したものである。端子AB間に電流を流し、CD間に発生した電圧降下から、中央接続部（BC間にある正方形の接続部）の抵抗値を評価している。

図3 抵抗値評価レイアウト（右下）拡大図

3. CoC 接合

CoC接続は、以下の条件で行われた。1. 下側集積回路の接続部にACP（anisotropic conductive paste: TAP0402E）を塗布する。2. 上側・下側集積回路の位置合わせを行う。3. 接続部に圧力（10N）、温度（160度）を加え一定時間（20秒）保持する。「2、3」作業は、フリップチップボンダーを用いた。上部からのCoC接続写真を図4に示した。

CoC bonding technology with Al-Si/TiN bumps for narrow pitch bonding

Masahiro Akiyama^a, Takahiro Mitsuishi^a, Dali Zhang^b, Myung-Jae Lee^c, Edoardo Charbon^c

^aNIT Nagano College, ^bKavli Institute of Nanoscience,

^cÉcole Polytechnique Fédérale de Lausanne (EPFL)

図4 上部からの CoC 接続写真

下側集積回路と上側集積回路の間から、あふれ出しているペースト（黒色）が ACP である。接続状態を確認するために、赤線部分まで研磨し、赤色矢印の方向から断面観測を行った。図5にその断面図を示す。(a)にはその全体像を、(b)(c)(d)には接続箇所の拡大図（A点、B点、C点）が示されている。

(a)全体像

(b)接続部の拡大(A点)

(c)拡大(B点)

(d)拡大(C点)

図5 CoC 接続部の断面観測写真 (SEM)

図5(a)より、接続箇所のバンプ形状は、接続時の圧力が加わった後でも保たれている。また、その側面はフラットになっており、接続に寄与しないスペースは無い。これより、Al-Si/TiN バンプは、Au スタッドバンプと比べて狭ピッチ化に向いていることが確認できた。図5(c)(d)は、拡大箇所 B,C 点の拡大図であり、A→B→C の順で左側に移動している。上下バンプ間のギャップに注目すると、その大きさは、A→B→C の順で大きくなっている。このギャップの大きさは、後述する接続抵抗値に影響を与えている。

図6 3次元接合部の接続面積に対する抵抗値の関係
図6に3次元接合部の接続面積に対する抵抗値の関係を示した。面積と共に抵抗値が減少するが、右端の1点（面積 5000μm² 付近）だけ外れた結果がでている。これは上下バンプ間のギャップが大きくなる事で不十分な接続が発生したと考えられる。Au スタッドバンプと比較すると、Al-Si/TiN の方が低い抵抗値を示している。(ex. Al-Si/TiN 0.2Ω at 2025μm², Au stud bump 2.18Ω at 1963μm²,)

4. まとめ

狭ピッチ化の方法として Al-Si/TiN バンプを提案した。Al-Si/TiN バンプは、Au スタッドバンプと違い、表面が平らで、側面がシャープな立方体形状は、接続後も維持し、接続に寄与しないスペースが無い。また、その抵抗値は Au スタッドバンプと比べても小さく CoC 接続の狭ピッチ化に適している事が確認できた。

文 献

- (1) Y. Ito and M. Akiyama, "Evaluation of resister characteristics for chip on chip bonding using "Au" stud bumps and concave shape electrode with ACP," *The 65th Japan Society of Applied Physics Spring Meeting*, 17p-P7-18, 12-058, 2018.