展 望

半導体集積回路のパッケージング技術*

仲 田 周 次**

Packaging Technology of Integrated Circuit*

by Shuji Nakata**

キーワード：パッケージ、パッケージング技術、集積回路、TAB、フィルム・キャリア、フリップチップ、マルチチップ・モジュール、WSI

1. は じ め に

マイクロエレクトロニクスのなかで中核的な位置を占めるコンピュータは今後の情報化社会の中心となり、今後の技術動向を左右するものであり、その社会への影響の大きさを考えると、現代の技術革新の最も重要なものの一つである。それらの中枢部品として半導体集積回路がある。ここでは、まず電子部品のなかで中核的な位置を占めるモノリシック半導体集積回路のパッケージング技術を概観し、マイクロ接合技術との関連のもとにパッケージング技術の問題点と将来の課題を展望する。

図1 パッケージの基本機能と新たな要求

2. 半導体集積回路パッケージの機能およびパッケージング技術の動向

パッケージ (Package) として二つの概念があり、いずれも一般に使用されている。すなわち、1) 半導体チップなど構成部品を配置、接続・保護するための端子を有する容器、またシステムとして実装されたデバイス群からなるサブシステム、2) 構成部品を配置、接続すること、の二つである。ここでは、紙数の関係上、モノリシック半導体集積回路を対象とし、それらの半導体チップを配置、接続・保護するための端子を有する容器またはサブシステムの製造プロセスであるパッケージング技術につ

図2 プラスチック・フラット・パッケージの最大端子数および端子ピッチの推移

*原稿受付 平成2年6月22日

**正 員 大阪大学工学部 Member, Faculty of Eng. Osaka Univ.

いて述べる。

パッケージの機能としては、図 1 に示すように半導体素子自体の外部環境よりの保護、電気的接続などの基本的機能の他、電子機器機能の向上に向けての高集積化、大容量化、高速化などの要求を受けて、現在半導体素子レベルでの高集積化・高機能化のための出入力端子数の増大、より大型チップの登載、電気信号伝播速度の高速化、パッケージ外形の小型化、熱放散性の向上などが要求されてきている。このような要請のもとに、プラスチック・フラット・パッケージの端子ピッチおよび端子数は、図 2²⁾ にみるように現在端子数：300 ピン、端子ピッチ：0.5 mm の水準にあり、端子ピッチは 0.3~0.4 mm に到達しようとしている。

3. パッケージの基本プロセスと マイクロ接合技術

半導体集積回路のパッケージを形成するための基本的プロセスを図 3³⁾ に示している。これにみるように、既に集積回路が形成されているシリコンウェハより個々のチップを切り離し、チップをリードの所定の位置に接合（ダイボンディング）し、さらにチップ上の AI パッドとリードフレーム端を Au または Cu の極細線（径 30~20 μm ）を接続（ワイヤボンディング工程）する。次いでチップ部全体を熱硬化性樹脂複合材料で封止・成形する。その後リードの切断成形工程、マーキング工程などをえて、図 4 (a) (b)⁴⁾ に示すような各種の形態のパッケージおよ

図 3 プラスチック・パッケージの基本プロセス

図 4 パッケージの外観形状 (A) およびリード成形形状とプリント基板への接続状況 (B)

びプリント基板への接合のためのリード形状に加工される。なお、パッケージ形態としては、ピン挿入形と表面実装形に大きく大別され、さらに各種のパッケージ形態のものが製造されている。

なお、リードピッチ、リード数を含めて、これらパッケージ形態は、プリント基板などへの接合信頼性に大きな影響を与え、さらにパッケージの占有面積、接合信頼性、熱応力の吸収、溶ダリング後の洗浄性、接合部の検査性、リペア性などにも関係している。

また、封止には樹脂による封止の他、セラミック、金属などが用いられているが、現在モノリシック集積回路の生産量の約 80% が樹脂封止で行われており、セラミック封止は航空・宇宙用など高信頼性集積回路の封止に用いられている。

4. パッケージング方式とマイクロ接合プロセス

半導体集積回路のパッケージング方式は図 5⁵⁾ に示すように集積回路チップの接続・接合方式により大きく

図6 スティッチ・ボンディングにおけるワイヤ変形量と接合性の関係

図7 超高真空および大気中接合における接触面積の比較

超音波パワーの4つの主要接合条件に大きく影響されている。これらプロセスの主要条件はいずれもワイヤ変形および接合部の温度上昇に寄与しており、この変形と接合部の温度上昇が関与して接合面積が決定される。さらにこの変形はワイヤネック部の断面積を減少させ、ワイヤネック部の強度を減少させる。引張試験でえられる強度には、図6¹³⁾にみられるようにワイヤネック部強度と接合面積の両者が関与しており、銅ワイヤのスティッチ・ボンディングでは接合過程で生じる変形が非常に重要な要因となっている。さらにスティッチ・ボンディングにおいて重要なもう一つの問題はリードの表面状態の接合性への影響である¹³⁾。すなわち表面の凹凸によりワイヤとリードの実質接触面積が少なくなり、これにはワイヤ材料の特性も関係する。さらに基板温度が高いほど、また保持時間が長いほど、リード表面の酸化被膜厚さは大きくなり、接合性を低下させる¹³⁾。

将来マイクロ接合技術の分野で重要になると考えられ

る超高真空中での常温マイクロ接合技術とその接続への応用がある。超高真空中においては、接合対象材料の表面を清浄にかつ滑らかにして接合することにより、常温でかつほとんど加圧することなく接合することが可能となる。すなわち超高真空技術を用いた接合装置は準備室と接合室よりなり、準備室内でArイオンによるスパッタリングで接合対象材表面の汚染層を除去した後、接合室(10⁻⁹Pa)で接合している¹⁴⁾。

図7¹⁴⁾は超高真空中でのCuボールとAg平板の接合実験において超高真空中および空气中でAg(99.99%)とCu(99.99%)を接合した場合の接合面積を比較したもので、接合対象材料としてはAg平板とCuボール(80 μm dia.)を採用している。なお、弾性接触理論に基づく接触面積の理論値をも併記している。このように超高真空中での接合では、理論値よりも接合面積が増加する現象が観察され、引張試験においては、母材で破断することが観察されている。また大気中での接合では、接合面積の実験値は理論値と一致していることが確かめられている¹⁴⁾。このように超高真空での接合技術を採用することにより、常温において、かつ殆ど加圧することなく、すなわち変形を与えることなく接合する可能性を与えるもので、集積回路のアクティブエリアにおける接合など従来技術では不可能な接合が可能となるため、新たな高密度・高集積化の方法として今後の発展が期待される接合プロセスの一つである。

4.2 ワイヤレスボンディング方式

電子機器の小型化、高性能化が進むなかで、パッケージング技術として多リード数・狭ピッチ化などのほか接続・実装技術においても単なる素子の組立・外装という概念からサブシステムの構成をも考慮する必要があり、高信頼性の集積回路チップのパッケージング技術が開発されている。ここでは、現在用いられ、今後もさらに発展するであろうフィルム・キャリア方式(TAB方式)、フリップチップ方式について述べ、より一層の高密度・高集積化の可能性を秘めているマルチチップ・モジュール、Wafer Scale Integration(WSI)についても簡単に言及する。

(1) フィルム・キャリア方式: フィルム・キャリア方式はTAB方式(Tape automated bonding process)ともいわれ、1968年にGE社が開発・特許出願したミニモッド法に起源をもっている。この方式は、図8¹⁵⁾に示すように半導体チップ上の電極部に作られた金パンプと、長尺のフィルムテープ(ポリイミドなど)に張り合わされた銅箔をエッチングしてつくられた多数のリード線(Au, Snなどをめっきしている。寸法は通常0.035(t) x

0.10-0.04 (W) mm 程度) とを 350-450°C 程度に加熱されたボンディングツールで同時に接合し、その後チップをディスペンサーで樹脂で封止し、リードを成形・切断して、最終の形態に整える。なお、この場合、このパッケージの配線基板への接続には同図 (c) に見るように加熱ツールで接合される。

一般に半導体チップのアルミ電極パッドに金属のバンプが設けられており、その構造はバンプ金属とパッドの間にある金属のバリア層・密着用金属と拡散バリア用金属からなっている。バンプ金属およびリード表面金属の選択・組合せについては接合性、耐腐食性などの観点より選択され、一般には熱圧着法、共晶接合法などが採用される。Au バンプと Sn メッキの銅リードとの接合によらず接合温度の影響を見ると、280°C 近傍の比較的低温では Au と Sn が共晶合金を作り、共晶接合をなしている。一方、280°C 以上の高温では、Au-Sn 融体の中に Au, Sn がとけ込むことにより、Au-Sn-Cu 合金ができ、それらがバンプとリードの接合に寄与している。そ

れら合金の形成は固・液反応で進み、Sn は Au と Cu の相互拡散の媒介の役割を果している¹⁶⁾。さらに、接合性の向上には、Sn メッキ層に含まれる不純物の低減、表面の清浄度の向上が重要となる。

この方式によるパッケージングでは 180-500 ピン程度、80-100 μm ピッチの高精度でインナーリードの一括同時接合が行われるため、ボンディング時での位置ずれ精度が問題となる。例えば図 9¹⁶⁾に示すように、ずれ量が 20 μm 程度をこえると引張強度の低下をもたらしている。また加熱ツール先端の Sn などによる汚染・酸化損傷などが接合温度などに大きな影響を及ぼしている。

さらにフィルム・キャリア方式では接合のために IC の電極上にバンプを形成する必要がある。この問題に対して図 5 に見るように通常のポリイミドフィルム上の Cu 箔パターンのインナーリード部に別に造った Au バンプを一括転写する方法が開発されている¹⁷⁾。この方法によると、市販フィルムキャリアと通常の IC チップが使用できる利点がある。

さらに 300 ピン以上の多ピン・大形 LSI への TAB 法の適用を目的として、転写バンプ方式においてバンプの変形抑制の観点からボンディング条件が検討され、加圧時に接合界面温度を確保することが低変形で高い接合強度を安定にうるうで効果的であることを示している¹⁸⁾。

(2) フリップチップ法：フリップチップ方式 (Flip chip bonding process) は 1964 年 IBM で開発された Solid Logic Technology 法より発展した多点同時接合・実装法¹⁹⁾で、図 10 に示すように集積回路チップ上に直径約 100 μm の溶剤バンプ (Pb-Sn Pad) をリフ

図 8 フィルム・キャリア方式パッケージング・プロセス

図 9 接合位置ずれ量と接合強度との関係 (リード幅: 60 μm)

ロー法で溶ダーの表面張力を巧妙に利用して多数形成する。一方、基板側のリード電極 (Land) にも予め溶ダーペーストを印刷しておき、半導体チップの各バンプ電極を位置合わせしておき、溶ダーの融点以下の低い温度で仮圧着したのち、リフロー炉内を通過させることにより、双方の溶ダーを溶解させ、数千点のバンプを同時接合を行う方法である。また、リフロー溶ダリングによる接合でなく熱圧着法を採用している場合もある。このフリップチップ法は接合強さが 50 g/点以上と大きく、接合工程での半導体素子の損傷がワイヤボンディングより小さく、信頼性が高く、また、直接回路基板に接合するため高密度実装が可能、自動化・量産化への展開が期待されるなど利点が多い。

この方法では、ハンダバンプの形成が重要となるが、溶ダーバンプの形成法としては溶ダーボールによる

図 10 フリップチップ・プロセス

図 11 マイクロバンプ・ボンディング法の原理

方法、蒸着による方法、溶ダーディップによる方法、電気メッキによる方法等で行われ、溶ダーとしては軟らかく耐熱性に優れた Pb-5%Sn などの高 Pb/Sn 合金が用いられている。

これらバリア金属の採用はコストの増大をもたらすが、この問題を解決するために、超音波溶ダリング法を応用し、Pb-37Sn-5Ag 系溶ダーを用いて溶ダー中に浸せきするだけで Al 電極に直接かつ選択的に溶ダーバンプを形成する方法が試みられている²⁰⁾。

また Pb 系ジョセフソン素子の接続に In-Bi-Sn 系溶ダーを採用し、75 mm ピッチ、直径 30 μm の高密度・微細溶ダーバンプの形成、さらに水溶性フラックスを使用したリフローボンディングの問題点としてウィスカー成長などが検討されている²¹⁾。

(3) マルチチップ・モジュールおよび WSI: 最近ワイヤボンディング法やフィルム・キャリヤ法よりも狭ピッチに対応でき、かつ低温接合が可能な方法として導電接着剤を利用したマイクロ接続法²²⁻²⁵⁾および In 合金の低融点金属バンプによる接合法²⁶⁾が開発されている。図 11²⁷⁾はバンプを有した LSI チップを光硬化性絶縁樹脂で回路基板にフェースダウンで固定・接続するマイクロバンプ方式の接続法を示したもので、LSI チップは光硬

図 12 薄膜・厚膜混成多層基板マルチチップ・モジュール構造

図 13 WSI におけるシリコン基板上のチップ接続構造

化性の絶縁樹脂で回路基板に接着し、電気的な接続は絶縁樹脂の収縮力により bumps と回路基板電極とが接続されることによっている。この方法で $10\mu\text{m}$ ピッチで 2320 本の接続を実現し、またマルチチップ実装では、チップ間隔 $10\mu\text{m}$ での接続を実現している。

最近より高密度・高集積・高速化パッケージの研究・開発が進められ、マルチチップ・モジュール、Wafer Scale Integration (WSI) が研究・開発されている。マルチチップ・モジュールの目的は、高密度化に加えて、開発期間の短縮または誘電率の小さい基板を使用して信号伝送の高速性を追求したものであり、WSI は従来の集積回路作製技術に欠陥救済技術を組合せ、通常の VLSI チップに登載されている回路よりもはるかに大規模なウェハ基板上に集積することによりより高速、高集積、高信頼性、低コストなシステムの実現を目指す技術であり、シリコン基板上に一定の回路機能を持った集積回路チップに登載・接続する技術 (Hybrid WSI) も含めている。これらの一例を図 12²⁸⁾、13²⁹⁾ に示している。これらは薄膜多層配線基板または Si 基板上に複数のチップ上の多数の配線端子を接合し、モジュール化することにより高密度化・高集積化、信号伝送の高速化、多機能化を図ろうとするものである。

また高密度化および信号伝送の高速化にたいして、低抵抗値の銅材および低誘電率のポリイミドを用いた薄膜多層配線基板が注目され、銅とポリイミド界面の物理化学的性質や密着性が検討されている。WSI 技術においては、大口径化したウェハ上の金属配線パターンの再構築可能性が重要な課題の一つであるが、集積回路チップ上の Al-Si 配線を Si をプラズマ・エッチングによりリードとして取り出し、このリードを Si 基板上の配線に直径 $2\mu\text{m}$ の YAG レーザをもちいて接合する技術が開発されている³⁰⁾。

5. おわりに

マイクロエレクトロニクス部品・機器における実装の一段階である半導体集積回路のパッケージ方法について、マイクロ接合技術の関連のもとに幾つかの問題を取り上げ、概説した。紙数の関係で割愛した重要な問題も多々あるが、本稿が何等かの参考になれば幸いである。

引用文献

- 1) 日本工業規格「集積回路用語」JIS C 5610-1975
- 2) NIKKEI ELECTRONICS, 1990. 3. 19. (No. 495), p. 122, 123
- 3) 金田, ほか: 日本金属学会会報, Vol. 28 (1989), p. 76

- 4) 日本エレクトロニクス協会編: 厚膜 IC 化技術, (1984), 工業調査会
- 5) 増山, 本田: サーフェイス・マウント・テクノロジー, (1986), 工業調査会
- 6) F. W. Wiese and N. M. Davey: Hybrid Circuits, No. 13 (1987)
- 7) Okuda, et al: IHW CR MICRO-19-86, (1986)
- 8) Okunuki, et al: 34th Electronic Components Conference, (1984) p. 7
- 9) 諏訪, 他: Nikkei Electronics Microdevices, p. 95, 1984. 6. 11.
- 10) J. Hirota, et al: 35th Electronic Components Conference, p. 116 (1985)
- 11) 弘田, 他: 溶接学会マイクロ接合研究委員会資料, MJ-39-85, (1985)
- 12) K. Atsumi, et al: 4th International Microelectronics Conference, p. 132, (1986)
- 13) 渥美, 他: 溶接学会マイクロ接合研究委員会資料, MJ-56-85, (1986)
- 14) 仲田, 他: 溶接学会講演概要, 第 45 集, p. 74, p. 76
- 15) K. Fujimoto, et al: 5th International Symposium of JWS, (1990), Vol. p. 333
- 16) Y. Kashiba, et al: Conf. Material Research Society, (1987) p. 371
- 17) 渥美, 他: 溶接学会マイクロ接合研究委員会資料, MJ-106-88 (1988)
- 18) 平野, 他: 電子通信学会論文誌, Vol. J68-C No. 12, p. 1074, (1985)
- 19) K. Hatada, et al: IEEE Trans. CHMT, Vol. CHMT-10, No. 3, p. 335
- 20) 生田目, 他: 溶接学会マイクロ接合研究委員会資料, MJ-115-88 (1989)
- 21) L. F. Miller: IBM J. Res. Develop., Vol. 13, No. 3, p. 239, (1969)
- 22) 稲葉, 他: 溶接学会マイクロ接合研究委員会資料, MJ-85-88 (1988)
- 23) 藤原, 他: 溶接学会マイクロ接合研究委員会資料, MJ-12-83 (1983)
- 24) K. Fujiwara, et al: IEEE Trans. CHMT, Vol. CHMT-10 (1987), No. 2, p. 263
- 25) 平野, 他: 溶接学会マイクロ接合研究委員会資料, MJ-127-89 (1989)
- 26) 山下, 他: 溶接学会マイクロ接合研究委員会資料, MJ-128-89 (1989)
- 27) 別所, 他: 溶接学会マイクロ接合研究委員会資料, MJ-117-89 (1989)
- 28) K. Murakoshi, et al: IEMT (1989. 4), 村越, 他: 溶接学会マイクロ接合研究委員会資料, MJ-118-88 (1989)
- 29) M. Saitoh, et al: IEMT (1989. 4), 齊藤, 他: 溶接学会マイクロ接合研究委員会資料, MJ-116-89 (1988)
- 30) K. Hatada, et al: IEEE CHMT, International Sympo. (1988), p. 23, 畑田, 他: 溶接学会マイクロ接合研究委員会資料, MJ-130-89 (1989)
- 31) 棚橋, ほか: 溶接学会マイクロ接合研究委員会資料, MJ-136-90 (1990)
- 32) J. K. Hagge: IEEE Trans CHMT, Vol. 12 (1989), p. 170
- 33) Herdon. T. O. and Burbine. D. P.: Extended Abstracts on 173rd Electrochemical Society Meeting, Vol. 8 8-1 (1988), p. 62