次世代実装技術－SiP と SoC

大 塚 寛 治*

*明星大学 情報学部 (〒198-8655 東京都青梅市長淵 2-590)

Feasibility Comparison with SiP and SoC

Kanji OTSUKA*

*Faculty of Informatics, Meisei University (2-590, Nagabuchi, Ome-shi, Tokyo 198-8655)

Key Words : System in Package, SiP, System on Chip, SoC

1. はじめに

半導体技術と実装技術は二人三脚で発展してきた。広義の意味で表面技術はその創世記より両者に深く関わってきた。表面技術をめっきと定義すると、実装技術とは当初より深く関係してきたが、半導体ウエハプロセスに対しては無縁であった。最近やっと銅のダマシンプロセスでめっきが導入されるようになって、名実ともに「エレクトロニクス分野を支える表面技術」という関係になったと見える。ウエハプロセスのめっきはダマシンプロセスで分子レベルの制御を必要とするため、めっき技術の真髄へ向けた探求が行われることになろう。筆者はめっきの物理的掘り下げの期待感から本誌に執筆している¹⁾。実装技術は多くの種類のめっき材料やめっきプロセスがあり、今後も独創的なアイデアが導入されていくものと思われ、微細配線を安価に実現する牽引車となるのがこの分野の使命であろう。電子装置の設計形態がパッケージの上に展開するか、チップの上に展開するかで表面技術開発の内容が振られるため、ここでパッケージ上にシステムを展開する SiP(System in Package)が有望なのか、半導体チップ上にシステムを展開する SoC(System on Chip)が支配するのかをいろいろな角度から総合的に考えてみたい。ここでプリント配線板の上にパッケージされた LSI を実装する方式を SoB(System on Board)と定義し、SiP は裸のチップを1つのパッケージに複数個搭載したものとする。昔で言うマルチチップモジュールである。なぜ言葉が変わったかというパッケージの中にシステムが搭載できるほど LSI 機能が高まった結果である。

一般に SiP と SoC の長所短所を比較している内容を先ずここに羅列すると、次のようになる。短所に対してはそれを補う施策も記入した。

・SoC

長所

- (1) プロセスの性能を最大限に生かし、消費電力や高速性などシステムの高性能化を図る。
- (2) 実装面積を最大限に縮小できる。

短所

- (1) 開発期間が長い。
→対策；コンフィギュラブル設計，FPGA
- (2) 設計，マスク作製などにより，開発費が大きい。
→対策；コンフィギュラブル設計 FPGA
- (3) 設計ミスが生じるポテンシャルが大きい。
→対策；設計検証の高度化
- (4) LSI 構造やプロセスの違った IP(Intellectual Properties)同士を一緒にすることはコスト高となる。
→対策；システムとしての性能的利点の追求

・SiP

長所

- (1) SoC の短所の裏返し。
- (2) 別チップのため大容量メモリを含めることができる。
- (3) プリント配線板を使用する欠点を低減できる(大きい、電気特性が悪いなど)。
- (4) SoC より大面積で放熱しやすい。

短所

- (1) SoC の長所の裏返し。
→対策；長い配線→伝送線路による配線
- (2) KGD が困難で歩留まり低下を招く。
→回路を単純にし、チップ歩留まりを高くする。

ここでコンフィギュラブル設計とは設計機能ブロックがいろいろなバリエーションをもち、機能的な構成(コンフィギュア)が変えられる工夫をしたものである。カスタマイズ機能ブロックとも言われる。その一例として FPGA(Field Programmable Gate Array)があり、システム開発者が現場で自分の意図する回路をチップ上に焼きこむことができるチップなどがある。SoC の数年前の過去と最近の比較をブロック図で示すと図 1(説明は後述)のようになる。このように SoC に新しい流れができて将来有望と見えておりときである。

総じて SoC と SiP は永遠のライバルのように見える。しかしながら、これだけを見ても動向はほとんど分からないため、歴史的なライバル関係を見た後、新しい観点を取り入れた比較を試みることにした。

RISC：Reduced Instruction Set Computer(命令語を減らして単純化したコンピュータ)
 ハードワイヤード回路：設計当初より配線で固定された論理回路

図1 SoCの過去の構成と最近の構成

2. SiP と SoP に関連する歴史と現状

先ず過去の筆者経験の同じような動きを述べる。電卓機能追加競争の最中の1971年、ビジコンから1チップ電卓が出た。これを契機にして1970年代は1チップで機能を増やす熾烈な競争となり、3ヶ月毎に新チップの設計開発を完了するという消耗戦を強いられた。カシオと日立は四則演算の標準コアチップとカスタム機能チップを別々に作り、1つのパッケージに入れて、1年間優位な戦いをした。世界で初めてのSiPであると言える。他社は当然これに対抗する手段を講じ、シャープなどは機能をソフト化してROM(Read only memory)に埋め込み、ROMの内容を変化させて新しい機能を作り上げるというスマートな対抗馬を出し、ハード的に行う2チップ1パッケージは線香花火に終わった。しかしROMは別チップであるが、SiP類似の形態である。並行してビジコンの嶋正利氏がIntelに出向き1チップのパソコンの元祖となる4004開発を行うことになる。これは高級すぎて電卓には使うフェーズはなかったが、これはまさにSoCである。結果的にこの戦いに参画できなかったが、その後を考えると偉大なSoCであったと言える。もう少し加えるならば、パソコンはメモリが大量に必要なため、SoB(System on Board)で発展してきた。

この歴史と似たような動きはその後繰り返され、SiPとSoCは常に同列で居並ぶ関係となっている。ここでSoC設計開発の動きがどのような応用分野にあるかを考察してみよう。SoC花盛りの原因は、LSIの集積度が増大し1チップで機能が閉じるデジタル機器がほとんどとなっている。列挙すると、

- * デジタル家電機器(デジタル・テレビ、セットトップ・ボックス、デジタルカメラ、DVD機器、ビデオ・レコーダなど)

- * ブロードバンドに接続される端末機器(ケーブル・モデム、xDSLモデム、IP電話、ルータ、スイッチなど)
- * 複合オフィス機器(カラーレーザ・プリンタ、複合複写機)
- * 携帯電話のインフラ機器や端末(携帯電話本体)

しかしこの分野の多様な仕様を満足するには半導体システムは少量多品種になる傾向で、出荷台数が単一の応用分野で年間500万個以上のシステムデバイスを消費する市場は限定されている。500万個を10社が競合すると、1社当たり50万個。最先端のプロセス技術を用いて設計・開発したデバイスの場合、前記した欠点の上に、この程度の個数では利益でない。さまざまなIPコアを集積してLSIを構成するやり方ではだめである。

この対応策として、システムに必要な機能ブロックをできるだけソフトウェアの形態で実装したり、命令セットやCPU周辺回路を設計現場でカスタマイズできるFPGAやコンフィギュラブル・プロセッサが使用されるようになってきた。その手法が成熟するまでは少量多品種でも可能なSiPが注目された所以である。この展開でご理解いただいたように、システムをある程度理解しないと理解を深めることができないため、少し難解になるが我慢していただきたい。

ここで上記応用製品の基本回路の中での中心は図1のように論理であり、その論理の構成はほとんどデータプロセッシング、すなわち、コンピュータである。これを動かすプログラムとデータの格納されているのはメモリであり、SoCではこれを混載しなければならない。パソコンで使われているオンチップメモリはキャッシュメモリと言う名称になっていて、スタティックメモリ(SRAM)を使用し、論理回路と同じデバイス構造でよいから、半導体ウエハプロセス上の整合性は高い。

メモリは共有するが、画像処理や音声処理、論理計算など

それぞれ得意なプロセッサをハードワイヤード回路で形成し、それを統括するため、RISC プロセッサ・コアを置く回路が SoC の主流を占めていたが、それぞれの機能ブロックの性能を変化させるには、設計のやり直しが必要である。これが少量多品種になる原因であり、それぞれの機能ブロックの性能ややり方(アーキテクチャ)の変化ができるように最近は図 1 (b)のようにコンフィギュラブルなカスタム・プロセッサをハードワイヤード回路の代わりに使うことで、汎用性を持たすようにしている。少量多品種の欠点を開放するものとして、SoC 軍団は SiP の展開分野は狭まったと豪語しているようである。

一方、前記した安いシステムでは回路の占有面積が大きく、高価になる SRAM は使えず、構成が安くあがり、集積度の上がるダイナミックメモリ(DRAM)を擬似的に SRAM にした回路で済ませたい。しかしキャパシタ構造の上部構造(またはトレンチ構造)を持つ DRAM は製造プロセスが論理や SRAM とは大きく異なっている。「デバイス構造の違った」「プロセスの違った」IP 同士を統合することは、ただでさえ多くのステップを経ているウエハプロセスをさらに複雑にするもので、歩留まり低下とコスト高を招く。最近はこのプロセスの異なる 2 者を統合した SoC が開発されつつあるが、基本的にその欠点を内蔵するもので、新しい手法でできているものではない。SiP の有望なポイントである。すでに商品化が進んでいる SiP はほとんどこの分野で DRAM メモリチップの上に論理 LSI チップを組み合わせたものとなっている。

図 1 に見られるようにアナログ、すなわち RF(Radio Frequency Circuit, 主として無線系で使われる回路)も論理回路と一緒に SoC に入れ込むことが最近検討されている。これは共振回路が多く必要なため、トランジスタ以外の抵抗、容量、インダクタなどが波長という寸法的制限があり、論理回路設計者から見た感覚で無駄スペースが多くなる。さらにプロセスがここでも異なることから統合が難しいとされてきたが、次の事情で統合の利点を見出すものが出てきている。無線の特定周波数の電波には情報が埋め込まれている。その情報をフィルターやアナログ・デジタル変換回路でデジタル信号にすることから一体のものであり、無駄スペースを許容し、プロセスを共通化して内部に取り込むことが効率的であると見られるようになった。

図 1 のように SoC はいろいろなブロックが各社の IP (Intellectual Properties)すなわち、設計財産として売り出されるようになっていくことから SoC の商売の裾野が広がってきた理由の一つとなっている。ところがブロック間をつなぐプロトコル(基準)がいろいろな流れ(企業の力の競い合いによるもの)があり、統一が取れていないことがその普遍化を妨げている。さらに周波数が高くなってくると RF 回路で常識になっているように配線などの物理的構造、通信方式(通信プロトコル)が厳格な設計要素として加味しなければならず、GHz 帯域が実用になる数年後は再び混沌とした状態になることが予想され、IP そのものがナンセンスという状態も起こりうる。Intel とは異なったデファクトスタンダードが出てきて収まるとも考えうる。SiP は SoC の従属

的考えで SoC がうまくいかない部分をすべて補填するといった概念で、今後も広く実用されるであろう。

3. 基本的な SiP と SoC の比較

今まで述べてきたことでは、読者は全くどのようなのか、門外漢が見る経済指標のように、その場その場で近況を掴むしかない状態であろう。読者は少なくともこの分野では門外漢とはなりたくないために貴重な時間を費やして読まれていることを痛感し、門外漢でなくなる基本的事項のみを以降に解説する。

3. 1 LSI のチップサイズと機能の関係

機能がある程度整っている LSI のチップ面積は過去から現在まで特殊なケースを除き、30~36 mm² が主流となっている。半導体プロセスは他の分野より、チャレンジ精神豊かである。単位面積当たりの欠陥密度の存在を肯定して生産されているように、非常に農業的産業といえる。欠陥を減少させるプロセスの努力と微細加工で欠陥発生要因を新たに作る設計の必然とが常に拮抗していて、ある歩留まりが保持できるチップサイズが常に 5.6~6 mm (30~36 mm²) となる。その結果、微細化した分だけ集積度が向上するという歴史を歩んでいる。機能とチップサイズの関係性をモデリックに表すと図 2 のようになる。

ある製造歩留まりを維持できるチップサイズ(これを経済的チップサイズと呼ぶ)より、設計目標のシステム機能を埋め込んだチップサイズが大きくなったとき、必然的に通常のプリント配線板実装(SoB)となる。軽薄短小の携帯電話の普及から、これら SoB を SiP にする傾向となった。SoC と SiP を分ける一番単純な基準がこれである。SiP が SoC に近い実装密度を実現することから、命題のように対抗的比較を徹底したいという気持ちが現れる。

3. 2 KGD による SiP の制限

図 2 の経済的チップサイズは各社でほぼ同じで、ウエハテスト歩留まり 90 から 95%の線を想定している。ところがウエハテストの項目は DC テストのみであり、実用レベルの機能試験はパッケージされてから行われる。ウエハに当たるプローブの電気的な性能(高速伝送や大電流接続)が劣るためである。パッケージングプロセスの歩留まりを差し引いても、機能試験の歩留まり(η)は 98%から 99.9%レベルである。このような危険性のあるチップを複数個(n) SiP の載せれば SiP 完成後の機能テストの歩留まりは(η)ⁿ となり、10 個のチップを SiP に載せることの難しさが出てくる。100%機能保証されたチップを KGD (Known Good Die)と呼んでいるが、この技術はまだ完成の域には達していない。動作周波数がどんどん向上する現状では普遍的な完成は非常に悲観的である。現状は数チップの SiP 構成が多い理由である。枯れたチップはウエハテスト歩留まりが 99.9%にも達する。この機能試験歩留まりは 10ppm レベルとなり、パッシブ部品と同レベルとなる。枯れたチップの組み合わせで SiP の妙味が保てるであろうか。

3. 3 GHz 帯域動作における SoC の制限

ご存知のように家庭用電力線は 2 本の線をペアにして電気エネルギーを伝える。1 本で電気が通じないことは誰でもわか

図2 チップサイズとシステム規模の関係

ることである。配線の中の信号も電気エネルギーである。これを伝えるには、2本の線が必要であるにもかかわらず、不思議なことに論理回路は1本の線で結線されている。これでも電気信号が伝わり、今まで全く困ることがなかった。電気信号に含まれる周波数の波長の長さに対して配線が何桁も短く、どこかに配置されている、グランドや電源線を無意識にペア配線として利用できたからである。波長と配線長さが同じレベルに近づくと、ペア配線の物理的行程の差とその間に隣接配線が含まれる干渉が我慢できない状態になり、高周波を遮断する遅延線、すなわち、抵抗と容量の積で表すRC遅延線となる(もっと高周波になるとインダクタンスも問題となる)。

論理LSIは1本の信号線でも配線が複雑に入り乱れ、2本ペア線路にできる余裕は微塵も無い。設計ツールもこれを前提にしている、ペア線路を設計するようにはできていない。LSIは基本的にRC遅延の呪縛から逃れられず、アルミニウム配線から銅配線への移行、低誘電率絶縁層の採用などで逃げようとしているが、大きな効果は期待できない。これより、微細化でトランジスタ動作の高速化進展の方がはるかに早く、図2(左上)のチップのようにRC遅延で制限されるチップ寸法が経済的チップ寸法より小さくなる時代を迎える。具体的

に5～6mmチップサイズで問題になる周波数は3GHz以上であるが、Intelのロードマップでは10G～20GHzを目指した目標があるごとく、近々問題となる。

一方、プリント配線板はこの問題をベタグランド、ベタ電源を信号線の隣接層に置くことで、実質的ペア線路(これを伝送線路と呼ぶ)になっていて、RC遅延線ではなく、電磁波速度のみの遅延しか起きない。最近のRC遅延線の長さあたりの遅れの1/10～1/100程度になっている。すなわちプリント配線板の線路は高速配線と呼べる。図2の概念はそれを表している。SiPはプリント配線板の延長線であるため、高速配線となることから、GHz帯域のレベルが高くなるとSoCより有利であるといわれている。

以上3つの基本的要素を勘案しながら自ら将来展望を開けるようにしていただければと思う。紙面の関係で説明不足になった部分が多いことをお詫びする。

(2004-9-1 受理)

文 献

- 1) 大塚寛治；表面技術, 44, 1028 (1993)