ULSI Si 半導体デバイス用の Cu 配線材のナノ化の課題

村上 正紀*, 守山 実希**, 着本 享*, 伊藤 和博*

*京都大学 大学院工学研究科(〒606-8501 京都府京都市左京区吉田本町)

**京都大学 大学院工学研究科[現所属：豊田合成(株)](〒490-1312 愛知県中島郡平和町)

Issues for Nano Cu Wirings Used in ULSI Si Semiconductor Devices

Masanori MURAKAMI*, Miki MORIYAMA**, Susumu TSUKIMOTO* and Kazuhiro ITO*

*Department of Materials Science and Engineering, Kyoto University (Yoshida-honmachi, Sakyo-ku, Kyoto 606-8501)

**Department of Materials Science and Engineering, Kyoto University (Presently: Toyoda Gosei Co., Ltd. [710, Origuchi, Shimomiyake, Heiwa, Inazawa, Nakajima-gun, Aichi 490-1312])

Key Words : ULSI, Semiconductor

1. はじめに

今日の高度社会は半導体デバイスの高性能化とともに築き上げられたと言っても過言ではない。長年、半導体デバイスの性能は、主にデバイスの微細加工技術により向上してきた。しかし、デバイスの信号遅延時間はトランジスタ(ゲート)遅延だけで決定されるのではなく、配線遅延時間でも決定され、デバイスのナノ化が進めば後者での遅延時間の割合が大きくなる。つまり、トランジスタ間を接続している配線内での信号は充放電を繰り返しながら伝播されるため、配線内での遅延時間は寄生抵抗(R)および配線を囲む層間絶縁膜の寄生容量(C)の積 RC(抵抗・容量積)時定数に比例し、配線幅および配線間の間隔(ピッチ)を縮小すると、配線抵抗および配線間容量が増大し、RC 時定数が増加する。特に配線幅がナノ領域では配線内での信号伝搬の遅延時間が急激に増大し、ゲートでの遅延より大きくなる。これらの配線幅、配線層数、配線長、ピッチなどの基本寸法は、ITRS に示され¹⁾、RC 時定数の年々増加傾向が良くわかる。1997 年に Al 合金から Cu 配線材に切り替えられたのも、配線材の抵抗を少しでも減少させ、RC 時定数を減少させるためである。

昨年の特集号「エレクトロニクス産業を支える表面技術」で土川、中村²⁾により、配線材のみならず、LSI 微細化にともなうプロセス全体の課題について詳しく説明されているので、本稿では LSI デバイスのナノ化にともなうプロセスの変遷および信頼性の課題などは省略し、ナノ化にともなう Cu 配線材の寄生抵抗増大の課題に焦点を絞り、寄生抵抗低下のための当研究室の取り組みを中心に解説する。

2. 多結晶 Cu 配線材の電気抵抗値決定要因

現在用いられている Cu 配線材は図 1 の上部に示すダマシン構造(左図)に埋め込まれて作製されている。下図に示す如く、Cu 配線材は Al 配線材に比べ比抵抗率はバルク状態では 40%低い³⁾が、Cu 配線材が 100 nm 以下になると比抵抗率は

が急激に上昇することが実証されている。線幅が縮小すると(Cu 内での電子の平均自由行程が長い(~39 nm)ため)電子は膜表面や界面で散乱される確率が高くなるだけでなく、(配線内での密度の増加傾向にある)ポイド、格子欠陥、不純物および結晶粒界でも散乱される確率が高くなり、Cu 配線材の電気抵抗値の増大に起因する。したがって、Cu 膜の電気抵抗値の低下には配線材成膜プロセスで制御できるポイドおよび結晶粒界の密度を減少させねばならず、これらの取り組みについて下記に説明する。

2. 1 ポイド密度減少の取り組み

ダマシンめっき Cu 配線材では埋め込み不良によるポイド形成に加え、熱処理によって配線内に数十 nm 径の微小ポイドが発生する。このポイドによる電気抵抗値上昇率を定量的

図1 ダマシン構造に形成された Cu 配線材での電子散乱要因(上図)。下図には Cu 配線材の比抵抗率と配線幅の関係を模式的に示す。

に決定することは困難である。しかし、Cu 配線材における微小ボイドの形成は、配線材の抵抗値の増大や断線といった配線材の信頼性低下につながる恐れがあり、ボイド形成メカニズムの理解およびボイド抑制法の確立は極めて重要な課題である。従来、配線材におけるボイド形成は主に、バルク材におけるクリープ変形中の粒界ボイド形成モデルに基づいた応力誘起ボイド形成(ストレスマイグレーションによる配線材の変形)モデルによって説明されてきた。Cu 配線材中のボイド形成に対してはめっき液に含まれる有機系添加剤の凝集モデルなども提案されているが³⁾、その詳細は依然として不明である。

近年、従来のボイド形成モデルと全く異なる着想から Cu 配線材内の微小ボイド形成機構が検討されている。バルク Cu 材における水素脆性の説明として、Cu 中に含まれる酸素が熱処理雰囲気中の水素に還元されることによって H_2O が生成し、クラックやボイドを引き起こすことが指摘されている⁴⁾。Cu 配線材プロセスでは Cu 表面の酸化を防止する目的で、還元雰囲気での熱処理が施される場合が多く、バルク Cu 材の水素脆性と同様のメカニズムによって Cu 配線中に微小ボイドが形成される可能性がある。還元雰囲気の熱処理によるボイド形成の可能性を検討するため、スパッタ法で作製した Cu/CuO/Cu 積層膜試料に Ar ガス雰囲気または窒素+水素混合ガス雰囲気中で熱処理を施した場合の組織の差異を FIB 装置を用いて断面観察した(図 2)⁵⁾。不活性 Ar ガスで試料を熱処理した場合、中央に見られる CuO 層に大きな変化は見られないが、窒素+水素混合ガス雰囲気中で熱処理した試料では、CuO 層が消失しボイドが生成する。図 2 の実験結果は、熱処理雰囲気中の水素が Cu 膜中を拡散し、膜内部の CuO 層の酸素を還元することにより H_2O が形成されてボイドが形成されたためであると推察される。ボイド形成速度は CuO 層上に成膜する Cu 膜の膜厚を薄くするとともに速くなることから、Cu 膜中の水素の拡散がボイド形成の原因であると考えられる⁵⁾。めっき法によって成膜される Cu 配線では、膜中にめっき浴中の添加剤(有機物)が混入する他、めっき Cu 膜の下地として成膜されるスパッタ Cu 膜の表面に酸化膜が存在している可能性があり、これらが還元によるボイド形成要因となることが考えられる。自然酸化膜

程度の極めて薄い酸化膜が同様のボイド形成原因と成り得ることを確認するため、スパッタ Cu 膜成膜後に試料を大気暴露した後、再びスパッタ Cu 膜を成膜した Cu 膜を作製した。TEM 試料作製時の薄片化処理によって粒界三重点や界面などが優先的に研磨されて形成された微小穴をボイドと誤認する危険性を回避するため、同試料は膜厚約 60 nm のアモルファス SiN 膜上に 100 nm 厚の Cu 膜を成膜し、研磨による薄膜化を施すことなく平面 TEM 観察を行った。ボイドの明瞭なコントラストを得るため、正焦点から若干フォーカスをずらすことによりボイド周辺のフリネル干渉縞を観察した。還元雰囲気での熱処理後には、Ar ガス雰囲気中で熱処理を施した試料には見られない 10 nm 径の極めて微小なボイドが Cu 膜中に形成されている様子が観察された⁶⁾。以上の実験結果は、積層膜を形成する際に界面に生成した自然酸化膜程度の薄い酸化膜でさえも数十 nm 径のボイドの発生原因となり、通常のバルク材では問題とならないようなわずかな自然酸化膜の存在が、重大なデバイス信頼性低下につながる危険性を示している。この問題を回避するために、成膜プロセスでは熱処理雰囲気や蒸着中に酸素ガスが含まれないように細心の注意を払わねばならない。

2. 2 結晶粒界による散乱寄与の決定

Mayadas ら⁷⁾のモデルによると、格子欠陥およびボイドが可能な限り除去された Cu 膜材の比抵抗率は膜表面(界面)および結晶粒界での電子散乱により決定される。このモデルを用いて、Cu 膜材における抵抗率の膜厚依存性を測定し、表面(界面)および粒界散乱因子をそれぞれ抽出した⁸⁾。その結果、ナノ領域の Cu 薄膜材における比抵抗率増加の主要因子は粒界における電子散乱であることが決定された。

結晶粒界による散乱の寄与を定量化するため、図 3 に示す幅 W の細長い長方形配線材を仮定し、結晶粒径(D)と比抵抗率(ρ)の関係を計算で求めた。図 3 の上の曲線は、微細結晶粒 Cu 配線材の比抵抗率を示し、 D と W が同じくらいの大きさ($D=W$)である場合の計算結果である。線幅(W)が縮小すると、比例して粒径も同様に縮小するため、線幅の縮小にともない Cu 配線材の ρ は急激に増大する。 D が W より 10 倍くらい大きな結晶粒径を有する粗大結晶粒配線材($D=10W$)では、線幅が縮小しても急激には ρ は増加しない。こ

図 2 (a) Ar 雰囲気、および(b) 窒素/水素混合ガス雰囲気中で 400°C、30 分間の熱処理を施した Cu(1500 nm 厚)/CuOx(50 nm 厚)/Cu(1500 nm 厚)積層膜の FIB による断面 SIM 像⁵⁾

の図より結晶粒界による電子散乱の大きさが明白であり、100nm 幅の Cu 配線材の ρ が $2.0 \sim 2.2 \mu\Omega \text{cm}$ の値になるには W の 10 倍位大きな結晶粒径を有する粗大粒配線材を形成しなければならない。このような粗大結晶粒を有する Cu 膜を“準単結晶膜”とここでは呼ぶ。

3. 準単結晶 Cu 膜材の電気抵抗値決定要因

ここでは Cu 膜自体の最小の比抵抗率となる準単結晶 Cu 膜の電気抵抗値の実測結果およびバリア材が準単結晶 Cu 膜配線に及ぼす影響について説明する。その前に準単結晶作製法について簡単に説明する。

3. 1 結晶粒成長モデル

図 3 から、線幅が固定された配線材の ρ の低下には結晶粒が粗大化せねばならないことが示唆され、準単結晶膜作製には Cu 膜の結晶粒の成長機構を解明せねばならない。現在までに薄膜内の結晶粒成長には種々のモデル⁸⁾があるが、実験事実とはほとんど一致していない。最近、薄膜に導入された歪(応力)により結晶粒の成長が促進されるモデルが提唱され、このモデルの概念と準単結晶 Cu 膜の抵抗値測定結果についてここに簡単に説明する。

膜内に導入された歪による結晶粒成長モデル提唱の着眼は、Pb 薄膜を Si 基板上に蒸着し、液体窒素温度に冷却することにより Pb と Si の熱収縮係数の差により、0.6%の熱歪が加わった Pb 膜構造その場観察からである⁹⁾。図 4 に液体窒素温度で観察された透過電顕写真を示す。大きな結晶粒内に

は高密度の転位が観察され、0.6%の歪は転位すべりにより、ほとんど緩和されていることが分かる。しかし、小さな結晶粒内には転位はほとんど観察されず、結晶は塑性変形せずに弾性的に歪んでいる。特に粒径が $0.2 \mu\text{m}$ 以下の結晶粒には転位の存在は皆無であり、X 線回折法でも 0.6%の弾性歪が測定された¹⁰⁾。

図 5 に結晶粒内に蓄積された(単位体積当りの)歪エネルギー(E_{elast})と歪量(ϵ)の関係を示す。ここで ϵ_0 は加えられた最大の熱歪量(図 4 の場合は 0.6%)である。左図は小さい結晶粒内での E_{elast} の値を示し、加えられた歪量(ϵ_0)はすべて弾性歪のまま保持され、結晶内の E_{elast} は $0.5 Y \epsilon_0^2$ で与えられる。ここで Y は Pb の弾性定数である。一方、大きな結晶粒は大半が転位により歪が緩和されているため、弾性歪量は小さく、 E_{elast} は右図に示す如く非常に小さな値を示す。したがって結晶粒内の蓄積された歪エネルギーは小さな結晶粒ほど大きいことが分かる。このような小さな結晶粒は、結晶粒成長を起こし、転位導入を容易にして大きな E_{elast} を緩和する傾向にある。故に、歪を加えると小さな結晶は成長が促進される傾向にある。図 4 に示す Pb 薄膜材の微細粒が成長しないのは、温度が液体窒素に保たれているため、原子の移動が困難なためである。

以上は結晶粒内に導入される弾性歪だけ考慮したモデルであるが、転位導入を考慮しても同じような結果となる。転位導入を考慮した場合、歪エネルギーは $E^0 = \frac{1}{2} Y \epsilon^2 + \frac{(\epsilon_0 - \epsilon)}{b' f}$

図 3 微細結晶粒 ($D=W$) と粗大結晶粒 ($D=10W$) Cu 配線材の比抵抗率と配線幅の関係

図 4 Si 基板上に蒸着され、液体窒素温度に冷却された Pb 薄膜材の透過電子顕微鏡観察による微細構造⁹⁾

小さい ($< 0.2 \mu\text{m}$) 結晶粒の場合

大きい結晶粒の場合

図 5 微細結晶粒(左図)と粗大結晶粒(右図)を有する薄膜材に蓄積された歪エネルギー

$\left(\frac{E_g^0}{h} + \frac{E_g^0}{g}\right)$ で与えられる¹¹⁾。ここで g , h は長方形の結晶を仮定した場合の粒径と膜厚, E_g^0 , E_g^0 は転位形成エネルギー, b' はバークス・ベクトルの平面投影, f は緩和率である。(詳細は文献(11)に記す。)大きい結晶粒($g=g_1$)を有する膜と, 小さい結晶粒($g=g_2$)の膜の E^0 の値を図 6 に示す。薄膜材は最小値を示す歪エネルギーで, 弾性と塑性変形のバランスを取り, 最小値を示す点までは, ほぼ弾的に歪んでいるが, それ以上の歪が加わると塑性変形する。この図からも明らかなように, 小さい結晶粒内に蓄積されている歪エネルギーの方が大きい。この高いエネルギーを塑性変形により緩和するため, 結晶粒成長により転位導入を容易にする傾向にある。結果的には歪が結晶粒成長の駆動力となる¹²⁾。

3. 2 準単結晶 Cu 膜の電気抵抗値測定

準単結晶(超粗大結晶粒)配線材を上記に説明した歪を導入することにより, 結晶粒成長を促進させ作製し, 電気抵抗値を測定した。これらの電気抵抗値の測定結果を図 7 に示す¹³⁾。この図中の曲線は Mayadas らの結晶粒界散乱を無視した場合の理論値⁷⁾を示し, 今回の加工方法で微細化が可能な 100

図 6 転位すべりによる歪緩和を考慮した微細結晶粒($g=g_2$)と粗大結晶粒($g=g_1$)を有する薄膜材に蓄積された歪エネルギー¹²⁾

図 7 準単結晶 Cu 配線材の比抵抗率の理論値と実測値¹³⁾

nm 幅以上では実測値と非常に良い一致を示すことが明らかとなった。したがって Cu 薄膜材の結晶粒界をほとんど皆無にすれば, 比抵抗率は大幅に低下するが, Cu 膜内での電子の平均自由行程が線幅に近づくため, ナノ配線材ではバルク材で測定された比抵抗率の値を達成できない。且つ, 比抵抗率の観点だけから考えると, 電子の平均自由行程の短い Al 配線材の方が線幅依存性が小さく, ナノ領域では有利になる可能性もある。

3. 3 拡散バリア層の実効電気抵抗値への寄与

格子欠陥および結晶粒界密度が極端に低い準単結晶 Cu 配線材では Cu 膜自体の抵抗値と(ダマシン構造に不可欠な)バリア材の抵抗値が同程度の大きさになるため, バリア層の膜厚を可能な限り薄くせねばならない。幅 65 nm と 45 nm の配線材について図 7 から求めた準単結晶 Cu 膜の比抵抗率を用いてバリア層を含めた実効抵抗率を, バリア層を TiN 膜と仮定して計算した。図 8 にバリア膜厚と Cu 実効配線抵抗率の関係を示す。Cu 配線材に許容される実効抵抗率を 4.0 $\mu\Omega\text{cm}$ 以下とすると, 65 nm 幅配線材ではバリア層が 7 nm 以下, 45 nm 幅配線材では 5 nm 以下のバリア材を均一に形成しなければならない。これらのバリア材をスパッタ蒸着法により作製することは可能だが, 非常に高度な技術が必要である。最近, 均一な極薄膜の自己制御バリア材形成法¹⁴⁾が提案され, この方法について説明する。

この方法の概念図を図 9 に示す。まずバリア材となり, 且つ Cu とは均一固溶体を形成しない M 元素(たとえば Ti, Ta など)を Cu に過飽和に混合させる。この Cu(M)過飽和合金膜作製はめっき法では困難なため, スパッタ蒸着法を用いて成膜する。スパッタ蒸着された合金膜を高温で熱処理すると, 相分離を起こし, M 層が表面および界面に偏析する可能性がある。図 9 の右図に示した自己制御バリア層の形成の検証のため, Cu-2.9 at%Ti 合金膜をスパッタ蒸着法で形成し, 400°C で 2 時間熱処理後の断面 TEM-EDX 写真を図 10 に示す¹⁴⁾。Cu 合金膜の表面および SiO₂ 基板との界面には 10 nm 位の均一な Ti 層が偏析している(実際は Ti と SiO₂ との反応により生じた Ti 化合物層であり, 強い密着性が期待され EM 耐性にも優れていると思われる。)。この Ti 層は 700°C の温度でも Cu と SiO₂ の反応を防止し, 安定な

図 8 バリア厚さを考慮した準単結晶 Cu 配線材の実効抵抗率

図9 自己制御バリア層形成の概念図

図10 Cu-2.9 at% Ti合金膜の400°C, 2時間熱処理後の微細構造の断面観察¹⁴⁾

自己制御により形成されたバリア層である。現在スパッタ蒸着法を用いてCu-Ti合金膜をダマシン構造に蒸着し、高圧・高温アニール法によりCu配線材を形成する検討がなされている¹⁵⁾。

4. おわりに

Si半導体デバイスが65 nm世代を迎えるとともに従来のバルク材料からは全く予測されなかった新しい材料物性現象がデバイスを構成している種々の素材で見つかり、たゆまなく材料開発および要素技術の革新がなされている。配線材に限っても、材料選択、成膜法、信頼性、コスト面で多くの課題が露出し、現在でも課題解決への挑戦は日常に行われている。

ここまで、配線材の低抵抗化のみに限定して理想的なCu配線材についての当研究室での取り組みについて述べたが、これらの配線材の信頼性などについてはまだ未知である。且つ、配線材を取り囲む誘電体についても低誘電化が最も重要な課題であり、国内外での新材料創成が盛んに行われている。ナノ化に向け、Cu配線材とは全く異なった材料課題が存在するが、配線材と誘電体は同時に開発されねば配線材での信号遅延問題は解決されない。本稿がデバイス高性能化に少しでも役に立つことを期待して終える。

(2005-9-6 受理)

文 献

- 1) International Technology Roadmap for Semiconductors,

2003 Edition.

- 2) 土川春穂, 中村友二; 表面技術, 55, 764 (2004)
- 3) 縄舟秀美, 北村浩司, 水本省三, 内田 衛, 岡田 隆; 表面技術, 51, 1142 (2000)
- 4) M. Koiwa, A. Yamanaka, M. Arita and H. Nmakura; *Mater. Trans. JIM*, 30, 991 (1989)
- 5) S. Konishi, M. Moriyama and M. Murakami, *Mater. Trans.*, 43, 1624 (2002)
- 6) M. Moriyama, S. Konishi, S. Tsukimoto and M. Murakami; *Mater. Trans.*, 45, 3172 (2004)
- 7) A. F. Mayadas and M. Shatzkes; *Phys. Rev.*, B1, 1382 (1970)
- 8) P. Chaudhary; *J. Vac. Sci. Technol.*, 9, 520 (1972)
- 9) T. S. Kuan and M. Murakami; *Trans. AIME*, 13A, 383 (1982)
- 10) M. Murakami; *Acta Met.*, 26, 175 (1978)
- 11) M. Murakami, T. S. Kuan and I. A. Blech; *Treatise on Materials Science and Technology*, Ed. H. Herman, 24, 162 (1982)
- 12) M. Murakami, M. Moriyama, S. Tsukimoto and K. Ito; *Mater. Trans.*, 46, 1737 (2005)
- 13) M. Moriyama, M. Shimada, H. Masuda, and M. Murakami; *Trans. Mater. Res. Soc. Japan*, 29, 51 (2004)
- 14) S. Tsukimoto, M. Morita, M. Moriyama, K. Ito and M. Murakami; *J. Electron. Mater.*, 34, 592 (2005)
- 15) 大西 隆; LSI配線における原子輸送・応力問題, 第11回研究会予稿集, p. 44 (2005)