ファインピッチ配線形成が追求される 大型液晶ディスプレイ用 COF テープ

珍 田 聡*

*日立電線㈱(〒 317-0065 茨城県日立市助川町 3-1-1)

COF Tape for Large-scale LCD with Active Development of Fine Pitch Wiring Formation

Akira CHINDA*

*Hitachi Cable, Ltd. (3-1-1, Sukegawa-cho, Hitachi-shi, Ibaraki 317-0065)

Keywords : COF Tape, Fine Pitch, LCD Driver, Photo-etching, Semi-additive

1. 緒 言

液晶ディスプレイ (LCD : Liquid Crystal Display) は、技術の進展にともない、画素の粗さ、低輝度、応答速度の遅延など、従来指摘されていた課題が大きく改善されてきている。このため、現在は低消費電力、軽量薄型などの長所が歓迎され、パソコンや TV のモニターへの適用が急速に増加している。液晶ディスプレイの使用拡大にともない、液晶を駆動させる IC (ドライバ IC) を搭載する TAB (Tape Automated Bonding) テープの生産が増大している。TAB テープは比較的狭い幅 (35~158 mm) のテープ状基材をリールに巻きながら連続加工し製造される。このため、生産性良好、微細配線形成可能、仕上り性均一、などの優れた特徴を有している。しかしリードピッチファイン化の要求がいつそう強まるにつれて、デバイスホールからインナーリードが突出した構造を有する従来のテープキャリアではリードの変形が起きやすく、製造およびパッケージ組立が困難となる課題に直面するようになった。このため、銅配線をポリイミドベーステープ上に直接形成し、IC チップをフリップチップ接合する COF (Chip on Film) テープが開発され、現在ではこれが LCD 用ドライバ IC 搭載基板として主流になってきている。

本論文では、よりファイン化が志向される COF テープの配線形成技術の現状と課題について解説する。

2. COF テープ

2. 1 特 徴

TAB テープの一種である COF テープの外観例と、LSI チップを実装したドライバ IC の液晶ディスプレイパネルへの実装概念図を図 1 に示す。本来 TAB テープとは、パンプ付き IC チップを連続的に接合していくボンディング技術に適用される長尺のテープキャリアのことであるが、現在は IC チップの接合方法には無関係に、リール状態で連続加工し作られるデバイス搭載用テープキャリアの総称に使われて

いる。

液晶の高機能化にともなう電極数増加の一方で、パッケージのトータルコスト削減から、IC チップの小形化が進んでいるため、チップ上の電極パッドの配置ピッチがますます狭くなってきている。これはすなわち、TAB テープのリードピッチ微細化の要求が強まってきていることに他ならない。そこで、ポリイミド上に形成したリードに、IC チップをフリップチップ接合するパッケージが考案され、これに対応した 40 μm ピッチ以下の微細配線を持つ COF テープが開発、製造されるようになった^{1),2)}。COF テープの最小リードピッチの変遷を図 2 に示す。COF テープ構造になってもリードの狭ピッチ化の要求は引き続き強く、現在は 25 μm ピッチ

(a) COFテープ

(b) ドライバIC搭載概念図

図1 COF テープとドライバ IC 搭載概念図

の量産対応が喫緊の課題であり、20 μm ピッチも検討されるまでになっている。COF テープのリードピッチファイン化の実績および今後の動向を、一般的なフレキシブル基板(FPC)と比較すると、COF テープはFPCよりも微細配線化では二世代くらい先を走っており、リードのファイン化の観点から見れば、電子デバイスを搭載する実装基板においては、COF テープが最もファインな配線を要求されている基板とすることになる。

2. 2 製造工程

COF テープの製造工程について、概略を図3に示し説明する。テープ基材としては、耐熱性の高いポリイミド樹脂の片面に銅箔が設けられた、いわゆる2層CCL(Copper Clad Laminate)材が用いられる。特に、透明なポリイミドテープに連続してニッケル合金と銅をスパッタリング法で成膜した後、電気めっき法で銅を厚膜化するメタライジング材が多用されている。まず2層CCL材にスプロケットホール(コマ送り穴)をパンチングで開口する。次に銅箔上にフォトレジストを塗布した後、露光、現像を行い必要なパターンの形に耐薬品性のレジスト膜を形成する。そして塩化第二鉄、塩

図2 COF テープの最小リードピッチの変遷と動向

図3 COF テープ製造工程

化第二銅水溶液などのエッチング液をスプレーして不要な銅を溶解除去し、微細配線パターンを形成する。フォトレジストを剥膜した後、全面に無電解スズめっきを施してから、絶縁性レジスト膜(ソルダーレジスト)を印刷塗布しテープ材が完成する。

COF テープのインナーリード外観例を図4に示す。リードがポリイミドテープに直接貼り付いているので、ファイン化してもリード変形が起きにくい。COF テープ上へのICチップの電気的接合概念図と接合部の断面を図5に示す。接合法はスズめっきリードと金バンプによる金-スズ共晶接合が一般的である。接合方法は、通常、ポリイミドテープ面側からバンプとリードを透かしてアライメントし、ボンディングする方法が採られるため、ボンディングツールが汚れにくいというメリットもある。しかし透過アライメントを行うためには、ポリイミドテープに透明性が要求される。従来の接着剤を用いてラミネートする3層構造の材料はテープの透明性が劣るので、銅箔とポリイミド界面の密着性を維持しつつ透明性に優れた新たなCCL材が必要とされた。

2. 3 COF 用2層CCL材

製法上の違いから分類した2層CCL材としては、メタライジング材、キャスト材、ラミネート材が挙げられる。現在、COF 用にはメタライジング材が多用される。メタライジング材は、透明なポリイミドテープにスパッタリング法でニッケルクロム合金膜を薄く成膜した後、銅を同じくスパッタリング法で成膜してから、これをシード層として電気銅めっきで厚膜化する製法で作られる。したがってポリイミドテープを変更できるメリットがある。またメタライジング材の銅箔は極めて平滑であるため、エッチング加工時のリードの直線性に優れ、ファイン配線の形成には適している。シード層のニッケルクロム合金膜は、ポリイミドと銅の相互拡散防止、およびポリイミド樹脂を透過する水分や酸素の銅箔層への到達防止のバリア層の作用を有する。したがってシード層が厚いほど、またCr含有率が高いほど耐熱効果が向上するためバリア効果は上がるが、その分、化学的溶解性が低下するため、シード層除去が困難になる。今後、より微細なリード形成用材料では、微細な配線でも高い信頼性を保持するために、シード層組成の再検討を行う動きがある。しかし、シード層仕様の変更は、シード層除去工程での薬液や

図4 COF テープのインナーリード外観

図5 COFテープへのICチップ接合法

条件の大幅な変更を招く恐れがあることから、慎重な取組みが望まれる。

キャスト材は、銅箔にポリイミド前駆体ワニス塗布後に加熱乾燥させ、さらに乾燥ワニスを熱硬化させる製法で作られる。メタライジング材とは対照的に銅箔の材質を変更できるが、硬化処理工程で樹脂に収縮応力が生じる。応力はポリイミド塗工量が多い(厚い)ほど大きくなるため、薄い銅箔に厚いポリイミドを塗工する組合せの製品は製造しにくいという課題がある。

ラミネート材は、銅箔とポリイミドテープとを薄く透明な接着剤で接着した材料である。従来の3層構造テープに似ているが、透明性維持のために接着剤の厚さを薄くして、なおかつ貼り付ける銅箔面の粗さも極力少なくする必要があるため、接着剤の開発や銅箔ラミネート技術にポイントがある。ただしラミネート材に用いる接着剤の耐熱性が、高温の金-スズ共晶接合を行うには十分でない。また反り防止および両面銅箔接着のために、ポリイミドベーステープの両面に接着剤が塗工されている材料の場合は、銅箔との接着に用いない面の接着剤が、高温のボンディングツールに貼り付いてしまう不具合も報告されている。したがってCOFテープにはラミネート材は今のところ使用できていない。低温接合の試みもなされており、このときはラミネート材の出番があると考えられる。

2.4 無電解スズめっき技術

液晶ドライバにおいて、COFテープにICチップを接合し、また完成したパッケージをガラス基板やプリント配線板に実装するために、配線リード上には無電解めっき法でスズが薄くめっきされる。そこでこの技術についても多少解説する。

無電解スズめっきはTABテープとともに発展してきた。TABテープのインナーリードとICチップとの電気的接続は、多くの場合、金-スズ共晶接合法が適用されているためであり、これはCOFに代わっても同様である。銅箔パターン上の無電解スズめっきの析出機構は、置換反応である。通常はスズイオンの存在する水溶液に銅を浸漬させても、銅の

表面電位がスズよりも貴であるため、置換反応は起きない。そこでスズめっき液には、銅(I)イオンの強力な錯化剤であるチオ尿素($(\text{NH}_2)_2\text{C}=\text{S}$)が添加される。これにより銅の表面電位が卑にシフトし電位が逆転することで、スズが銅上に置換析出する。置換型無電解スズめっきは、銅リード表面がスズめっきで覆われ、電位差が小さくなると反応が止まるため、めっき厚さは $0.7\mu\text{m}$ 程度までである。なおスズウィスカ防止のために、めっき後に熱処理が行われる。これによりスズめっき層と下地の銅とが熱拡散により合金化し、純スズ層が薄くなる。ウィスカを防止しつつ、接合に必要な純スズ層を残すためのスズめっき後の熱処理条件のコントロールが極めて重要である。

ところで、スズは酸化膜ができやすい。このため長期保管されたスズめっきCOFテープは、金-スズ接合性が低下する場合がある。また高温で金バンプとスズめっきされたリードを加圧接合させる金-スズ共晶接合では、瞬間的に玉状に共晶化合物が発生し、リード間の絶縁信頼性低下を引き起こすことがある。これを我々は、“金-スズ溜まり”と呼んでいて、今後のよりファインピッチ接合では、特に問題になる現象である。これら、金-スズ接合法の課題に対する解決方法の一つとして、金-金接合法が検討されている。しかしリードにも高価な金めっきを施す必要があり、コストパフォーマンスの改善が新たな課題となってくる。

3. ファインピッチ化

3.1 エッチング法

一般にCOFテープの配線はフォトリソ法で形成される。この方法では、深さ方向にエッチングする際に、横(サイド)方向も同時にエッチングされるため、ファインピッチでできるだけ幅の広いリードを形成するためには、サイドエッチをいかに抑制するかが最大の課題と言える。このため今までは主にスプレー圧力を高め、噴射の打力で深彫りする方法が採用されてきた。しかしたとえば $25\mu\text{m}$ ピッチ(L/

S=12.5/12.5 μm)のリードを形成する場合は、フォトレジストによる開口の幅は5~7 μm 程度と極めて狭くなるため、水溶液の表面張力により狭いスリット内にエッチング液が浸透しにくくなる。したがってスプレー圧力増加の効果が十分に期待できなくなってきた。

我々は当初、30 μm ピッチを下回るファインリードの形成は、セミアディティブ法を選択せざるを得ないと考えていたが、最近、狭いレジスト開口への液浸透性とサイドエッチングの抑制を考慮した新しいエッチング液がいくつか発表されていることから、これらを入手し、設備の改造も図りながら詳細に検討した。その結果、従来のエッチング液では不可能と考えられていたリードピッチ30 μm 未満のファイン領域でのリード形成の可能性を見出すことができた。新開発のエッチング液で形成した25 μm と20 μm ピッチリードの外観および断面観察写真を図6に示す。もちろんリード形成だけでCOFテープが完成するわけではない。リード間に残るシード層の選択的溶解除去もファイン化によっていっそう困難になるため、これらの開発と併せた総合的技術確立が急務である。

また最近、特に大型液晶テレビ用途向けCOFテープでは、高い放熱特性が要求されるようになってきた。画面の大型化と輝度増加にともない、バックライトが高出力化しているため、COFテープの銅配線からの効率的な放熱が求められる。従い、超ファインではなくとも配線高さ12 μm 以上の高ハイト配線形成が必要であることから、新エッチング技術では、厚い銅箔でのエッチングも検討していきたいと考えている。

3.2 セミアディティブ法

20 μm 以下のさらに狭いリードピッチの超ファインCOFの製造ではやはり、めっきで直接リードを形成するセミアディティブ法の適用を考えなければならないだろう。同法の工程概略図を図7に示す。本法は、フォトレジストで形成した微細な溝(トレンチ)を銅めっきで埋め込んだ後、レジストを剥膜してから下地のシード層を溶解除去し、微細配線を形

成する方法である³⁾。セミアディティブ法で試作したCOFテープの外観とリード断面形状を図8に示す。

セミアディティブ法で狭ピッチCOFテープを製造する場合の課題は多い。たとえば表面の滑らかなベース材とフォトレジストおよびめっきパターン間の密着性確保、10 μm 幅以下の極めて狭い溝への現像液やめっき液の浸透性確保、シード層溶解除去工程での銅めっき配線の溶解防止、配線形成時間の増加にともなうコスト増対策、などが挙げられる。特にめっき成膜時間の長さはコストアップの原因になるため、高さ(めっき厚さ)の高い配線になるほど、その影響は顕著となる。

4. ファインピッチ化における配線形成技術以外の課題

4.1 レジストパターンニング

フォトエッチングにしる、セミアディティブにしる、配線形成には、フォトレジストによるパターン描画が必要となる。

図7 セミアディティブ法の工程概念図

配線ピッチ	配線外観	配線断面
25 μm		
20 μm		

図6 新エッチング技術を駆使したファインピッチリード(配線高さ:8 μm)

(a) COFテープ外観

(b) インナーリード外観

(c) インナーリード断面

(ピッチ: 25 μm , 高さ: 8 μm)

図8 セミアディティブ法による COF テープとリードの外観

そのためには高度なフォトファブリケーション技術の構築が求められる。具体的には、ファイン配線用高解像フォトレジストの開発、量産性に優れた大口径かつ高精度の露光機の導入、現像およびレジスト剥膜技術、などである。

ファインエッチング用フォトレジストについては、高い解像性を持ちながら、より薄い膜厚で高剛性を有するレジストが求められる。最近、エッチング用薄膜レジストの分野でもドライフィルムレジストが盛んに適用されるようになってきた。ただし 20 μm ピッチを狙うファイン配線形成では、レジスト膜厚は 3 μm 以下が望ましい。薄膜ドライフィルムレジストでは剛性の確保やピンホールレスでの成膜に課題があることから、いまだ適用事例は少ないが、ドライフィルムレジストは膜厚変動がない、取り扱いが容易、現像工程直前まで保護フィルムで被覆されているなど、長所が多いことから、ファインエッチングでの適用を検討していきたい。セミアディティブ法で COF テープの配線を形成するには、現像工程後のドライフィルムレジスト壁面のストレートウォール化が必須である。

露光機は COF テープではレンズ投影露光機が適用される。量産性向上にともない現在は 8 インチ (ϕ 200 mm) の大口径レンズ露光機が適用されるが、大口径化と露光精度向上の二律背反する条件の両立が最大の課題である。また露光波長の選択は微細パターンングやアスペクト比の大きなレジストトレレンチの形成には有効であるが、露光量低下をとまうので、量産性との兼ね合いが必要である。

最近、フォトファブリケーションの短所と考えられる、露光機の高額化、スループットの悪さ、フォトレジストの解像限界などを解決する手段として、フォトファブレスのダイレクトパターンング法が多くの研究機関で検討されている。しかし COF テープの配線に要求される特性のクリアは容易で

はなく、実用化にはいくつものハードルが待ち構えている。

4. 2 シード層除去技術

現在、高信頼性の必要な COF 用メタライジング材では、シード層として Ni-20%Cr 合金が、厚さ 20~30 nm スパッタリング成膜されている。拡散バリア層としてのシード層が厚いほど、また Cr 含有率が高いほど耐熱性効果は上がるが、その分、化学的溶解性が低下するため、シード層除去が困難になる。しかもエッチング法、セミアディティブ法ともに、配線間のスペース 10 μm 前後の微細な溝に、シード層を構成する金属の選択的溶解液を浸透させる必要があるなど、ファイン化にともない、今後、配線形成技術以上にシード層除去技術に関する課題は大きくなると考えている。

シード層仕様変更の検討も継続されているが、一般にはファイン配線の信頼性を維持するシード層ほど耐食性が高くなる傾向にあるため、配線間の溶解除去はいっそうの困難が予想される。

4. 3 ファインリード検査技術

ファイン配線の検査技術構築もまた大きな課題である。現在 COF テープは、配線形成直後に自動外観検査装置 (AOI: Automatic Optical Inspector) で、突起や欠けなどの欠陥検出を行い、製品信頼性を高めている。配線のファイン化にともない、AOI 検査では 3 μm サイズの欠陥検出が必要になろうとしているため、検査装置のよりいっそうの能力向上が求められている。

5. まとめ

小形液晶ドライバ実現のためには、狭ピッチ COF テープの量産もさることながら、搭載する IC チップのさらなる小形化や新たな接合技術の開発など、総合的な技術確立が必要である。したがって、これから的高機能、多ピン、小形、高

放熱の液晶ドライバ開発のためには、ICチップメーカ、パッケージメーカ、材料メーカ、テープメーカなど、関係各社の協調体制がますます重要になるであろう⁴⁾。

(2007-11-21 受理)

文 献

- 1) 小泉良一, 伊藤英樹, 松本雄行, 宮本宣明, 水野雅裕, 珍田 聡; 日立電線, 21, 47 (2002).
- 2) 珍田 聡, 杉本 洋, 柏原史隆; 第13回マイクロエレクトロニクスシンポジウム論文集, p. 308 (エレクトロニクス実装学会, 2003).
- 3) 松浦 亮, 珍田 聡, 杉本 洋; 第13回マイクロエレクトロニクスシンポジウム論文集, p. 304 (エレクトロニクス実装学会, 2003).
- 4) 珍田 聡; エレクトロニクス実装学会誌, 7, 386 (2004).