研究論文

Al-Si 合金膜表面のジンケート処理に対する下地 Si 基板の影響

齋藤 美紀子^{a,*}, 前川 武之^b, 本間 敬之^{a,c}^a 早稲田大学 ナノテクノロジー研究所(〒162-0041 東京都新宿区早稲田鶴巻町 513)^b 三菱電機(株) 先端技術総合研究所(〒229-1195 神奈川県相模原市宮下 1-1-57)^c 早稲田大学 先進理工学部(〒169-8555 東京都新宿区大久保 3-4-1)

Influence of Specific Si Resistance on the Morphology of Zn Films Formed by Reacting Al-Si Alloy with Zincate Solution

Mikiko SAITO^{a,*}, Takeyuki MAEGAWA^b and Takayuki HOMMA^{a,c}^a Nanotechnology Research Laboratory, Waseda University(513, Waseda Tsurumaki-cho, Shinjuku-ku, Tokyo 162-0041)^b Advanced Technology R&D Center, Mitsubishi Electric Corp. (1-1-57, Miyashita, Sagami-hara-shi, Kanagawa 229-1195)^c Faculty of Science and Engineering, Waseda University(3-4-1, Okubo, Shinjuku-ku, Tokyo 169-8555)

The electrochemical behavior of Al-Si alloy films in zincate solution was investigated to elucidate the effects of zincate pretreatment on the Zn morphology and subsequent electroless NiP deposition, which is used for under bump metallization (UBM) in integrated circuit (IC) chip packaging. To investigate the electrochemical behavior of the Al-Si films during the zincate pretreatment, the immersion potential and the surface morphology during Zn and NiP deposition were evaluated using Al-Si electrodes that had been fabricated onto two types of Si substrates with different specific resistances. A heterogeneous point was observed for samples fabricated onto Si substrates with high specific resistance (45-95 Ωm), but no such point was observed on samples fabricated onto Si substrates with low specific resistance (0.00001-0.00002 Ωm). This result suggests that the morphology of the deposits was affected considerably by the specific resistance of the Si substrate.

Keywords : Zincate Pretreatment, Immersion Potential, Electrochemical Behavior, Si Substrate, Under Bump Metallization

1. はじめに

エレクトロニクス実装分野において、フリップチップ実装は小型化、高密度化に適した手法として広く用いられている¹⁾。フリップチップ実装においては、ウエハー上の Al 膜に無電解 Au/NiP の 2 層からなるアンダーバンプメタル (UBM) が形成される。UBM 形成の前処理として Al 表面にはジンケート処理が適用されているが、これは Al と NiP 膜との密着性の向上および緻密な NiP 膜形成のために重要な工程であり、これまでに多くの検討がなされている^{2)~10)}。ジンケート処理では Al の溶解と Zn を含んだ溶液からの Zn イオンの還元反応からなる無電解置換反応により Zn が Al 膜上に析出する³⁾。我々の検討において、Zn の置換反応は Al 膜中に Si や Cu が微量に添加されている場合に促進され、またジンケート処理に後続して形成される NiP 膜の粒子が微細化し緻密になることを確認している^{11),12)}。また、Al および Al 合金膜のジンケート処理の際の電気化学的な挙動について、浸漬電位やアノード分極測定を用いて検討し、表面における Al の溶解およびそれとともなう Zn の析出反応は Si, Cu などの添加により促進されることを明らかにしている。すなわち、溶解にともなうアノード電流の増加により Zn の核生成が促進され、微細な Zn 粒が緻密に表面を覆う状態が

形成される結果となり、これが無電解 Niめっき膜における膜の緻密化につながることを明らかにした¹¹⁾。一方、半導体素子構造においては、図 1 に示すように Al 合金系電極は、p 型拡散層や n 型拡散層など、電気的特性の異なる層と接続

Fig. 1 Schematic cross-sectional structure of semiconductor device with UBM layer.

* E-mail : mikiko@waseda.jp

している。したがってこのような電極をジンケート処理する場合には、接続する各種の層の影響を受け複雑な電気化学的挙動をとることが予想される。また、ジンケート溶液プロセスにおいては裏面 Si 基板の影響を受けると予想されていることから、裏面を被覆し、ジンケート処理を行っているが、この裏面被覆は、プロセスを複雑化させる要因の一つとなっている。これらを踏まえ、本研究では、実デバイスで用いられるような異種金属層から成る電極を想定し、比抵抗の異なる Si 基板を用い、その裏面の影響も併せ、ジンケート処理における Zn 置換反応に及ぼす影響について明らかにすることを目的に、Zn 置換膜と NiP 析出膜の表面形態観察、および電極の浸漬電位変化測定から、Al 合金膜の溶解反応や、Zn の置換反応について検討した結果を報告する。

2. 実験方法

2. 1 電極の作製

図 2 に評価に用いた電極の作製工程を示す。Si 基板上にスパッタリング法を用いて Al-Si 合金膜を作製し(a, b)、次に紫外線露光によるフォトリソグラフィーで電極形成用のマスクを形成する(c)。このフォトレジストをマスクとし、343K の 85 % リン酸水溶液にて Al-Si 合金膜のエッチングを行い、電極を形成する(d)。その後、フォトレジストを除去し(e)、再度フォトレジストを用いて開口部形成用のマスクを形成する(f)。次にアルミナ膜を形成し(g)、有機溶剤でフォトレジストを除去する(h)。作製した電極を(i)に示す。Al-Si 合金膜の 150 μm 径開口部が溶液面に露出され、その他の部分はアルミナ膜で被覆されるようにした。

2. 2 電極の表面観察

ジンケート処理前の表面を清浄化し、初期電位を安定化させるために市販の脱脂剤(メルテックス社製メルクリーナー SC-7001)およびアルカリ系エッチング剤(メルテックス社製メルプレート E-7121)による前処理を行った。その後、230 g dm^{-3} の NaOH と 50 g dm^{-3} の ZnO からなるジンケート処理および NiP めっきを行い、電極の Al-Si 合金膜の表面観

察を行った。表 1 に NiP めっき溶液の組成および浸漬条件構成を示す。観察は走査顕微鏡(FE-SEM, S-4800, Hitachi)を用いて行った。なお実験は室内蛍光灯下で行った。半導体素子へのめっきのため、光起電力の影響も考えられるが、本検討においては室内蛍光灯照射の条件下で問題ないことを確認している。

2. 3 浸漬電位測定

浸漬電位の変化挙動は、電気化学測定装置(HZ-3000, HZ-5000, 北斗電工(株))を用い、ジンケート溶液中で解析した。参照電極には純 Zn または飽和カロメル電極(SCE)を用いた。図 3 に示すように、異なる比抵抗 0.00001 – 0.00002 Ωm (低抵抗)と 45 – 95 Ωm (高抵抗)の 20 mm $\square$ p (100) Si 基板上に図 2 に示した工程で作製した 150 μm 径の評価用電極を溶液中に浸漬し、電位測定を行った。なお、取り出し電極部は液に浸漬されないように樹脂で封止した。次に、低抵抗 Si 基板上に作製した評価用電極を基準とし、高抵抗 Si 基板上に作製した評価用電極の電位の変化を、ジンケート溶液中への浸漬時間に対して測定した。

3. 実験結果

図 4 に比抵抗の異なる基板上に作製した評価用電極の Al-Si 合金膜の表面形態の SEM 観察結果を示す。(a)および(b)がジンケート処理 10 秒後の低抵抗 Si 基板と高抵抗 Si 基板上に作製した Al-Si 合金膜の表面状態の観察結果である。

Table 1 Bath composition and operating conditions for electroless NiP deposition.

Chemical	Concentration (mol dm^{-3})
$\text{NiSO}_4 \cdot 7\text{H}_2\text{O}$	0.1
$\text{CH}_3\text{COONH}_4$	0.4
$\text{NaH}_2\text{PO}_2 \cdot \text{H}_2\text{O}$	0.15
pH	5.0–5.5
Temperature / K	323
Deposition duration / min	10

Fig. 2 Preparation of test electrode: (a) preparing Si substrate, (b) sputtering Al-Si alloy film, (c) spin coating photoresist using UV radiation and glass mask 1, (d) etching Al-Si alloy film, (e) removing photoresist, (f) spin coating photoresist using UV radiation and glass mask 2, (g) sputtering Al_2O_3 film, (h) removing photoresist, and (i) Fabricated test electrode structure.

(a)の低抵抗 Si 基板上に作製した Al-Si 合金表面では Zn 層が均一に形成されているのに対し, (b)の高抵抗 Si 基板上の Al-Si 合金膜表面では Zn 層は不均一な状態となる部分があることが確認された。拡大観察像を(c)と(d)に示す。(c)に示されている低抵抗 Si 基板上に作製した Al-Si 合金膜表面の Zn 層の方が(d)に示されている高抵抗 Si 基板上に作製した

Fig. 3 Schematic illustration of structure of test electrode used for zincate treatment. The specific resistance of the Si substrate used is 0.00001-0.00002 Ωm (low specific resistance) or 42-95 Ωm (high specific resistance).

Fig. 4 SEM images of surface of Al-Si alloy films.
(a), (c) : Al-Si alloy film deposited on low-resistivity Si substrate after zincate treatment.
(b), (d) : Al-Si alloy film deposited on high-resistivity Si substrate after zincate treatment.
(e) : Al-Si alloy film deposited on low-resistivity Si substrate after electroless NiP deposition.
(f) : Al-Si alloy film deposited on high-resistivity Si substrate after electroless NiP deposition.

Al-Si 合金膜表面の Zn 層に比較し, 均一かつ粒が小さくなっていることが観測された。次に Al-Si 合金膜のジンケート処理後に NiP 膜を形成した後の表面状態の観察結果を(e), (f)に示す。前出の(a), (b), (c), (d)のジンケート処理後の表面状態の差異を反映し, 低抵抗 Si 基板を用いた(e)の場合では均一で緻密な NiP 膜が形成されていることがわかる。一方, Zn 層形成が十分でない高抵抗 Si 基板を用いた場合は, (f)に示すように NiP 膜も不均一な状態となっていることがわかる。

次にジンケート溶液に浸漬したときの Al-Si 合金膜の電極表面の電位測定を行った。すでに報告しているように Al-Si 合金膜の電極表面をジンケート溶液に浸漬させることにより, 表面の Al-Si 合金膜は Zn に置換され, Al-Si 合金膜の電極電位は時間とともに変化することを確認している¹¹⁾。図 5 は高抵抗 Si 基板, 低抵抗 Si 基板を用いて各々に作製した Al-Si 合金膜の電極のジンケート溶液浸漬時間に対する電極電位の関係を示す。両者の実験結果から高抵抗 Si 基板を用いた電極では参照電極として用いている Zn (-1.49 V vs. SCE)の表面電位に達するまでの時間が長くなることを確認した。次に低抵抗 Si 基板を用いて作製した電極を基準電極とし, 高抵抗 Si 基板を用いて作製した Al-Si 合金膜の電極のジンケート溶液中への浸漬時間と電極電位との関係について調べた結果を図 6 に示す。これより, 図 5 で示したように高抵抗 Si 基板, 低抵抗 Si 基板単独で浸漬した場合と同様に高抵抗 Si 基板を

Fig. 5 Time dependence of immersion potential of electrode fabricated using (a) high-resistivity Si substrate and (b) low-resistivity Si substrate.

用いて作製した Al-Si 合金膜側の電位が卑であるが、時間とともにその差は減少し、20 秒程度で両者の電位はほぼ等しくなることがわかる。前述した実験結果は裏面の Si 基板を被覆せずに行った実験であるが、次に裏面を被覆し、表面の電極面のみをジンケート溶液中に浸漬した結果を図 7 に示す。両者の Zn の置換反応における電極電位に差は観測されず、等しい電位を示すことを確認した。図 8 に、電極面積が裏面の Si 基板と同じ 4 cm^2 であり、かつ裏面を被覆していない場合のジンケート溶液への浸漬時間と電極電位の測定結果を示す。低抵抗および高抵抗 Si 基板を用いて作製した両者の Al-Si 合金膜の電極電位はほぼ等しい値を示した。以上の実験結果から、裏面の被覆が無く、かつジンケート溶液に接する電極面積が小さい場合に高抵抗 Si 基板と低抵抗 Si 基板の Al-Si 電極のジンケート溶液における電極電位が異なることがわかった。

4. 結果のまとめ

ジンケート処理における Al 系合金膜の溶解、および Zn の析出の反応機構に対する下地 Si 基板の影響について評価用の電極を作製し、調べた。異なる比抵抗 $0.00001 - 0.00002\ \Omega\text{m}$ (低抵抗) と $45 - 95\ \Omega\text{m}$ (高抵抗) の p 型 Si 基板を用いて Al-Si 合金膜の評価用電極を形成してジンケート溶

Fig. 6 Time dependence of potential between electrodes fabricated using substrates with high and low specific resistance. The electrode fabricated using the low-resistivity Si substrate is the reference electrode. The backside of the substrates isn't covered.

Fig. 7 Time dependence of potential between electrodes fabricated using substrates with high and low specific resistance. The electrode fabricated using the low-resistivity Si substrate is the reference electrode. The backside of the substrates is covered.

液浸漬後における Al-Si 合金膜の電極表面の形態観察を行ったところ、高抵抗 Si 基板を用いて作製した Al-Si 合金膜の電極表面形態が不均一になることを明らかにした。また浸漬直後からの Al-Si 合金膜の電極電位の変化を測定した結果、裏面 Si 基板を被覆していない場合には、高抵抗 Si 基板上に作製した Al-Si 合金膜の電極電位が低抵抗 Si 基板上に作製した場合に比べ卑となることを確認した。一方、裏面の Si 基板を被覆した場合、さらには裏面の Si 基板を被覆せず裏面 Si 基板と Al-Si 合金膜の電極面積が等しい場合には両者の電位差は観測されなかった。

以上の結果から、ジンケート処理における裏面の Si 基板の比抵抗が異なるなどの電気特性の違いは裏面の Si 基板が被覆されていない場合において、高抵抗さらには電極面積が裏面の Si 基板の面積に比べ小さいときに Si 基板の影響を受け、電極電位の卑な方向へのシフト、さらには表面の不均一が観測されることを明らかにした。

5. 考 察

高抵抗 Si 基板と低抵抗 Si 基板を用いて作製した Al-Si 合金膜のジンケート溶液中における表面の Zn への置換反応の測定結果から両者の基板の影響について考察した。なお裏面の Si 基板のジンケート溶液中におけるエッチング速度について調べたところ、高抵抗 Si 基板では $0 - 200\text{ nm/h}$ であり、低抵抗 Si 基板ではエッチングされなかった¹³⁾。裏面の Si 基板のジンケート溶液中への溶解実験から高抵抗 Si 基板では溶解が確認され、ホールが半導体基板と溶液との界面に拡散することになる。このことから、Al-Si 合金膜と Si 基板界面におけるホールの減少そして Al-Si 合金膜からの電子の引き抜きの減少につながる。また、Al-Si 合金電極と接触しているそれぞれの基板のフェルミ準位は図 9 のバンド図に示すように高抵抗 Si 基板と低抵抗 Si 基板では、高抵抗 Si 基板の仕事関数は 5.27 eV であるのに対し低抵抗 Si 基板では、 5.69 eV と異なる値を示している。このため、Al-Si 合金と Si 基板界面においては、接触によりフェルミ準位が一致するように拡散により Al-Si 合金から Si 基板へ電子が Si 基板から Al-Si 合金へホールが流れ込むことが考えられる。ここで低抵抗 Si 基板のフェルミ準位が高抵抗 Si 基板のそれに比べ大きいこ

Fig. 8 Time dependence of potential between electrodes fabricated using substrates with high and low specific resistance. The electrode area is 4 cm^2 . The backside of the substrates isn't covered.

Fig. 9 Schematic band diagram of the Al-Si and p-Si substrate before and after contact.

E_f : Fermi level for Al-Si

E_{f1} : Fermi level for high-resistivity Si substrate

E_{f2} : Fermi level for low-resistivity Si substrate

E_{c1} : Conduction band for high-resistivity Si substrate

E_{c2} : Conduction band for low-resistivity Si substrate

E_{v1} : Valence band for high-resistivity Si substrate

E_{v2} : Valence band for low-resistivity Si substrate

とから界面におけるバンドの曲がりが大きく¹⁴⁾、Al-Si 界面における Si 基板への電子の移動が高抵抗 Si 基板と低抵抗 Si 基板では異なり、低抵抗 Si 基板と接触している Al-Si 合金からの電子の移動が大きいことがわかる。高抵抗 Si 基板、低抵抗 Si 基板を用いることによりその基板と接触している Al-Si 合金膜のジンケート処理において表面が不均一であり、電極電位が異なったのは、高抵抗 Si 基板、低抵抗 Si 基板のフェルミ準位が異なるため、Al-Si 合金膜と Si 基板の界面での電子エネルギーバンドの曲がり異なったことと高抵抗 Si 基板がジンケート溶液中におけるエッチングの影響により Al-Si 合金膜と Si 基板の界面においてホールの拡散の影響を受けたものと考えられる。ジンケート表面形態は次の工程における NiP 膜の表面形態に影響をあたえることから緻密で良好な NiP 膜を得るためには、Al-Si 合金膜とその下の基板の電気特性、Al-Si 合金膜のジンケート溶液への溶解反応の違いに留意する必要がある。

謝 辞

本研究は文科省のカスタムナノ造形・デバイス評価支援事業の協力を得て実施した。電極作製にご協力頂いた早稲田大学ナノテクノロジー研究所・加藤助手、研究の助言を頂いた Dr. Josh Ratchford、理工学術院・柳沢先生に深謝する。

(Received October 30, 2008; Accepted April 6, 2010)

文 献

- 1) A. Ikeda, T. Saeki, A. Sakamoto, Y. Sugimoto, Y. Kimiya, Y. Fukunaga, R. Hattori, H. Kuriyaki and Y. Kuroki ; *IEEE Trans. Comp. Packag. Technol.*, **30**, 494 (2007).
- 2) C. S. Chang, A. Oscilowski and R. C. Bracken ; *IEEE Circuits Devices*, **14**, 45 (1998).
- 3) D. A. Hutt, C. Q. Liu, P. P. Conway, D. C. Whalley and S. H. Mannan ; *IEEE Trans. Comp. Packag. Technol.*, **25**, 87 (2002).
- 4) K. Azumi, Y. Koyama and S. Kawashima ; *J. Surf. Finishing Soc. Jpn.*, **54**, 422 (2003) (in Japanese).
- 5) K. Azumi, T. Yugiri, M. Seo and S. Fujimoto ; *J. Electrochem. Soc.*, **148**, C433 (2001).
- 6) M. Bayes and R. House ; *Trans. Inst. Met. Finish.*, **70**, 3 (1992).
- 7) F. J. Monteiro and D. H. Ross ; *Trans. Inst. Met. Finish.*, **62**, 155 (1985).
- 8) S. Armanov, O. Steenhaut, N. Krasteva, J. Georgieva, J.-L. Delplancke, R. Winand and J. Vereecken ; *J. Electrochem. Soc.*, **143**, 3692 (1996).
- 9) Y. Tashiro, K. Chiba, Y. Hukuda, H. Nakao and H. Honma ; *J. Surf. Finish. Soc. Jpn.*, **45**, 720 (1995) (in Japanese).
- 10) K. Hatada ; *JPN. Inst. Electron. Package.*, **8**, 330 (2005) (in Japanese).
- 11) M. Saito, T. Maegawa and T. Homma ; *Electrochim. Acta*, **51**, 1017 (2005).
- 12) T. Tsunoda, T. Okabe and H. Honma ; *J. Electrochem. Soc.*, **151**, C610 (2004).
- 13) H. Seidel, L. Csepregi, A. Heuberger and H. Baumgärtel ; *J. Electrochem. Soc.*, **137**, 3626 (1990).
- 14) J. van de Ven and J. J. Kelly ; *J. Electrochem. Soc.*, **148**, G10 (2001).

1) A. Ikeda, T. Saeki, A. Sakamoto, Y. Sugimoto, Y. Kimiya, Y.