フリップチップパッケージの基本的課題と低温実装

山 中 公 博^a

^a 中京大学 工学部 電気電子工学科 (〒466-8666 愛知県名古屋市昭和区八事本町 101)

Fundamental Problems of Flip-chip Package and Low Temperature Assembly

Kimihiro YAMANAKA^a

^a Department of Electrical and Electronic Engineering, School of Engineering, Chukyo University (101, Yagoto Honmachi, Showa-ku, Nagoya-shi, Aichi 466-8666)

Keywords : Flip-chip, Low Temperature Assembly, Low Melting Point Solder, Thermal Cycle, Electromigration

1. はじめに

2006 年に Pb 含有はんだの規制が始まり、それまで電気製品に長く広く用いられてきた Sn-Pb 共晶はんだを用いることができなくなった。これに代わり、Sn-Ag-Cu 系はんだが、鉛フリーはんだとして主に用いられるようになり、現在に至っている。図 1 に、Sn-Pb 系と並べて、主な鉛フリーはんだの融点(液相線)を示す。Sn-Ag-Cu 系はんだの融点は、Sn-Pb 共晶はんだより 30℃以上高い、217 から 227℃である。すなわち、はんだの鉛フリー化は、融点が高いはんだを用いることから始まったと言えよう。

21 世紀になろうとする頃から、エレクトロニクス製品に対しても、環境負荷を低減する環境調和型技術の重要性が認識されてきた。エレクトロニクス実装技術においては、省エネルギー化と CO₂ 排出の抑制が重要な課題になっている¹⁾。これらの実現には、実装温度の低温化が有効であることは論を待たない^{1)~4)}。たとえば、Sn-Bi 系はんだを用いて、リフロー温度を 50～70℃低下させると消費電力を 30～40% 低減できる⁵⁾、また、最近では、CO₂ 排出量を最大 35% 低減することができる⁶⁾など報告がある。

さて、このような状況の中でも、エレクトロニクス製品の高密度・高機能化へのあくなき要求はとどまることを知らない。このような要求を実現するためにも、半導体パッケージの薄型化、はんだ接合部の高密度化(微細化)が着々と進んでいる。本論文では、フリップチップパッケージに焦点を絞り、この技術の本質的で基本的な課題について、歴史を振り返りながら解説する。そして、今後の製品要求を考慮しながら、低温実装技術の重要性と課題について解説する。

2. 低融点はんだ

はんだ付とは、「450℃未満の低い融点をもつはんだを用いて母材をできるだけ溶解しないで行う接合方法。ソルダリングともいう。」と JIS Z 3001-3 に定義されている。このように、はんだとは、融点が 450℃以下の材料を示す。

ところで、一方、話題の低融点はんだは、定義があいまいであろう。鉛フリーはんだが出現するまでは、融点が 183℃(Sn-Pb 共晶はんだ)以下のはんだを示すことが多かった。しかし、鉛フリーはんだの時代になり、Sn-Ag-Cu 系はんだの融点以下を示すようになった。厳密な定義ではないあろうが、この定義に従うと、図 1 に示すはんだの中で、低融点はんだは、Sn-In (In 単体を含む)系、Sn-Bi 系、Sn-Zn 系となる。なお、最も低い融点でも、Sn-52In の 120℃であることに注意する。

3. フリップチップパッケージの歴史と基本的課題

図 2 に、代表的なワイヤボンダ接合とフリップチップ接合の断面写真を示す。フリップチップ接合の歴史は長く、50 年を超える。ワイヤボンダ接合に比較して、接合部距離が短いため電気性能がよい、接合点数が少ないため接合部信頼性がよい、半導体デバイスの背面から直接冷却できるため冷却性能がよい、などの格段に優れた性能があり、1960 年代から今日まで、高性能コンピュータなどに適用されている^{7),8)}。

3. 1 初期のフリップチップパッケージ

図 3 に、初期の頃の代表的なフリップチップ接合を用いた半導体パッケージの断面構造を示す。この半導体パッケージ

図 1 はんだ材料と融点：低融点とは SnAgCu 系はんだの融点以下を示す。

(a) ワイヤボンド

(b) フリップチップ

図2 ワイヤボンド接合とフリップチップ接合の断面写真

図3 初期のフリップチップ接合の断面図：温度変化に応じて、半導体とパッケージ基板はそれぞれの熱膨張係数にしたがって伸縮する。

は、接合材料に融点が300℃を超えるPbリッチはんだを使用し、Si半導体デバイスをセラミック基板にフリップチップ搭載する構造であった⁷⁾。

図4に、半導体動作時ののはんだ接合部の拡大断面図を示す。半導体の動作に伴い、半導体パッケージは高温になる。Si半導体デバイスとセラミック基板は熱膨張係数が異なるため、それぞれの横方向の伸びに違いが発生する。この伸びの差は、はんだ接合部に発生するひずみが吸収することになる。なお、半導体デバイスの中心の真下のはんだ接合部には、横方向のひずみは発生せず、中心から離れるほど、大きなひずみが発生する。このため、最大ひずみを制限するために、半導体デバイスの大きさ、あるいは、半導体デバイス上のはんだ接合部の配置が制限される⁷⁾。

この構造では、はんだ接合部が最も柔らかく、はんだ接合部にひずみが集中する。そのため、半導体動作の温度変化に起因して、はんだ接合部が最初に熱疲労破壊する。この寿命を温度サイクル寿命と言う。すなわち、はんだ接合部の信頼性が、半導体パッケージ全体の信頼性を決める。このような

図4 はんだ接合部のひずみ：温度変化時の「半導体とパッケージ基板の伸びの差」が、柔らかい「はんだのひずみ」になる。

設計思想は、製品の信頼性を設計する上で、重要な考え方であり、現在にも受け継がれている。

さて、一般に、はんだ接合部の温度サイクル寿命は、ひずみの n 乗に反比例することが知られている⁹⁾。 n は実験で求められる値で、一般に、はんだでは $n=2$ 程度であることが知られている。すなわち、はんだ接合部の温度サイクル寿命は、ひずみの2乗に反比例する。また、微小範囲では、はんだ接合部のひずみは、温度差に比例するので、温度サイクル寿命は、温度差の2乗に反比例することに注意する。

3.2 現在のフリップチップパッケージ

1980年代には、エレクトロニクス製品に対する、いわゆる、軽薄短小と言われたダウンサイジングの要求が大きくなった。このため、1990年代には、Si半導体デバイスを、有機材料のプリント基板に搭載する形式が開発された。そして、この形式は、2000年代に携帯機器を含むエレクトロニクス製品に普及した。これは、プリント基板が、セラミック基板より、軽く、薄く、高密度でしかも安価であることなどが評価された結果である¹⁰⁾。このときの有機材料プリント基板は、高密度配線を実現するため、従来のエポキシ材料のコア基板の両面に、高密度配線が可能な薄膜配線層を積み上げた構造をしている^{7), 8), 10)}。この構造に由来して、この基板はビルドアップ基板と言われた。この名前は、現在も一般的に用いられている。

図5に、現在の代表的な半導体パッケージの断面構造を示す。半導体デバイスがビルドアップ基板にフリップチップ実装されている。1990年代のフリップチップ接合材料は、融点が183℃のSn-Pb共晶はんだであり、Pbリッチはんだに比較して、実装時のリフロー温度が大幅に低減した。これは、そもそも、有機材料基板に半導体デバイスを直接実装するため、融点の低いはんだを用いてリフロー温度を下げる必要があったことが要因である。

セラミックより熱膨張係数の高い有機材料(11～17 ppm/°C程度)を用いているため、Si半導体デバイスとパッケージ基板の熱膨張係数の差は、図3の初期の構造よりも、大きくなる。このため、フリップチップ接合部の温度サイクル寿命は、大幅に低下することが、開発初期の頃から懸念された。この対策のため、Si半導体デバイスと有機材料基板の隙間に樹脂を封入し、両者を接着する構造が開発された。この樹脂は、半導体デバイスの下に入れるので、アンダーフィルと言われる。

図6に、温度が変化した場合の、半導体パッケージの変形イメージを断面図で示す。アンダーフィルが接着剤として機能するので、パッケージ全体が変形(湾曲)する。半導体動作時のSi半導体デバイスと有機材料基板の伸びの差が、直接、

図5 現在のフリップチップ接合の断面図：半導体と基板を封止樹脂で接着した構造。

はんだ接合部のひずみに変換されることがなくなり、はんだのひずみが低減する構造とした^{7),10)}。この構造は、現在に至っても、高性能コンピュータから携帯機器まで幅広く適用され、フリップチップ接合を用いた半導体パッケージの基本構造となっている。

さて、その後、Pb含有はんだの規制が始まった2006年頃には、鉛フリーはんだであるSn-Ag-Cu系はんだを使用することが主流になった。このため、いったん下がったリフロー温度は、再び上昇することになった。

3.3 フリップチップ接合部のひずみ

Si半導体デバイスの動作時の温度は、最高で75℃程度であろう。室温25℃から75℃に昇温するとして、フリップチップ接合部の伸びを見積もる。これは、単純には、

$$(\text{半導体と基板の熱膨張係数差}) \times (\text{温度差}) \\ \times (\text{中心からの距離}) \dots\dots\dots (1)$$

で求められる。たとえば、10 mm 角のSi半導体デバイスをビルドアップ基板に搭載した場合を想定すると、約3.5 μm ($= (13 - 3 \text{ ppm}/^\circ\text{C}) \times (75 - 25^\circ\text{C}) \times (5\sqrt{2} \text{ mm})$) になる。これは、はんだ接合部の直径を100 μm とすると、3.5%ものひずみになる。なお、はんだ接合部が高いほどひずみは小さくなるなどを考慮すべきであるが、ここでは簡単のため省略した。

これは、フリップチップ接合部の微細化を進める上で、検討しなければいけない課題である。つまり、はんだ接合部の微細化が進めば、ひずみは大きくなる。たとえば、はんだ接合部の直径が半分の50 μm になれば、ひずみは2倍の7%になることに注意する。したがって、半導体と基板の熱膨張係数差を小さくする、動作時の温度を低くする、半導体デバイスサイズを小さくするなどの対策が必要になる。もちろん、封止樹脂を用いることで、ひずみは1桁以上小さくすることが期待されるが、何らかの対策が必要になる。たとえば、熱膨張係数差に焦点を当てると、パッケージ基板の熱膨張係数を半導体デバイスに合わせるように小さくすることが開発の基本方針になる。

ここで、半導体デバイスと全く同じ熱膨張係数を持った材料で、半導体パッケージをすべて構成することを想定する。こうできれば、フリップチップはんだ接合部のひずみはなくなり、温度サイクル寿命の問題はなくなる。しかし、この構造は、ボード実装までを考慮すると、実際的ではない。図7に、フリップチップ半導体パッケージをボード(プリント基板)にBGA(Ball Grid Array)実装した断面図を示す。このとき、パッケージ基板の熱膨張係数を小さくし、半導体デバイスに一致

図6 温度変化時の樹脂封止フリップチップ接合の断面図：半導体パッケージ全体が湾曲し、はんだ接合部のひずみは小さくなる。

させると、今度は、半導体パッケージとボードの間のBGAはんだ接合部の温度サイクル寿命が、顕著に悪化する。このため、結局、パッケージ基板の熱膨張係数は、半導体デバイスとボードの中間にする必要がある¹¹⁾ことに注意する。

3.4 パッケージ基板の反り

スマートフォンに代表されるモバイル機器は、多機能化、薄型化がますます加速している。この要求に対応するため、実装基板や搭載する電子部品は、高密度化、薄型化、小型化が進んでいる。実装上、特に、問題になるのは、基板の薄型化であろう。基板は薄いほど、リフロー中に大きく反る。このため、実装部品のはんだ付不良による歩留り低下などの不具合が問題になる。

基板の反り要因は、材料、サイズ、厚さ、層構成、配線、両面の材料配置の対称性などである。たとえば、基板の上面側と下面側の実効的な熱膨張係数の差を小さくするため、残銅率を両側で一致させるなど設計で工夫している。しかしながら、反りをなくす一般的な解決方法は、まだ知られていないのが現状である。

一方、リフロー温度を低下させることは、反りの低減に効果があることが知られている。たとえば、融点220℃のはんだを使用した場合と比較して、融点140℃のはんだを使用したBGAパッケージでは、反りが50%低減した⁵⁾などの報告がある。

4. フリップチップ接合の低温実装化の必要性和課題

これまで、フリップチップ接合を用いた半導体パッケージの基本的な課題を示した。ここでは、さらに、今後の技術の方向をとらえて、フリップチップ接合の低温実装化の必要性和課題について記述する。

4.1 低温実装化

エレクトロニクス製品の高性能・高機能化は終わることを知らない。高性能・高機能化を実現するため、半導体デバイスからの入出力端子数は、加速的に増加してきた。半導体デバイスを大きくし、端子数を増加することは、コスト面から現実的でなく、フリップチップ接合部の密度を上げる研究開発が進められてきた。現在の高性能品は200 μm ピッチ程度であるが、100 μm ピッチ以下の研究開発が進められている¹²⁾。

今後期待されるエッジ処理用の非ノイマン型の脳を模倣したコンピュータでは、必要とされる半導体デバイスの入出力端子(はんだ接合部)のピッチは10 μm 以下になる¹³⁾と予測

図7 半導体パッケージをボードにBGA実装した断面図：パッケージ基板の熱膨張係数を半導体に近づけるとBGAにひずみが集中する。

されている。これは、現状の 1/20 の微細化にあたり、面積では、1/400 になる。現在のフリップチップ接合構造を、このレベルに微細化しようとする、先に計算した場合と同じ条件を用いると、はんだ接合部のひずみは 70% 以上になる。これでは、温度サイクル寿命どころか、実装すらできないレベルである。

図 8 にフリップチップはんだ接合部ピッチと、そのはんだ接合部を持つ半導体デバイスをパッケージ基板に実装できるリフロー温度の関係を示す。このリフロー温度は、実装時の半導体デバイスと基板の伸びの差がはんだ接合部ピッチの 1/4 以下であることを条件とした。なお、半導体デバイスは 10 mm 角の Si (熱膨張係数は 3 ppm/°C)、パッケージ基板は有機材料基板(熱膨張係数は 8 ppm/°C)とした。このレベルになれば、基板は Si と同等の熱膨張係数を持つべきであるかもしれない。しかし、先に示したボードへの実装と、将来の IoT (Internet of Things) 機器への応用には有機材料基板が期待されている¹³⁾ことを考慮した。

たとえば、10 μm ピッチのフリップチップ実装を行うためには、リフロー温度は 100 °C 以下である必要がある。ここでは、基板の反りの影響などを考慮してないので、実際には、もっと低温の実装が必要になってくるであろう。さて、図 1 に示した鉛フリーはんだの中には、このレベルを満足する材料がない。今後、この領域の低温実装技術の研究開発が重要になってくる。

4. 2 エレクトロマイグレーション

仮に、先のような狭ピッチはんだ接合部を持つ半導体デバイスを、フリップチップ実装できたとしても、エレクトロマイグレーション(EM)が問題になってくる。EM とは、電子が配線の金属原子と衝突し、その金属原子を電子流の方向に輸送する現象である。最終的に、金属原子が減少した領域で断線し、故障となる長期信頼性問題である。この現象は、高温になるほど、高電流密度になるほど発生しやすくなることが知られている。

現在、マイクロプロセッサ用半導体デバイスや車載用パワーデバイスのはんだ接合部について、精力的に EM の研究が進められている^{14), 15), 16)}。はんだ接合部では、電子が流れ込む側(カソード側)での断線が焦点になっている。かつては、電流密度が 100 A/mm² を超える状況になれば、EM が顕著に表れると言われていたが、25 A/mm² 程度でも EM が発生す

図 8 フリップチップピッチと最高リフロー温度：狭ピッチ実装には超低温リフローが必須になる。

ることがわかってきた¹⁶⁾。さらに、先に示した 10 μm 以下ピッチのフリップチップ接合では、流れる電流が現状と同じであると想定すれば、その部分での電流密度は現状の 400 倍以上になる。このため、このような狭ピッチはんだ接合部は、EM による信頼性問題が懸念される。

4. 2. 1 エレクトロマイグレーションの原理

図 9 に EM の原理を示す。配線の中の金属原子には、外部電界が直接作用する直接力 F_d と、電子が作用する電子風力 F_w が作用する。それぞれは、電界に比例し、その比例係数を Z_w , Z_d とする。EM に起因する駆動力 F_{em} は次のように、実効電荷数 Z^* と電流密度 j に比例することがわかる¹⁷⁾。

$$F_{em} = F_w + F_d = eZ_w E + eZ_d E = eZ^* E = eZ^* \rho j \quad \cdots \cdots (2)$$

ここで、 e は電気素量、 E は電界、 $Z^* = Z_w + Z_d$ である。また、電界 E は配線の電気抵抗率 ρ と電流密度 j を用いて $E = \rho j$ となる。

なお、電子風力が直接力より大きい場合が多く、金属原子は電子流の方向に輸送される。したがって、電子が流れ込む側(カソード側)での断線が焦点になる。

4. 2. 2 はんだの EM

EM が発生する電流密度と配線長の積は、次のように材料に依存することが知られている¹⁴⁾。

$$j \Delta x = \Omega \frac{Y \Delta \epsilon}{Z^* e \rho} \quad \cdots \cdots (3)$$

ここで、 Δx はカソードとアノード間の距離である。 Ω , Y , $\Delta \epsilon$ は、それぞれ、配線材料の原子体積、ヤング率、ひずみである。

この式は、ある配線長(はんだ接合部では、はんだの高さ)が決まれば、EM が発生する電流密度は、材料に依存して決まることを示す。すなわち、配線材料のヤング率 Y が小さいほど、また、実効電荷数 Z^* が大きいほど、EM は発生しやすいことを示す。

図 10 に、様々な金属材料のヤング率と実効電荷数¹⁷⁾を示す。このグラフの右下に向かうほど、EM は発生しやすい傾向にある。はんだ材料である Sn は、配線材料の Cu や Al に比較して、EM が発生しやすい材料であると言える。このため、現在、はんだ接合部の EM の研究が盛んになっている。

ところで、Sn ベースはんだでは、種類により融点が違っても、ヤング率は室温周辺では大きくは異なる。しかしながら、一般的に、融点が低い材料は、同じ温度での拡散係数は大きい。このため、低融点のはんだほど、拡散の一種で

図 9 エレクトロマイグレーションの原理：電子が配線の金属原子に衝突し、電子流方向に輸送する。

図10 金属材料のヤング率と実効電荷数：ヤング率が小さく実効電荷数が多い材料ほどEMは発生しやすい。

あるEMは発生しやすくなると考えられるので、注意が必要である。

4. 2. 3 電極材料のEM

図11に、EM試験実施後のCu/Inはんだ接合部の断面写真を示す¹⁸⁾。試験条件は、140℃、200 A/mm²、67時間で、電子は下から上側方向に流した。はんだ材料であるInは、EM起因により、電流方向に輸送され、その結果、アノード側に金属間化合物を大きく形成させ、さらに、はんだ接合部も大きく変形させた。また、下部のカソード側の電極材料Cuも、EMにより、アノード側に輸送された。そして、Cuが消失した電極領域には、Inが侵入し、合金を形成した。また、大きなボイドが、カソード側のInとInCuの金属間化合物の界面に形成されている。これが成長し、断線故障になった。

図12に、EM試験実施後のCu/NiP/Sn-0.7Cuはんだ接合部の断面写真を示す¹⁶⁾。試験条件は、150℃、25 A/mm²、750時間で、電子は左から右側方向に流した。はんだ材料であるSnは、EM起因により、電流方向に輸送され、金属間化合物とはんだの界面にボイドを形成した。また、左側のカソードの電極材料Niが、EMにより、アノード側に輸送された結果、NiP領域の一部はPリッチ層となった。このPリッチ層は、最終的にクラックを発生し、断線の原因になった。

以上のように、単体では、SnやInよりEMは発生しにく

図11 Cu/Inはんだ接合部のエレクトロマイグレーション例：InもCuもアノード側に輸送され、大きなボイドが形成された。電極領域にはInが侵入した。(140℃、200 A/mm²、67 h)

図12 Cu/NiP/Sn-0.7Cuはんだ接合部のエレクトロマイグレーション例：SnもNiもアノード側へ輸送され、ボイドが形成された。(150℃、25 A/mm²、750 h)

いとされたCuやNiも、SnやInと同様に、EMにより、輸送された。さらに、Cu/NiP/Sn-0.7Cuの場合は、NiのEMによる輸送が、断線原因にもなった。このように、個別材料のEMの発生しやすさ(自己拡散)も重要であるが、材料相互のEM発生のしやすさ(相互拡散)を検討することが、さらに重要であることに注意する。さて、低融点ははんだ接合部は、EMが発生しやすいと懸念される。しかし、反対に、電極材料との相互反応を工夫することで、EMが発生しにくい接合部を形成することも可能になろう。今後、このような分野の研究開発が重要になってくる。

5. おわりに

フリップチップパッケージとフリップチップ接合技術の基本的な課題の解説を試みた。フリップチップ構造であるが故に、避けて通れない、開発当初からの本質的な課題を示した。さらに、今後必要とされる桁違いの高密度実装に対して、低温実装が必須になることを示した。そして、解決しないといけない課題を示した。さて、本文では触れなかったが、長期信頼性という観点では、はんだ接合部のストレスが重要になる。実装工程で、はんだ凝固点から室温までの間に、このストレスは増大していく。つまり、低融点ははんだほどストレスを低下できる。このように、低温実装技術は、どうみても、素晴らしい、魅力的な技術であろう。ぜひ、この分野での実装技術者の活躍を期待する。

(Received November 20, 2017)

文 献

- 1) 環境調和型実装技術委員会；エレクトロニクス実装学会誌, **13**, (1), 31 (2010).
- 2) 菅沼克昭；エレクトロニクス実装学会誌, **9**, (1), 134 (2006).
- 3) 菅沼克昭；エレクトロニクス実装学会誌, **6**, (5), 369 (2003).
- 4) 山中公博；スマートプロセス学会誌, **1**, (3), 114 (2012).
- 5) 作山誠樹, 赤松俊也, 岡本圭史郎；*FUJITSU*, **62**, (6), 715 (2011).
- 6) <https://www3.lenovo.com/jp/ja/news/article/2017-02-07> (accessed 11/01/17).
- 7) 塚田 裕；エレクトロニクス実装学会誌, **16**, (6), 438 (2013).
- 8) 山中公博, 塚田 裕；回路実装学会誌, **12**, (7), 477 (1997).
- 9) K. Norris, A. Lansberg；*IBM J. Res. & Dev.*, **13**, 266 (1969).
- 10) Y. Tsukada, S. Tsuchida, Y. Mashimoto；*Proc. Electron. Compon. Conf. USA*, p.22 (1992).
- 11) K. Yamanaka, K. Kobayashi, K. Hayashi, M. Fukui；*IEEE Trans.*

- Compon. Packag. Technol.*, **33**, (2), 453 (2010).
- 12) 高橋知子, 勝又章夫 ; エレクトロニクス実装学会誌, **17**, (3), 169 (2014).
- 13) Y.Orii, A.Horibe, K.Sueoka, K.Matsumoto, T. Aoki, H. Noma, S. Kohara, K. Okamoto, S. Yamamichi, K. Hosokawa, H. Mori ; Proc. 48th IMAPS USA, p.561 (2015).
- 14) K. N. Tu ; *J. Appl. Phys.*, **94**, (3), 5451 (2003).
- 15) K. Yamanaka, Y. Tsukada, K. Suganuma ; *Microelectron. Reliab.*, **47**, 1280 (2007).
- 16) T. Kadoguchi, T. Sakai, T. Sei, N. Take, K. Yamanaka, S. Nagao, K. Suganuma ; *J. Mater. Sci. : Mater. in Electron.*, **28**, (17), 12630 (2017).
- 17) H. B. Huntington ; Diffusion in solids (recent development) ed. by A. S. Nowick and J. J. Burton, p.303 (Academic press, NY. 1975).
- 18) K. Yamanaka, Y. Tsukada, K. Suganuma ; *J. Alloys Compd.*, **437**, 186 (2007).
- ~~~~~