総 説

超 LSI プロセスと表面処理技術 (前編)

堀 池 靖 浩*

Surface Finishing Technology in VLSI Processing

Yasuhiro HORIIKE*

1. は じ め に

図1は当社のDRAMとCMOSRAMの2大メモリ製品を例にした時の、年代に応じた各ビット数の展開推移と各最小パターン幅との関係を示している。約3年に4倍の割で集積度が増大し、同時に微細化が着実に進行しているのがわかる。世界が同速度で進展し、今全盛の256KDRAMは最小パターン幅が $2\mu\text{m}$ であるが、今年中に各社から $1\mu\text{m}$ 付近の1MDRAM試作が発表され、はや4Mへの技術開発へ目が向けられている。超LSIの入口製品といわれた64KDRAMの開発当初は、そのような大容量メモリは何に使われるのかという問いもあった。しかしパソコンへの適用が開発され、メモリの応用分野は拡大する一方で、Mビット容量が開発されると第五世代コンピュータの出現をも可能にするだろう。全く、超LSIに限らず、LSI、トランジスタなどの半導体デバイスは今日、産業の米としてゆるぎなき地位を確立した。

図1 ダイナミックRAMとCMOS
スタティックRAMの発展推移

*東芝総合研究所 (〒210 川崎市幸区小向東芝町1)
Toshiba Re. and Dev. Center (1 Komukai-
Toshiba-cho, Saiwai-ku, Kawasaki-shi Kanagawa
210)

一方、このめざましいICの発展の歴史を振り返って見ると、その製造プロセスは、大口径単結晶の育成、リソグラフィ技術の進歩と同時に、ガス、水も含め半導体表面の極めて微妙な特性の制御の戦いの成果であり、正に表面処理技術の開発史といえるだろう。そこで本報告では、今日から明日へ向う超LSI製造プロセスの表面処理技術を大まかに分類し、その中から最近の問題点を摘出し、それに対する技術の進歩を概説する。拙稿が本誌読者の関係分野にわずかも役立てば幸せである。

2. 超 LSI プロセスにおける 表面処理技術の種類

半導体において表面とは、ミクロ的にはシリコンなどの半導体の表面近傍から数原子層の範囲をいう。波動函数が表面で終端するために生じる表面での超格子構造や、図2に示す、金属-酸化膜-SiのMOS構造における SiO_2 -Si界面の表面準位の低減化、酸化膜中の可動イオンの振舞などの問題が現在に至る迄の半導体物理上の大きな論点である。

一方、表面という概念をマクロ的に見れば、その範囲は、表面から上、下(基板)の両方向へ数 $10\text{\AA}$ から μm オーダーの距離に拡張できると考えられる。ここで行われる表面処理は(i)表面上への堆積、(ii)表面の改質、(iii)表面からの剝離(エッチング)の3分野に分類されるだろう。表1は現在と近い将来のシリコンIC製造プロセス

表1 超 L S I 製造プロセスにおける種々の表面処理

—化学的気相成長—	・熱分解 ; SiO_2 , PSG (絶縁用), Si_3N_4 (LOCOS), Si エピタキシャル, 多結晶 Si, シリサイド, 耐熱性金属 (ゲート材料) W, Al (コンタクト)
(CVD)	
・プラズマ分解 ; SiO_2 , PSG, Si_3N_4 (パッシベーション, 層間絶縁 (重合)); PMMA (レジスト)	
(ECR 放電) ; SiO_2 (絶縁用), Si_3N_4 (X線マスク)	
・光分解 ; SiO_2 , Si_3N_4 (パッシベーション), W, Mo, Al (金属配線)	
—物理的スパッタ—	・不活性 (Ar) ; Al-Si (配線), W, Mo, シリサイド (配線, ゲート材料), エッチバック (平坦化), バイアススパッタ (平坦+層間絶縁)
・反応性 (O_2) ; SiO_2 , Al_2O_3 (層間絶縁)	
—めっき—	・Ni, Au 等 (オーム性電極, パッケージ)
—酸化, 窒化—	・熱反応 ; SiO_2 (ゲート, 絶縁用), Si_3N_4 (ゲート), ・光反応 (SiO_2)
・プラズマ陽極酸化 (絶縁用), ・プラズマ反応 Si_3N_4 (ゲート), ・陽極化成 Al_2O_3 (絶縁)	
—不純物添加—	・熱拡散, ・イオン注入 ; P, As, B, Ga 等 (接合形成), ・光ドーピング (同上), ・集束イオンビーム (同上)
—アニール—	・レーザ, EB, 赤外線, ヒータ ; (低温活性化, SOI 形成)
—固相成長—	・シリサイド形成 ; (浅い接合), ・アモルファス化 ; (SOS 結晶性改善)
—ゲッタリング—	・外的 ; 歪導入, PSG, 真性 ; 微少欠陥生成 (OSF 除去, 寿命向上)
—表面洗浄—	・溶液前処理 (ウェハ洗浄), ・研磨 (欠陥層除去), ・ドライ洗浄
—加工—	・溶液法 ; Si (異方性加工), ・プラズマ ; 多結晶 Si, Si_3N_4 (等方性加工)
・反応性イオン ; Si, 多結晶 Si, Si_3N_4 , Al, SiO_2 , レジスト (異方性加工)	
・光励起 ; 多結晶 Si (レジストレス), ・集束イオンビーム (マスキングレス)

堆積

改質

エッチング

図3 hot wall 型プラズマ CVD 装置 (ASM 社)

図4 表面保護膜の区分および問題点²⁾

スで用いられる種々の表面処理技術を上記3分野に分類してみたものである。偏見や抜け落ちにはご容赦願いたい。もちろん、現在の技術はこれのように単純に分けられるものではなく、相互に密接に関連した複合プロセスである。それゆえ、あるプロセスを開発するにしても、使う技術そして熱や照射損傷などの及ぼす影響を総合して考慮していかなければならない。

3. 超 LSI プロセスの最近の問題点とその克服技術

3-1 堆積技術

3-1-1 熱分解、プラズマ分解 CVD

CVD (化学的気相成長) 技術は、 SiH_4 や SiH_2Cl_2 などのガスを熱分解して、低温 (数百 $^{\circ}\text{C}$) では MOS のゲート電極材料として重要な多結晶シリコンを、高温 (1200 $^{\circ}\text{C}$) ではエピタキシャルを堆積する。 O_2 や NH_3 を添加すると SiO_2 や Si_3N_4 を生じ、おのおの層間絶縁膜や選択酸化膜に用いられる。リンを添加した PSG 膜は 300 $^{\circ}\text{C}$ の低温で堆積し、素子のパシベーション膜として用いられる¹⁾。このように CVD 技術の発展が今日のデバイスの盛隆の一翼を担っている。

従来は常圧で行われてきたが、最近、数 Torr の減圧で堆積する方法へ移行している。特に熱分解の他に、平行平板に高周波を印加して生じるグロー放電で、電子衝撃によるガス解離で、さらに低温 (300 $^{\circ}\text{C}$) で堆積するプラズマ CVD が盛んになった。 $\text{SiH}_4 + \text{NH}_3$ プラズマで Si_3N_4 膜が低温で堆積され、この膜が耐湿、耐アルカリ性などの特長を有することから Al 配線上のパシベーション膜として広く使われている。量産性を考え図3に示す hot wall の石英管の中に炭素板電極を入れ、そこにウエハを密着して堆積する装置が普及している。

しかしデバイスが進展するにつれ、たとえばこれらの成膜を2層配線に適用した時、図4に示すような問題点

を生じてくる²⁾。特にプラズマ Si_3N_4 膜には十数%の水素を含み、これがホットキャリア問題³⁾や、プラズマ中の堆積によるチャージアップ現象などを生じ、楽観できない。一方、減圧 CVD 法はポンプと油の劣化を招き、その処置に苦慮され、また盛んに用いられる SiH_4 は可燃性であり、その化学は十分に理解されてなく、早急な安全性確立が望まれる。

上記のような問題解決への努力と同時に6インチへと拡大するウエハへの均一な堆積、量産性の高い装置開発が積極的に進められている。最近では、ウエハポートが反応管をこすることによって生じるゴミ防止のためのソフトランディングの他ウエハの自動装着などが開発されている。前記のゴミ発生と炉の占有面積の低下のため、Helmut-Seier 社は反応炉を縦型にする装置が発表した(図5)。つまりウエハポートは上から吊り下げるのでポートと反応管壁は非接触であり、ウエハを回転することでもでき均一性が望める。一方、Anicon 社から発表された、図6に示すような装置がある。炉が球体で、外部から等温的に加熱する構造になっているため、ウエハが均一に加熱され、同時に反応性ガスが均一にウエハに供給されるため、均一性が優れている。

話は変り、256KDRAM は Mo や W, Ta などの耐熱性金属と Si との化合物 (シリサイド) をゲート材料として用いている。従来の多結晶 Si に比べ1桁程度低抵抗であり、folded bit line 方式でワード線に使用されるからである。これは通常スパッタで堆積され、(1)耐熱性金属と Si のおのおのの粉のホットプレス板、(2)耐熱性金属と Si の各材料を並べる、(3)耐熱性金属片と Si 片をモザイク状に組み合わせたなどの各ターゲットを用いている。たとえば、Mo と Si のストイキオメトリは MoSi_2 であるが、これは内部応力が大きく割れやすい。そこで下に多結晶シリコンを敷いた構造 (ポリサイド) を採用し

図5 縦型拡散炉の原理図

ている。Ti や Ta のシリサイドも用いられているが、ポリシリコンゲートプロセスと互換性では Mo シリサイドが優れている。Mo の純度の問題もあるが一応使えるようだ⁴⁾。この物理的堆積に対し、Genus 社は W シリサイド CVD 装置を開発した。これは Cold Wall 型で、ウェハ加熱は 8 面体のサセプタ内部の赤外線ランプで行う。WF₆ と SiH₄ を大流量に流し、WSi_x の x 値を 2.2~2.8 に制御可能にした。金属堆積はガス源の方が純化しやすく、また CVD なので段差被覆も改善され、次世代 CVD 法として期待される。

3-1-2 金属 CVD

図 1 に示したデバイスの高密度化、微細化はデバイス寸法が縦、横ともに比例的に縮小された結果達成される。しかしゲート酸化膜や接合深さはどんどん薄くなるが、フィールド酸化膜のように厚さは余り減らない場合もある。一方、微細化のためコンタクトホールなどは後述の反応性イオンエッチング(RIE)で形成され、垂直な壁を持った形状となる。しかし図 7(a)に示すように、そこへ Al を蒸着すると、段差被覆度が悪く、断線の原因となる。そこで今 2 つの技術が注目されている。そのひとつは W を Si 上に選択的に堆積する方法である。そうすると図 7(b)に示すように SiO₂ の微細孔が W で埋められるので、平坦な面で Al の配線が可能になる。

他に直接 Al を CVD する方法がある。AlCVD ソース

図6 等温球体加熱形 CVD 装置 (Anicon 社)

は Al(CH₃)₃ などを用いたが、従来 CVD されても粒界が大きく使用に耐えなかった。ところが、イソブチルアルミを用い、低圧下でまず単層の Ti を堆積した後、それを核として Al の粒界生長を抑えた結果 AlCVD に成功した⁸⁾。

しかし、金属 CVD は極力酸素の混入を抑えるため、超高真空並の厳重な装置になる。他にプラズマ CVD 法も報告されている⁹⁾。

図 8 は SiO₂ 段差へ Al を堆積した例である。W も含めこれらの堆積は温度のみに依存する反応律速で行われ、それ故均一な温度下では急峻な所でも均一に堆積する。しかし実用には多大の努力が必要と思われる。この W 選択堆積はまず WF₆ の SiF₄ として F の除去と同時に H₂ 添加による HF としての除去と微妙な温度制御によって実現することができる。この技術を用いて 3 層レベルの 1 μm パターンの W 配線が実現されている。しかし、現実とはすれば SiO₂ 上にも W が堆積し始め、選択堆積の再現性は今後の課題で、表面の反応素過程の研究が必要である。

3-1-3 バイマックスパッタ堆積

前述の技術と平行して、上層の配線の断線を防ぐために、下層の配線上の絶縁膜を平坦化する研究が行われている。図 9 はエッチバック方法として知られる技術で¹⁰⁾

図7 従来法、W 選択堆積による新平坦化法による Al 配線の比較⁷⁾

(a) 従来の Al 配線
(b) W 選択堆積平坦化による Al 配線

図8 AICVD 写真 (ASM 社)⁸⁾

図10 バイアススパッタによる平坦化プロセス¹²⁾
(SiO_2 ターゲット電位; -1.1 kV ,
基板電位; 80 V)

まず段差のあるパターンへCVDした絶縁膜上へ光レジストのような有機物を塗布する。次に温度を上げると有機物表面は溶けて滑らかな面を作る。そこでこの有機物と下の絶縁膜のエッチング速度が同じ反応性イオンを選び、上からエッチングしていき、有機物を全部除去すると絶縁膜は平坦化される¹⁰⁾。

しかし、Al電極が $1\mu\text{m}$ 高さで、 $1\mu\text{m}$ 以下の幅になって来ると、有機物が入り込まなくなり、この方法は使え

図9 エッチバックプロセス¹⁰⁾

なくなる。そこでバイアススパッタが再登場した¹¹⁾。原理は、平行平板型電極の一方に SiO_2 のターゲットを設け、他方にウエハを置き、高周波電力を分割して印加する。 Ar ガスを入れるとプラズマが生じ、その中の Ar^+ イオンが、各電極上で生じた負バイアス電圧で加速され衝撃する。その際、 SiO_2 をスパッタして、ウエハに堆積すると同時に、 Ar^+ イオンがウエハ上にも衝撃する。すると図10に示すように¹²⁾、平坦な部分の堆積に対し、側壁は斜面状に堆積する。一般に物理的スパッタでは「玉つき」の原理で斜めに当たった方がはじき飛ばす速度が早い。そのため、平坦部は余りエッチングされず単調に堆積して行くが、側面は両側からスパッタが進行し、結局Al電極間は SiO_2 で埋められると同時に、上部にも平坦に堆積する。この角度依存性を巧みに用いた2段階スパッタ法も報告されている¹³⁾。しかし荷電粒子による膜中へトラップなどの損傷を生じ、電気的不安定性を招き、これも今後の研究を要す。

3-1-4 ECRプラズマ堆積

CVD膜をさらに低温化する方法として、電子サイクロトロン共鳴(ECR)法が研究されている¹⁴⁾。図1に示すのがこの装置の概略である。2.45GHzのマイクロ波を導入すると、875 Gaussの磁場で電子のサイクロトロン運動とマイクロ波とが共鳴現象を起し、電子のガスへの衝突で放電を促進する。この特長は 10^{-4} Torr 以下でも放電を可能にし、従って SiH_4 を分解しても水素を膜中に取り込まず、図中のプラズマ波の押し出しと逆の方向へ電子が戻る現象でより解離が進むなどの点から膜質が従来のプラズマCVDと較べて向上する。例としては Si_3N_4 の場合、常温で堆積したのもでも 800°C での熱分解膜と同特性を示し、また SiO_2 の場合、Si上へ堆積して $10^{10}/\text{eV}\cdot\text{cm}^2$ 程度の良好な表面準位を得ている。実例はまだ少いが、発展の可能性はあると考えられる。

3-1-5 光CVD

光エネルギー使用のガス分解による堆積が盛んに研究されている。光源として可変波長 CO_2 レーザによる SiH_4 などの振動励起分解⁵⁾や、 Ar レーザなどによる熱

図11 ECRプラズマCVD装置¹⁴⁾

解離¹⁶⁾の他に、数 eV の光エネルギーにより直接、分子を電子励起し、解離する方法がある。光源として、古くからある Hg ランプ、TEA CO₂ レーザの多光子過程、エキシマなどの短波長レーザがある。

まず Hg ランプ励起としては、通常ガス中に Hg を添加する。Hg の 2537Å の光が Hg を励起して、この励起 Hg とガスとの衝突でガスを解離する。表 2 に SiH₄ に O₂ を入れて SiO₂ を生成する過程を示した。この膜中には Hg がわずかに混入する。そこで Hg が無くても 1849Å の光で SiH₄ などを直接解離できるが反応は高くない¹⁷⁾。この点が今後の問題となる。プラズマ CVD より低温で堆積でき、段差被覆も良好で、特に段差部の膜質はプラズマ法の粗い構造と較べ密で有望である。しかしやはり水素の混入は多い。

紫外レーザを用いた堆積は多例あるが主なものを次に示す。Al(CH₃)₃ や Cd(CH₃)₂ などのアルキル金属は 200 nm 付近に吸収ピークがあり、260nm 以下なら吸収がある。そこで Ar レーザの第 2 高調波 (257nm) や ArF エキシマレーザ (193nm) を照射して Al や Cd を堆積させた¹⁸⁾。後者のパルスに対し、前者は CW であり、ビームを絞り基板上に一筆書きのように堆積する直接描画する方法が示された。W や Fe のカルボニル金属も同様に堆積されている¹⁹⁾。この技術は、ゲート膜付きのトランジスタのゲート膜上に Cd を直描して、相互コンダクタンスを変えたり²⁰⁾、金属マスクの補修などに応用された²¹⁾。

これらの研究過程で次の興味ある結果が得られた。図 12 に示すように、有機金属化合物をいったんセルに入れた後排気すると、一原子層の物理吸着した分子層が基板表面に残る。次に紫外レーザを絞って照射し、分解させる。再びガスを入れて、前より低いエネルギー密度で照射すると、最初に照射した部分だけ選択的に堆積する。

図12 固体/ガス界面におけるレーザ励起反応²²⁾

表 2 水銀ラレー光励起堆積プロセス

(1) 水銀増感法

(2) 直接光解離

図13 MMA の紫外光レーザによる重合(PMMA)²³⁾

これは光分解が界面で行われ、始めの強い照射で前期核生成が起ったためである。形状は垂直に近く、反応過程が精力的に研究されている²²⁾。他に、図13に示すように堆積ではないが、MMA(メタメチルアクリレート)に Ar レーザ(257nm)を集束して照射して光重合させ PMMA を形成し、これをマスクに RIE で下地基板の微細加工を達成した興味深い例もある²³⁾。

一方、上述の直描プロセスに対し、基板面内で均一に堆積する方法として、図14に示すように、KrF(248nm)や ArF のシートレーザ光を基板傍傍に平行に照射して気相で分解したものを、加熱して基板上へ堆積する。SiH₄+N₂O で SiO₂ が均一に、段差被覆よく堆積されたが、SiH₄ はこのエネルギーでは吸収がなく、N₂O の光解離で生じた O(¹D) と SiH₄ その反応で生じた²⁴⁾。同方法で Al や Al₂O₃ も均一に堆積された²⁵⁾。図15に示すシステムは実現されているかどうか不明であるが²⁶⁾、Ar ガス放電で Ar の共鳴線 (10.6, 10.8 eV) からのインコヒーレント光をマスクに照射し、透過光が Al(CH₃)₃ 等を直接分解してウエハ上に Al パターンを堆積するもの

図14 エキシマレーザのシートビームによるガスの気相中解離で行う均一堆積法^{24),25)}

図15 遠紫外光利用メタルCVD法の概略図²⁶⁾

図16 比較的悪い品質の酸化膜の典型的耐圧ヒストグラム

図17 ウエハの洗浄前処理変化(Aモード)、熱処理変化(Bモード)に対する酸化膜厚-不良率特性³²⁾

で、レジストレスプロセスとして興味深い。このように光励起プロセスは、低温、直描など従来にない可能性を提供するが、今後の発展のためには、後述するように、数々の難問を解決しなければならない。

3-2 表面の改質

3-2-1 ゲート絶縁膜形成

前章、2節に述べたように、MOS デバイスの高密度化と共にゲート絶縁膜は単純に薄くなっていく。今まではSiの熱酸化膜が主に用いられ、SiO₂換算で64KD RAMでは400Å、256Kで250Å、1Mで150Å程度である。印加電圧に対し絶縁破壊が起らないことが一番重要であり、一義的には膜が厚い方が耐圧性が優れていると思われていた。それゆえ、同容量では誘電率の高い材質を用いると、膜を厚くできるため、最近ではSiO₂の誘電率より2倍高い窒化膜が検討され、SiやSiO₂のプラズマ窒化などが研究されている²⁷⁾。しかし膜質に未だ問題が多く、最近のDRAMはSiO₂上にSi₃N₄を堆積し、これを酸化した三層構造を用いている²⁸⁾。この場合のSi₃N₄は上述の目的と、その上の多結晶Siなどのゲート材料からの汚染防止の役目を果たしている。

さて、SiO₂膜質の完成度を簡単なたとえで示す。1M DRAMの1メモセルの面積を後楽園に直すと、その中に仁丹の粒を敷きつめ、1個の抜けもない程度のことをいう。最近このSiO₂の耐圧機構の解明とその改善の

研究が進んでいる^{29),30)}。図16に比較的品質の悪い酸化膜の典型的な耐圧ヒストグラムを示す。1MV/cm以下、1~8MV/cm、8MV/cm以上の各印加電圧で破壊するモードを各々、A、B、Cモードと呼び、CモードはSiO₂の真性破壊電界である。図17はSiを1000°CでO₂中で酸化し、酸化膜を変えた時のA、Bモードの種々の処理のパラメータに対する各モードの耐圧不良率を示す³¹⁾。一般的傾向として膜厚の増加とともにAモード不良は減少し、逆にBモード不良が増加する。Aモードは、水、薬品、ダストなどの環境のグレードがクラス10,000(c)からクラス100(b)へ、さらに改善した場合(a)に応じて飛躍的に不良率が減少する。不良率は正に表面処理の向上によって減少する³²⁾。このことからAモード不良の主な原因は表面汚染にあり、これには一般に、バクテリア、微粒子、重金属、有機物、油脂などがある。一方Bモードは、酸化前に、熱処理無しの生ウエハ(a)に対し、1000°C b, 1100°C cと熱処理をした場合、不良率は減少して行く。これから、Bモードの主な原因はSi基板にあると考えられる。一般にCZ-Siは結晶中に酸素を10¹⁸/cm³以上も含み、この不良はSi表面近傍に存在する酸素析出などを核として析出した重金属が酸化膜中に取り込まれたことから生じ、高温前熱処理は、Si基板中の過飽和酸素の外方拡散に伴う核の消滅に対し効果があると考え

図18 Ta₂O₅/Si 界面酸化法の模式図

られる。この効果をさらに推進したものは後述のイントリンシック・ゲッタリング(I・G)であろう。Bモードに関しては、酸化膜に始めから穴があいている所へ評価時に多結晶Siがそこに入り短絡させるという説もある³⁸⁾。

以上からA、B不良率は150Å付近が最小になっており、前処理のグレード向上でさらに薄い、無欠陥の酸化膜の生成が可能であることがわかり、将来のVLSIにとっては朗報である³⁹⁾。以上はSi-O₂系の酸化であるが、薄い酸化膜生成の速度制御のため、O₂をN₂で希釈して行われている³⁴⁾。また将来ゲート電極としてWやMoの耐熱性金属を用いる時、高温下でSiO₂と反応するので、SiO₂の表面をNH₃高温アニールで窒化して、金属との反応を抑えることも試みられている³⁵⁾。

しかし、生産現場では常に高純度の清浄を得ることはやさしくなく、薄膜化で高歩留りを得ることは実際には難しい。一方、容量 $\propto$ 誘電率 $\times$ 面積/間隔なので、容量の増大には、(1)前述の高誘電率材料の使用、(2)面積の拡大がある。(1)の材料としてTa₂O₅が挙げられる。それ自体は半導体であり、電気的に不安定であった。しかし、最近Ta₂O₅/Siの構造で、ウェットO₂酸化を行った所、図18に示すように酸素がTa₂O₅中を拡散し、その界面にSi酸化膜が生長し、安定なゲート絶縁膜として使用できることが報告された³⁶⁾。(2)に対しては、図19に示すように、SiをRIEして、深い溝を掘って、これを酸化、窒化なりして、その中を多結晶Siで埋める方法が開発され、溝掘りキャパシタと呼ばれている³⁷⁾。この方法で10倍近く容量が増え、デバイス設計上随分楽になる。ただし、平坦面でも難しい酸化膜形成を、イオン衝撃を受け、しかも角のついたSi上に、何百万個を無欠陥に形成可能かに対しては疑問があるが、予想外に歩留りが良いとも聞いている。先に述べた薄い膜、そして前述の(1)、(2)のどの方向へ行くかはさだかでなく、さらに精力的な研究を要す。

3-2-2 清浄とゲッタリング技術

LSIの歩留りは各種プロセスの難易の他にラインの清浄度によって大きく左右される。LSI工程中ウェハを汚染する要因は、水、薬品、ガス中の微粒子の他、製造装置からの塵埃、レジストのカケラ、人間からの塵埃(化

図19 溝掘り容量を伴ったMビット級DRAMのメモセルの断面図³⁷⁾

粧やタバコ煙)など数多くある。図1に示した最小パターン幅の減少と共に、粒子の最小寸法径も減少し、1 μ mパターンの1Mビットではその1/10の0.1 μ m(クラス1相当、粒径0.5 μ m以上の塵埃総数がft³当り100以下のものをクラス100といい、クラス1や10は正式に規定されてない)の塵埃を対象としなければならない³⁸⁾。最近HEPAフィルタが改善され、清浄空間が得られるようになってきたが、今度は測定が難しい。さらに建設費は高価で、ベイ方式などの局所クリーンルーム化が必要で、設備装置も小型化並びに使用部分のみの清浄化の上に、本質的に自動化、無人化を推進しなければならない³⁹⁾。なぜなら人間が最大の塵埃源だからである。

しかしいくら努力してもある程度の汚染は避けられない。そこでプロセス中の汚染をウェハ中に吸収することが必要で、これをゲッタリング技術という。半導体のキャリアの寿命を短くする重金属除去が重要で、これは結晶欠陥へ集りやすい。そこでウェハのたとえば裏面に故意に機械歪を生じる方法がある。それには、裏面に(1)研磨材による歪⁴⁰⁾、レーザー照射歪⁴¹⁾、(3)イオン注入欠陥⁴²⁾、(4)Si₃N₄⁴³⁾堆積による歪などを導入する。古くから今も使われているリン添加ガラス(PSG)はSiとの分配函数の差で重金属をよくゲッタする⁴⁴⁾。

前記はexternalゲッタリングと呼ばれるが、それに対し、ウェハ内部にゲッタ源があるのをintrinsicゲッタリング(I・G)と呼ぶ^{45)、46)}。I・Gはウェハ断面が図20の右端に示す構造を作ることによって行える。前節で述べたように、酸素を多量に含むCZ-Siウェハは、まず非酸化性雰囲気アニールして、表面の領域の酸素を外方拡散させ、この濃度を熱処理によっても酸素が析出して欠陥を発生しない程度に下げてやる。この領域を“denuded(DN)zone”と呼び、約10 μ mぐらいに及び、無欠陥で、有害不純物濃度も低くライフタイムも長い。次に、欠陥の発生しやすい熱処理を行なうと、酸素濃度の高いウェハ内部のみに高密度の微小欠陥(析出物、転位、積層欠陥)を発生させる。ウェハプロセスへ出発後、この領域がゲッタ源となって付着不純物をここへ取り込んでいく。現在各種のI・G形成方法が報告され、表面の低酸素濃度領域と内部の欠陥領域を同時形成したり、順序を逆にしたりして行っている。I・Gを再現

図20 種々のゲッタリング技術^{40)~46)}

図22 浅い接合に対するAlつき抜け防止用の種々の対策

- (a) Al-Si⁴⁹⁾ (b) 多結晶 Si 敷き⁵⁰⁾
(c) シリサイド敷き⁵¹⁾ (d) バリヤ金属敷き⁵²⁾

性よく行うには、酸素濃度の均一分布、最適熱履歴などの制御が必要であり、各種用途別にウエハジデインが要求される。

3-2-3 浅い接合形成技術

ゲート長の縮小によって生じる短チャンネル効果を防ぐ方法の1つとして、ソース・ドレインの接合深さを浅くし横方向拡散を抑える。1 Mビット付近ではnチャンネルで0.2 μm前後、pチャンネルで0.3 μm前後である。これらの形成には当然イオン注入法が用いられ、以前の熱拡散に代って既に久しい。現在のイオン注入の加速電圧は約30 kV以上である。注入後の不純物の活性化のため通常900℃以上の熱処理を行う。n⁺の形成には質量が大きく、拡散係数の小さいAsが用いられ、0.2 μm層の形成に充分である。しかしp⁺の形成にはBを用いると質量が小さいため、従来の加速電圧では深く入り過ぎる。そこで、更に低い加速電圧で注入するか、BF₂⁺のような大きな質量にして注入するかが考えられる⁴⁷⁾。同時に活性化熱処理に工夫をする。例えば図21に示した、赤外線ランプ照射で短時間にウエハ温度を上昇させてアニールする方法が開発されている。この種のアニールとしてレーザー・アニールや加熱した炭素板へ置く方法などがある⁴⁸⁾。これらによりイオン注入時の不純物分布を保ちながら活性化されている。しかし従来の炉による熱処理に取って代るには汚染や欠陥の回復など色々問題も残っている⁴⁷⁾。

浅い接合形成を果したら、その上に低い抵抗の金属接

図21 赤外線ランプアニール装置⁴⁸⁾ 図23 ITM法による浅い接合形成のプロセス工程⁵³⁾

触が必要であるが、熱処理後、金属、特にAlの接合層のつき抜けが起る。これに対し図22に示すような種々の対策がある。(1) Alへ溶けるSiを抑えるため、Al-Si⁴⁹⁾やSi上に多結晶Siを敷いたりする(b)⁵⁰⁾、(2) 接合上の白金シリサイドのような金属シリサイドを設けたり(c)⁵¹⁾、(3) AlとSi間にお互いに反応しない金属を設けたりし(d)⁵²⁾、バリヤとして働かせる。(3)に対し3-1-2で述べたW選択CVDがある。また注目すべき方法として次のITM(implantation through metal)がある⁵³⁾。図23に示すように、まずソース、ドレイン、ゲートを通常の方法で形成した後、Moを全面に蒸着する。次に、Mo/Si界面に到達するような加速エネルギーで不純物イオンやSiイオンを注入すると、界面でイオン・ミキシングが生じ、比較的低温(550℃)で良好なMoシリサイドを露出したSi領域だけに形成できる。残ったSiO₂上のMoをエッチングすることによって、ソース、ドレインおよびゲート領域の抵抗を下げるができる。

浅い接合に対しては将来、光ドーピング方法は有力な手段になるだろう。例えばBCl₃ガスをSiに吸着させる。次にArF(193nm)エキシマレーザーを照射して光分解させ、Bを生じ、同時にレーザーによりSi表面を加熱して溶解し、Bを拡散させる。その際、短波長光照射なので、Siへの吸収は表面に限られ、図24に示すような浅い拡散が可能になる⁵⁴⁾。BCl₃の他に、Al(CH₃)₃、B(CH₃)₃、BBr₃、PCl₃などからAl、B、Pのドーピングができる。これらのガスは193nm照射に対し強い吸収を示し、光分解する。ドーパントの吸着量の制御が今後の課題である。他の応用としてSiではないが、InPへのCdやZnの添加によるオーム性接触⁵⁵⁾や、GaAsへH₂Sの分解によるSの添加で太陽電池の作製例がある⁵⁶⁾。

図24 SiへのBの光ドーピング後の
Bの深さ方向分布⁵⁴⁾

文 献

- 1) たとえば, 前田和夫; 「半導体研究17」(西沢潤一編, 工業調査会) p.131 (1981)
- 2) 吉見武夫; 第18回半導体専門講習会, 131 (1980)
- 3) R.B. Fair and R.C. Sun; IEEE, ED-28, 1, 83 (1981)
- 4) 例えば, 山田啓作「Semiconductor Word」2, p. 49 (1984)
- 5) J. Fair, D.Brors, and K.Moning; SEMI Technol. Symp. Dec, 6-19 (1983)
- 6) P. Gargini and I. Beinglass; IEDM Tech. Dig. 647 (1981)
- 7) T. Moriya, K. Yamada, T. Shibata, H. Iizaka, and M. Kashiwaki, IEDM Tech. Dig. 96 (1983)
- 8) M.J. Cook, R.A. Heinecke, R.C. Stern, J.W.C. Maes; Sol. St. Technol (日本語版), 12, 48 (1982)
- 9) T. Ito, T. Sugii, and T. Nakamura; Digest of Tech. Papers. Symp. VLSI Technology, 20 (1982)
- 10) A.C.Adams and C.D. Capio; J. Electrochem. Soc. 128, 423 (1981)
- 11) C.Y. Ting, V.J. Vivalda, and H.G. Schaefer; J. Vac. Sci. Technol. 15 (3), 1105 (1978)
- 12) 田中良一, 守屋彦彦, 柏木正弘; 「第44回応物学会講演予稿集」427 (1983)
- 13) M. Morimoto, T. Mogami, H. Okabayashi, and E. Nagasawa; Digest of Tech. Papers Symp. VLSI Technology, 100 (1983)
- 14) 松尾誠太郎; 応用物理 5/, 117 (1983)
- 15) T.F. Deutsch; J. Chem. Phys. 70, 187 (1979)
- 16) D.J. Ehrlich, R.M.Osgood, Jr., and T.F. Deutsh; Appl. Phys. Lett, 39, 957 (1981)
- 17) R.F. Sarkozy; Digest of Tech. Papers Symp. on VLSI Technology, 68 (1981). Y. Mishima, Y. Ashida, M. Hirose, and Y. Osaka; Extended Abstract of the 15th Conf. on Sol. St. Devices and Materials.
- 18) T.F. Deutsch, D.J. Ehrlich, and R.M. Osgood, Jr; Appl. Phys. Lett, 35, 175 (1979)
- 19) R. Solanki, P.K. Boyer, J.E. Mahan, and G.J. Collins; Appl. Phys. Lett, 38, 399 (1981)
- 20) J.Y. Tsao, D.J. Ehrlich, and D.J. Silversmith; IEEE, EDL-3, 6, 164 (1982)
- 21) D.J. Ehrlich, R.M. Osgood, Jr., D.J. Silversmith, and T.F. Deutsch; IEEE EDL-1 101 (1980)
- 22) D.J. Ehrlich and R.M. Osgood, Jr; Chem. Phys. 79, 381 (1981)
- 23) J.Y. Tsao, and D.J. Ehrlich; Appl. Phys. Lett, 42, 559 (1983)
- 24) R.K. Boyer, G.A. Roche, W.H. Ritchie, and G.J. Collins; Appl. Phys. Lett. 40 (8), 15, 716 (1982)
- 25) R. Solanki, W.H. Ritchie, and G.J. Collins; Appl. Phys. Lett. 43 (5), 1, 454 (1983)
- 26) A.R. Calloway; J. Vac. Sci. Technol. 1153
- 27) 伊藤隆司; 「半導体研究19」(西沢潤一編, 工業調査会, p.195 (1982)
- 28) 例えば, 石川 元, 伊藤隆司「マイクロデバイス」(別冊日経エレクトロニクス) p.112 (1983)
- 29) C.M. Osburn and D.W.Ormond; J. Electrochem. Soc., 119, 597 (1972)
- 30) M. Itsumi and F. Kiyosumi; Appl. Phys. Lett, 40, 496 (1982)
- 31) 山部紀久夫, 谷口研二, 松下嘉明; 「半トラ委員会」SSD82-103, 79 (1982)
- 32) K.D. Beyer and R.H. Kastl; J. E. Electrochem. 129, 1027 (1982)
- 33) Y. Hokari, T. Baba, and N. Kawamura; Tech Digest of IEDM, 46 (1982)
- 34) Y. Kamigaki and Y. Itoh; J. Appl. Phys. 48, 2891 (1977)
- 35) 白木 勝, 井上信市, 豊蔵信夫; 「第42回応物学会講演予稿集」549 (1981)
- 36) T. Kato, T. Itoh, M. Taguchi, T. Nakamura, and H. Ishikawa, Digest of Tech. Papers, Symp. on VLSI Technology, 86 (1983)
- 37) H. Sunami, T. Kure, N. Hashimoto, K. Itoh, T. Toyabe, and S. Asai, Tech. Digest of IEDM, 806 (1982)
- 38) 水津克己; 「シリコン新デバイスに関する調査研究報告書Ⅱ(菅野卓雄委員長)」(日本電子工業振興協会) 72 (1983)

- 39) 鈴木道夫; 「マイクロデバイセス」(別冊日経エレクトロニクス) 134 (1983)
- 40) E.J. Mets; *J. Electrochem. Soc.*, **112**, 420 (1965)
- 41) C.W. Pearce and V.J. Zaleckas; *J. Electrochem. Soc.*, **126**, 1436 (1979)
- 42) C.M. Hsieh, J.R. Mathews, H.D. Seidel, K.A. Pickar and C.M. Drum; *Appl. Phys. Lett.*, **22**, 238 (1973)
- 43) P.M. Petroff, G.A. Rozgony, and T.T. Sheng; *J. Electrochem. Soc.*, **123**, 565 (1976)
- 44) G.A. Rozgonyi, P.M. Petroff, and M.H. Read; *J. Electrochem. Soc.*, **122**, 1725 (1975)
- 45) T.Y. Tan, E.E. Gardner and W.K. Tice; *Appl. Phys. Lett.*, **30**, 175 (1977)
- 46) 大塚英雄 中村正克, 渡辺正晴; 「日経エレクトロニクス」**272**, 138 (1981)
- 47) 柏木正弘, 山田啓作; 「マイクロデバイセス」(別冊日経エレクトロニクス) 106 (1983)
- 48) 例えば, 西山和夫; 「超 LSI プロセスデータハンドブック」(サイエンスフォーラム社) 525 (1982)
- 49) S.S. Cohen, G. Gildenblat, M. Ghezzi, and D.M. Brown; *J. Electrochem. Soc.*, **129**, 1335 (1982)
- 50) S.P. Bellier and L.B. Ehlert; Semiconductor Silicon/1973(Electrochem Soc.), 304 (1973)
- 51) K.N.Tu; *Jpn. J. Appl. Phys.*, **22**, Suppl. 22-1, 147 (1983)
- 52) N.E. Miller and I. Beinglass; *Sol. St. Technol.*, (日本語版) **6**, 45 (1983)
- 53) H. Okabayashi, E. Nagasawa and M. Morimoto; Tech. Digest of IEDM, 556 (1982)
- 54) T.F. Deutsch, D.J. Ehrlich, D.D. Rathman, D.J. Silversmith, and R.M. Osgood, Jr; *Appl. Phys. Lett.*, **39**, 825 (1981)
- 55) D.J. Ehrlich, R.M. Osgood, Jr. and T.F. Deutsch; IEEE J. Quantum Electron. QE-16, 1233 (1980)
- 56) T.F. Deutsch, J.C.C. Fan, D.J. Ehrlich, G.W. Turner, R.L. Chapman and R.P. Gale; *Appl. Phys. Lett.*, **40**, 722 (1982)