半導体実装における新しい表面処理技術

若 林 信 一*

New Plating Technologies for Semiconductor Packaging and Interconnect Technology

Shinichi WAKABAYASHI*

Key Words : Packaging, Chip Size Package, Bump, Buildup Substrate, Application Specific Plating

最近の実装技術の展開において微細な配線や接続用のバンプを形成するめっき技術が重要な意味を持っている。この技術を確立するうえでは一品一様の最適化を可能にする新しいASめっき法の確立が必要である。

1. はじめに

実装技術はシリコンチップを半導体デバイスや電子システムに組み立て、実際に使える機器に仕上げる総合的な技術であり、ICチップやシステム全体の性能に極めて大きな影響を及ぼす技術である。この技術はパッケージ技術、ボード技術、各階層におけるインターコネクト技術により構成されており、近年、CSP(Chip Size Package)やDCA(Direct Chip Attach)、さらにはWLP(Wafer Level Packaging)技術の開発により電子機器の一層の小型化、軽量化が進行している。

これらの技術はいずれも、小型で高機能なモジュールをいかに少ないプロセス数で作るかを課題とした技術である。したがって、従来の実装技術にみられたパッケージ、アセンブリー、ボード実装といった技術の境界を薄れさせ、これらの融合と合理化を進める技術と考えることができる。このため最近では、図1に示すように、半導体のバックエンドプロセスとしての性格を脱した、新しい実装技術としてのパラダイム構築が必要とされて

いる¹⁾。

このように実装技術には大きな変化がみられるが、めっき技術はチップ上での再配線やバンプ形成、パッケージ用テープやビルドアップ基板の微細配線の形成など、従来にもまして実装技術の進展に重要な役割をになっている。このため、これらの技術の高度化に対応した新しいめっき技術の考え方や管理技術が求められている。

2. パッケージおよび実装技術のためのめっき技術

通常、ある目的のためにめっき液を開発したり選定する場合、そのめっき液の特性として、①めっき液組成の許容変動範囲、②作業電流密度の範囲、③均一電着性、④付きまわり性、⑤レベリング性、⑥析出速度、⑦液中不純物の許容濃度、⑧析出物の純度などを目安にし、また、めっき皮膜の機械的、電気的特性として、①硬さ、②析出応力、③密度、④引張強度、⑤伸び、⑥表面粗度、⑦有孔度、⑧組織・構造、⑨電気抵抗、⑩接触抵抗などの性質を問題にする。さらに、パッケージや基板に応用する場合には、半導体組み立てに必要な、①ワイヤーボンド性、②チップボンド性、③はんだ付け性、

* 新光電気工業(株) (〒381-0103 長野県長野市若穂川田1457-1)
Shinko Electric Industries Co., Ltd. (1457-1, Wakaho,
Kawada, Nagano-shi, Nagano 381-0103)

図1 新しい実装技術のパラダイム

リフロー前

リフロー後

はんだバンプ

銅バンプ

図2 ウエハー上に形成したはんだおよび銅バンプ

④封止樹脂との密着性, ⑤耐熱性, ⑥耐食性, ⑦下地との密着性など, の特性が優れていることが求められる。これらに加えて, 最近では安全性や環境への影響評価が求められている。

従来, ボンディング用と称してパッケージや基板上に使用される金めっきは高純度で, 柔らかく, 加熱時に下地の拡散が起こり難い, 大きな結晶粒を持つものが適するとされてきた。このような要求を満足するためにめっき液にタリウムや鉛が結晶粒調整剤として添加され, そのめっき膜中への共析量の抑制技術や下地めっきを含めた全体の膜構成が重要技術とされている^{2)~4)}。また, リードフレーム用の銀めっきにおいてはメカニカルマスク法による高速部分めっき技術が確立され, 高

速化剤でもある光沢剤を添加した, 専用の低シアン化物めっき液が開発され, 使用されている^{5), 6)}。この場合, 銅合金製のリードフレーム表面に銀が置換析出するのを防止する置換防止剤の開発が技術的な大きな進歩であった。

プリント基板においては柔らかく, ヴィア壁面にも均一にめっきができる銅めっきの添加剤の改良が進み, アディティブ法による微細配線形成が容易になってきた。また, 無電解めっき液やプラスチック上への直接電解めっきを可能にするダイレクトめっき技術も大きな進歩をみせている⁷⁾。

最近の技術開発におけるめっき技術の例として図2に, 8インチシリコンウエハー上にボンダットから再配線してはんだおよび銅めっきバンプを

SCSP

MOST

F/C CSP

図3 新しいチップサイズパッケージ

ビア

図4 ビルドアップ基板の断面

形成した例を示す。この場合、バンプ高さが約 $100\mu\text{m}$ であることから、めっきガイドとしての厚いフォトレジストの使用と面内での高さバラツキの制御が重要技術である。現在約 $15\mu\text{m}$ 以内の高さ制御が可能であり、このため、電極の設定やめっき槽内での液流には細心の注意が払われている。図3にはこれらの技術を使用して製造したCSPの例を示す。MOST (Microspring on Silicon Technology) の場合はバンプの場合と同じく再配線がほどこされており、ワイヤーボンド法で形成した金のスプリングには機械的強度を増すためのめっき皮膜が付けられている。

ビルドアップ基板の場合、現在ライン/スペース、ビア径が約 $50\mu\text{m}$ でランド径が約 $100\mu\text{m}$

のものが試作されている⁸⁾。この例を図4に示す。めっき技術の上ではアディティブ法による微細配線形成とレーザー加工されたビア内への銅めっきによる穴埋めが重要技術である。また、ニッケル、金めっきの際はソルダーレジストをいためないめっき液の選定が重要である。

3. AS めっき法の考え方⁹⁾

ウェハー上のバンプやビルドアップ基板のめっき技術においては、大きなパネルの微細パターンに厚めっきを均一性良く（大面積内、凹凸部、ビア内壁面に対して）行う必要がある。また、 μBGA 用のテープやバンピングにおいては大面

積内の微少部へのめっきになるため、バスラインやめっき成長による表面積変化が電流密度の制御上無視できないという特徴がある。このような条件下において、めっき皮膜の高均一性を達成するためには、めっき条件の精密な制御や管理の他にめっき厚分布のシミュレーションを行ってめっき条件に反映させるとともに、パターンの面付け法、バスラインや接点の設計の最適化をはかる必要がある。

従来のめっき法では、めっき槽に被めっき物を浸漬し、通電することにより、あらゆる被めっき物を同一の槽内で処理している。これは非常に汎用性が高い方法といえることができるが、上記のような精密な制御を必要とするめっきには不十分である。一方、リードフレームの部分めっきラインはめっき液、陽極／ノズル、マスク、装置の搬送系などかなりの部分が基本的には一品一様に最適化されている。今後のめっき技術においては、この考え方をさらに進め、ASめっき法 (Application Specific Plating) として、めっきに係わるあらゆる条件を最適化し、迅速に装置化するための方法論を確立する必要がある。

このような最適化を必要とする要件としては、①めっき液の組成 (材料へのアタック性、均一電着性、めっき皮膜の残留応力、めっき皮膜の組成・構造・硬度などを考慮した組成)、②めっきプロセス、③めっき装置 (自動化、液の動き、陽極)、④めっき条件 (電流密度、金属塩濃度、添加剤、温度、かく拌、遮へい板、陰極陽極比、ろ過)、⑤管理 (条件の管理、組成のレギュレーション) などがある。これらの最適化を行うためには、先ずどのような対象物にどのような目的のめっきを行うのかを整理し、めっき液組成とめっき条件を決める必要がある。次に、めっき膜の成長過程や膜厚分布のシミュレーション技術により、実験に依らなくても電極の幾何学的な配置やめっき液の動きを最適化する技術を確立する必要がある。最後にこれらの成果を自動化度の高い装置に結集することが必要である。

このような考え方に立った我々の技術成果としては、均一電着性が高くソルダーレジストをいためない金めっき液およびニッケルめっき液の開発、

ウエハーバンピング用めっき装置とプロセスの開発¹⁰⁾、ニッケルめっきによるバンパ形成とその成長過程の解析法の開発¹¹⁾、銅めっきによるヴィアの穴埋め法の開発、簡便なめっき厚分布のシミュレーション法とそれに基づくパターンの面付け法およびバスラインや接点の設計法の開発などがある。

いずれにせよ、化学的、金属学的側面を重視した従来のめっき技術に対し、めっき液の化学や技術にシミュレーション技術と装置化技術を加えて一体化し、より高い次元での最適化をめざす ASめっき法の考え方は、今後の技術展開において大きな役割を果たすことが期待される。

4. おわりに

今後の実装技術においては、超多ピンのチップを高密度で高機能に実装する必要がある。このためさらに高密度なビルドアップ基板やバンパの形成およびこれらを用いてのフリップチップ接続技術の確立が必要になると考えられる。この場合、基板やバンパの製造技術やそのメタラジエーションなどにおいて引き続きめっき技術が重要な役割を果たすことが予想される。しかしながら、今後の技術開発の速度は従来にもまして加速されることが予測される。これに答えて必要なめっき技術が必要な時期に確立していくためには、システムとしての ASめっき法の確立が必須であると考えられる。このためにはコンソーシアムなどによる組織的な活動が必要であり、シミュレーション技術をはじめとする課題解決が急務である。

今後の実装技術は、かつて半導体技術がシリコン基板上にトランジスタを集積し IC 技術を開発したように、IC を集積して高機能システムを創出する技術である。これに見合っためっき技術の確立とその貢献に期待したいものである。

(1998-10-29 受理)

文 献

- 1) 若林信一; 実装技術共同セミナー in NAGANO 予稿, エレクトロニクス実装学会, 信州大学地域共

- 同研究センター, 1998年10月23日
- 2) S. Wakabayashi, A. Murata, N. Wakabayashi ; *Plating*, **69**, (8), 63 (1982)
- 3) 若林信一, 原山紀美子, 岩井昇一, 中沢昌夫 ; 金属表面技術, **39**, (4), 189 (1988)
- 4) 若林信一 ; 表面技術, **45**, (4), 21 (1994)
- 5) 若林信一, 竹内昌子, 中沢昌夫, 金子紀男, 根津弘幸 ; 表面技術, **44**, (3), 63 (1993)
- 6) S. Wakabayashi, T. Iijima, M. Nakazawa, Kaneko, H. Nezu ; *Plating*, **80**, (11), 63 (1993)
- 7) K. H. Dietz ; *Plating*, **82**, (7), 60 (1995)
- 8) 小林和貴, 小山利徳, 飯島隆広 ; 電子材料, **37**, (10), 53 (1998)
- 9) 若林信一 ; 創業150周年記念上村テクノフォーラム 予稿, 1998年11月17日
- 10) S. Watanabe, Y. Ihara, Y. Kitahara, T. Kobayashi and S. Wakabayashi ; Proceedings of the 1997 IEMT IMC SYMPOSIUM, 110-115 (1997)
- 11) 中村健次, 若林信一, 前原 隆 ; エレクトロニクス実装学会誌, **1**, (1), 41 (1998)
- ~~~~~