システムサイドから見た実装技術

— 電子装置の可能性を広げる実装技術 —

大 塚 寛 治*

Electronic Packaging Technology View from System Design

— Packaging Technology Made New Capability in Electronics Use —

Kanji OTSUKA*

Key Words : GHz Digital Signal Transmission, Signal Delay of Chip Wiring, Transmission Line for High Speed Packaging, Packaging for System Module

集中常数回路で設計している LSI は微細加工とともに配線遅れが目立ち始め、チップサイズ 10mm 角を前提にするならば、1GHz 以上のクロック周波数は通せないことがわかってきた。一方、実装配線は Direct Rambus™ プロトコル^{*1} のように伝送線路と分布常数回路とする考案がなされ、数十GHz を通せる配線イメージができてきた。この 2 点からシステム構築を従来のアプローチから大変換する兆しが見え始めた。実装技術がシステムを支配する時代への変換である。このバックグラウンドをここで解説する。

1. 高機能電子装置を単純操作する施策

電子装置は言うまでもなく生活に密着しているものであるが、その機能を十分発揮できないところまで複雑化している。これを簡単に扱えるようにするには、さらなる性能向上が必要であり、なかなかそこまで到達していない。どちらかというとも機能追加の方が単純であり、その方向に進み、ますます使用者の頭の混乱を招いている。

携帯電話を取ると、小型化により、普及は加速されたが、その中に電話帳を埋め込むなど、機能追加に屋上屋を重ねているといった傾向にある。人間の頭のなかにある人物特定方法、親戚で、新潟の古川さんなどと言うような音声表現でつながれば理想である。しかし、これを実現する前に、

携帯電話と情報端末を合成し、さらには音楽再生やラジオ、テレビを合成することが先になる気配である。手順を踏むことに弱い人々とはとてもついていけないであろう。文盲の多い全世界を見渡し、これでよいのであろうか。すべては自然言語の音声で操作できる環境を実現することが今後の主要課題であろう。機械が人間に手順を強いる、これはプロの世界では許されるが、一般ユーザには許されるものではないことを開発者はどれだけ認識しているであろうか。言葉の表現はしなやかである。同じことを表現するのに多くの方法があり、TPO でも異なる。明解な手順はない。機械は、究極、このような自然言語を理解し、会話ができるようにでなければならない。当面は硬い会話、音声入力を実現することであろう。この簡単な音声入力は現状の CPU パワーでもできる範囲になってきた。

この音声信号を、意味を理解するのに必要なサ

* 明星大学 情報学部 (〒198-8655 東京都青梅市長瀬2-590)
Meisei Univ., College of Informatics, Dept. of Electronics
and Computer Science (2-590, Nagabuchi, Oume-shi,
Tokyo 198-8655)

* 1 従来の配線構造ではなく、400MHz という高速で信号伝送する配線構造とその伝送方式の規定 ; Rambus 社の提案

図1 理想的なコンピュータとその入出力装置
(小型化でPDA: Personal Digital Assistantとなる)

サンプリングでデジタル信号に変換した途端に、図1のように、膨大なデータの流れることになる。これは高精細な3D画像処理と同様である。AD変換回路からメモリを通してCPUに流す線路のデータ転送速度が速く、大量の連続データを送り込めるようにしなければならない。CPUはすでにこの膨大な連続データを処理できるのである。単位時間当たりのデータ転送量をデータ転送バンド幅と呼ぶことにする。

これを実現する方法に2つの道がある。1つは図2(a)のように、すべての機能を1チップ上に埋め込む方法、すなわち、システム・オン・チップの道である。マクロセルの標準設計環IP(Intellectual Property)*²の整備でどんどん進んでいるように見える。もう1つの道は、図2(b)のように、実装配線の高速化である。Rambus プロトコル²⁾やAGP(Accerelated Graphic Port)*³などがこれに当たる。これもどんどん進んでいるように見える。当分は並列に進むであろう。しかし、究極の自然言語理解装置を提供するため、どちらが勝利をおさめるのであろうか、ここで考えることにする。このアプローチはシステムサイドから見た実装技術の未来を予測する道でもある。

(a) システム・オン・チップ

(b) MCM

図2 バンド幅を増大する2つの方法

2. 実装技術の怠慢でオーバーヘッドの大きくなりすぎたアーキテクチャ

今年のISSCC(半導体学会では最も権威のある

- * 2 システム・オン・チップを目指すためにはすでに完成した機能回路ブロックなどあらゆるブロックをチップ内に取り込まねばならない。不特定多数の会社の提案する機能ブロックを標準の設計ツールでチップ内に取り込めるルールを規定し、それを共通財産とする組織的な動き。
- * 3 Intel社の提案になる画像データ取り込み用専用配線とその伝送方式の規定。

図3 Pentium II と 440LX のバスを説明する主要部

学会)で最高速との呼び名の高いDECのRISCプロセッサAlphaのさらなる高速化(600MHz以上のクロック周波数)のボトルネックはアーキテクチャのオーバーヘッドが重くなってきたことにあるとしている。単純化の概念から生まれたRISCアーキテクチャが、なぜこのようにオーバーヘッドが重くなったのであろうか。これはCPUから外の実装幅が細く、CPU内でできるだけ処理を閉じようとする結果である。端的な構造がキャッシュメモリ内蔵であり、これで主メモリとキャッシュメモリのアドレス整合をさせる計算、それぞれにつながるバスへの分配回路などのオーバーヘッドが付くことになる。遠因は、デジタル回路の実装配線が集中常数回路的配線をとっていたため、高速信号は通らなかったことによる。

実例を引いて説明しよう。

図3はPentium II™のSlot 1*4の機能ブロックを示したものである。Slot 1に対する入出力のバンド幅は、 $64\text{bit} \times 66.6\text{MHz} / 8 = 533\text{MB/s}$ となる。一方、演算器であるALU(Arithmetic Logical Unit)*5は $32\text{bit} \times 300\text{MHz} \times 2\text{ALU} / 8 = 2.4\text{GB/s}$ であり、4.4倍も能力がある。この差を

埋めるため、Pentium II™チップ内にキャッシュメモリを置くことで、とりあえずの処理を行うプログラムを貯蔵している。データキャッシュと命令キャッシュそれぞれ16kBを設けているが、これで、メインメモリの総容量16MB～64MBをスムーズに使い込むことはできず、256kB程度の2次キャッシュメモリをSlot 1の中に標準パッケージで搭載している。Slot 1の中に2次キャッシュを取り込んだ理由は、この間のバンド幅をできるだけ大きくするというにあり、バンド幅を拡大する手法を持っていない現状のパソコンメーカーには任せられなかったということであろう。64bit 150MHzで1.2GB/sが実現できていて、ALUの1/2まで到達している。Slot 1入出力バスにはチップセットを通じて主メモリ、グラフィックポート、PCIバスがつながって、入力データを選別している。

このような複雑な構成を取る理由は、単に、ALUへ供給するプログラムデータ量を確保するためのものにすぎない。ALUの処理速度と、バスのバンド幅が等しくなれば、これらの複雑構造(オーバーヘッドアーキテクチャ)は不要になることは明白である。チップ間の実装配線がその能力がないことによる結果である。実装系の人達はその進みゆくニーズに応えられなかったためであろう。

* 4 Intel社のこのCPUはキャッシュメモリを内蔵したモジュールの形態で供給され、これを実装するにはエッジコネクタで行う。このコネクタの名称。

* 5 CPUの中の心臓部で演算をつかさどる回路ユニット。

図4 微細加工によるチップ上配線の典型的形状

図5 チップ上ゲート回路, Al 配線の遅延とウェハ微細加工レベルの関係

3. チップ上配線の限界と実装配線の大きな可能性

チップ内では、複雑化したアーキテクチャの他にもう一つの大きな問題が顕在化しつつある。デジタル回路は基本的に集中常数回路で構成され、素子間の配線は信号線だけを注目して結線されている。すなわち、チップ内配線は伝送線路でないため、RC遅延^{＊6}配線の中で支配することになる。微細加工で、配線が細り、抵抗値の高くなったAl配線はその抵抗をできるだけ低くするため、断面が図4のようなドミノ倒しのドミノチップのようになしなければならない。これでは容量が増え、RC遅延の改善とならない。ISSCCでは、IBM(N. Rohrer, FP 15.6)がPower PCチップをAl配線とCu配線の違いを実験的検証をしている。いろいろ条件の差があり、必ずしも配線だけの要因ではないが、275MHzに対して480MHzまで伸びたとしている。配線抵抗がCuで低減できた結果、配線を細くでき、RC遅延が小さくなるとともに、チップ面積が67mm²が40mm²と小さくなった結果である。

このRC遅延は以前からあった問題ではなく、

＊6 抵抗と容量でパルスが鈍り遅延する現象。

図6 チップ内配線のRC遅延を説明する水のパイプとタンク

図5¹⁾のように素子自身の遅延が微細加工で改善され、逆に微細加工で、配線が細り弱々しくなるとともに、隣接配線が接近し、相互干渉が大きくなって、それによる信号遅延が支配的になってきたことで、数年前から発生し始めた現象である。RC遅延を分かりやすい自然現象で比喩すると図6のようになる。配線を水のパイプにたとえると、その直径は配線抵抗の逆数に比例する。配線間容量は、そのパイプにぶら下がった小さなタンクに相当する。今、パルスの水をパイプいっぱい流すと、途中のタンクに水の一部を取られながらパイプの中を進行する。途中のタンクが満杯にならないと次に進めないわけではなく、水の前頭は当初の速度で先に進むが、パルスがだれてくることになる。途中、タンクの容量が大きいほどその傾向は強くなることは、容易に推測されよう。レシーバタンクに水が溜まる速度は当然遅くなり、そのスレッシュホールドレベルを超える時間が長くなる。パイプが細い、配線抵抗が高いほどその傾向が強くなることも理解されよう。これがRC遅延である。今後はこれが原因でチップサイズが大きくできなくなった。

さて、今回のISSCCでIBMは注目すべき発表をした(J. Silberman, FP 15.1)。1.1GHzで動作するプロセッサである。アウトオブオーダー方式はもちろんスーパースカラ方式もなく、たった96個の命令語に限定した。贅肉のないRISCプロセッサの原点に戻ったのである。0.15μmプロセスで、チップ面積は98mm²と10mm角を下回っているチップである。電源グラウンドはメッシュ構造に配置され、周辺パッドにダイレクトにつながっている。日経エレクトロニクスのレポーターはこ

図 7 配線長さと伝送遅れ

図 8 配線とシステム性能

んな古いアーキテクチャのプロセッサは、どこまで高周波にもっていけるかの試作チップにすぎないとしている。屋上屋を重ねることこそ進歩であると錯覚している表面的なコメントである。日本のバブル時代をどのように見たのであろうか。

ここで ISSCC とほぼ同じ時期に開かれたこじんまりしたシンポジウム “1998 IEEE Symposium on IC/Package Design Integration (IPDI '98)” で IBM の Power アーキテクチャシステムグループの重鎮 Evan Davidson の招待講演の内容を紹介しよう。彼は図 7, 8 を示しながら、パッケージ配線は伝送線路にすることが容易に可能であり、これにより、光速でしか信号は遅れないとした。一方、チップ配線は上記のように RC 遅延で配線長さに対して、指数関数で遅くなる。今の技術では 10mm 長さで、パッケージ配線とクロスオーバーする。Cu 配線は図のように微々たる改善で、苦労が多いだけと痛烈に批判した。今から 3 年後をどのように乗り切るか、が問題で、自身はパッケージ配線を重視した設計を行うと明言した。この他、Intel, Arkansas 大, TI が同じようなことを述べ、Intel (招待講演 Ricarsdo Suarez-Gartner) もチッ

図 9 CPU と処理速度が整合したメモリとバス構造を持つコンピュータ構成

プ上 Cu 配線は肯定的ではなかった。ISSCC の IBM の話はどのように解釈できるか。個人的情報では、ある時期、1.1GHz の単純 RISC プロセッサを使用して革新的発表がなされるようである。RISC のオリジナルを考案したのは同じグループであることから、期待がもてる。パッケージ設計は、このように、コンピュータアーキテクチャの真髄と融合しつつあるのである。

想像するコンピュータシステムの形を表わすと図 9 のようになろう。シングル ALU, 1GHz クロック, 64 ビット, 主メモリ物理アドレス読み取り型プロセッサ*7 で、チップから 4 組の 16 ビットのバスがでて、等長配線でグラフィック, PCI バスアービタ*8 につながっている。プロセッサとメモリの間のチップセットは不要である。ここではデジタル信号用パッケージ配線を伝送線路とした先駆者である Rambus プロトコル²⁾を示したが、伝送線路で、バンド幅を確保できるならば、どんなメモリアクセスプロトコルでもよい。もちろん、プロセッサ内部にも 1 次キャッシュは

* 7 一つのデータの記憶に対して、アドレスが物理的に一つである CPU。

* 8 PCI は Intel 社の提案した外部バス構造を規定する方式の一つで、arbiter とはこの PCI 信号入出力を仲介する回路のこと。

ない。信号の光速遅れ (Time-of-flight) を隠すため、すなわち、アクセスレーテンシー^{*9}を小さくするため、レジスタの深さを深くし^{*10}、クロックタイムバースト転送^{*11}を保証するなどの工夫は必要である。

伝送線路を取り扱っている先輩は、通信系の電子機器を製造している担当者である。ここでは、一本の信号線をいかに高速にするかが主たるテーマであるが、30GHz あたりまで到達している。デジタル信号系では数十本、数百本の配線を高速にしなければならないところが技術のポイントとなる。Rambus 社がその指針を示した意義は大

きい。これにより、パッケージ配線は一気呵成に伝送線路設計になだれ込む気配である。システムアーキテクチャを単純化にできると関係者全員が気がついたためである。図2の(b)に軍配が上がったと見た。単純化は自然な流れである。

(1998-3-26 受理)

文 献

- * 9 データ読み出し命令を発行した瞬間から、データを受け取るまでの時間遅れ。
- * 10 レジスタメモリの数や並び方、たとえば、電通大、中澤先生考案のレジスタウィンドウ方式など¹⁾。
- * 11 1クロックのタイミングで連続してデータを送り込むこと。

- 1) Evan Davidson, Bradley McCredie, Walter Viekelis ; Invited Talk at 1998 IEEE Symposium on IC/Package Design Integration (IPDI '98)
- 2) Rambus web 情報, <http://www.rambus.co.jp>
- 3) 中村 宏, 位守弘充, 中澤喜三郎; 情報処理学会, 34, (4), 669 (1993)