小特集 I. シリコンエッチング技術(2)

シリコンデバイスにおける多結晶シリコンエッチング技術

藤 原 伸 夫*

Dry Etching Technology of poly-Si for Silicon LSI Devices

Nobuo FUJIWARA*

Key Words : Plasma, Etching, ECR, Gate, Selectivity

シリコン LSI デバイスのゲート形成に適用される多結晶シリコンのドライエッチング技術の課題に関連する原理的な背景と実プロセスにおける対応策、今後の技術の方向性について述べる。

1. はじめに

大規模集積回路 (LSI) の高集積化, 高速化, 多様化にともない微細パターンの形成に対する要求はますます厳しく, かつ複雑になってきている。今日の半導体産業の発展は Si ウェハ上に微細な回路パターンを精度良く形成する技術があればこそ実現されたものであり, その中核となる技術がドライエッチング技術である。現在ではドライエッチングの成否はデバイスそのものの実現を左右するほどに重要性が高まっている。さらにデバイスの高性能化競争においてエッチングプロセス技術の高精度化は今まで以上の限界性能が必要となっている。プラズマを使用したエッチングの技術的限界は $0.1\mu\text{m}$ 以下のパターンサイズであると考えられる。しかしながら, 現在量産されている $0.18\mu\text{m}$ デバイスや試作開発中の $0.15\mu\text{m}$ 以降のデバイスの実状から鑑みる限り, 実用プロセスレベルではすでに技術的限界に達しようとしている。実デバイス対応プロセスではデバイス要求性能達成のために材料・構造・プロセス性能を大面積に渡って実現する必要があるからである。

シリコン LSI デバイスの製造プロセスにおいては多種の膜をさまざまな形状に加工する技術が必要である。たとえば Si だけを取り上げても, 素子分離形成あるいはトレンチキャパシタ形成のための結晶 Si 加工技術, 上下層間の配線接続孔に多結晶 Si プラグを形成する場合などに適用される全面エッチバック技術, そしてとり

わけ厳しさを増しているのが本稿で述べるゲート電極対応の多結晶シリコンエッチングプロセスである。

LSI デバイスの性能向上においてトランジスタ性能の向上は必須である。このためゲート電極材料の低抵抗化, 微細化とゲート酸化膜の薄膜化が積極的に推進される。ゲートエッチングにおいては加工精度が直接にトランジスタ性能を決定するために他の配線エッチング工程よりも一段と厳しい寸法精度が要求される。しかも下地ゲート酸化膜に対する高選択性と素子分離段差部での無残渣を同時に達成しなければならない。これらの両立がゲートエッチング技術における最も重要な課題である。また多種類のデバイスからの要求に応えるためには Si 系のゲート電極材料だけでもノンドーパ多結晶シリコン, n 型, p 型の多結晶シリコン, アモルファスシリコンなどを加工できる必要がある。本稿ではゲートエッチング技術の課題に関連する原理的な背景と現状の実プロセスにおける対応策, 今後の技術の方向性について述べる。

2. ゲートエッチング技術の動向

現在 LSI 製品で使用されているゲート構造は, ゲート長に関しては $0.18\mu\text{m}$ が量産, $0.13\sim 0.15\mu\text{m}$ が開発試作レベルのデバイスに適用されている。ゲート電極エッチング時に下地となる MOS トランジスタのゲート酸化膜に関しては 3 nm 程度のものが使用されるようになっており試作レベルでは $2\sim 2.5\text{ nm}$ が検討されている。またより先端的な高速デバイス対応ではゲート長 $0.1\mu\text{m}$, ゲート酸化膜 1.8 nm におよぶ構造まで検討が始まっている。これらのゲート構造に関するトレンドを図 1 に示す¹⁾。図 1 は, いわゆる SIA のロードマップであり, その中からゲートエッチングプロセスとの関連の

*三菱電機㈱ ULSI 技術開発センター (〒664-8641 兵庫県伊丹市瑞原 4-1)
ULSI Lab., Mitsubishi Electric Corp. (4-1, Mizuhara, Itami-shi, Hyogo 664-8641)

Year of First Product Shipment Technology Generation	1997 250 nm	1999 180 nm	2001 150 nm	2003 130 nm	2006 100 nm	2009 70 nm	2012 50 nm
Min. Logic Vdd (V) (desktop)	2.5-1.8	1.8-1.5	1.5-1.2	1.5-1.2	1.2-0.9	0.9-0.6	0.6-0.5
Vdd Variation	<10%	<10%	<10%	<10%	<10%	<10%	<10%
Tox Equivalent (nm)	4-5	3-4	2-3	2-3	1.5-2	<1.5	<1
Equivalent Maximum E-field (MV/cm)	4-5	5	5	5	>5	>5	>5
Max Ioff @ 25°C (nA/μm) (For minimum L device)	1	1	3	3	3	10	10
Nominal Ion @ 25°C (μA/μm) (NMOS/PMOS)	600/280	600/280	600/280	600/280	600/280	600/280	600/280
Gate Delay Metric (CV/I) (ps)*	16-17	12-13	10-12	9-10	7	4-5	3-4
VT 3σ Variation (±mV) (For minimum L device)	60	50	45	40	40	40	40
Lgate 3σ Variation (For nominal device)	<10%	<10%	<10%	<10%	<10%	<10%	<10%
Left 3σ Variation (For nominal device; % of Left)	<20%	<20%	<20%	<20%	<20%	<20%	<20%
S/D Extension Junction Depth, Nominal (nm)	50-100	36-72	30-60	26-52	20-40	15-30	10-20
Total Series Resistance of S/D (% of channel resistance)	<10%	<10%	<10%	<10%	<10%	<10%	<10%
Gate Sheet Resistance (Ω/sq)	4-6	4-6	4-6	4-6	4-6	<5	<5

Solutions Exist

Solutions Being Pursued

No Known Solution

* The CV/I gate delay metric is calculated using the data in this table along with the microprocessor gate length given in the ORTC table (Appendix B). The transistor width is assumed to be 5 mm for NMOS and 10 mm for PMOS at the 250 nm generation. Device width is then scaled consistent with minimum feature size scaling.

図1 The National Technology Roadmap for Semiconductors (SIA 編)

強い項目を抜粋して示している。図1の solution に関する認識からわかるように、ゲート長のバラツキに関連する項目が要求に対して不十分であることがわかる。これはエッチング技術の認識としても課題と受けとめられているところである。

このような動向に対してエッチング技術サイドが目標としているターゲットスペックとしては、下地ゲート酸化膜に対して 200 以上の高選択性、0.15μm 幅のゲート加工において許容される加工寸法精度(CD bias)は 0.01 μm 以下など測定限界とも言える性能が必要であるとされている²⁾。

3. エッチング方式のトレンド

加工寸法の微細化に対してドライエッチングのプラズマ方式面からの対応を考えてみる。0.1μm 時代を目前にして微細化に対するプラズマ方式として特に新規なものは提案されておらず、現在までの技術開発の延長線上に乗っているものと考えられる。プラズマ性能のトレンドとしては図2に示すように低圧力・低エネルギーの方向に推移している³⁾。特にこの傾向はゲート対応のエッチング技術において顕著である。最近では数 mTorr の圧力領域でのプロセスが主体であり、この条件下でも安定したプラズマ生成が可能である電子サイクロトロン共鳴プラズマ (ECR) または誘導結合型プラズマ (ICP) が適用されている。今後さらにこの低圧力・高密度・低エネルギー化は推進されていくと考えられる。

ゲートエッチングに対する要求性能は先に述べたように高選択性と高寸法精度を両立することである。何故

図2 各種プラズマ方式におけるイオンエネルギー

エッチング方式のトレンドがゲートエッチングについて顕著なのかを次節以降でエッチング機構をもとに考察し、高選択・高精度の両立との関連性、今後の方向性について述べる。

4. ゲートエッチングプロセス

4. 1 寸法精度のパターンサイズ依存性

一般的に異方性エッチングを実現するためには、方向性のあるイオンの供給とパターン側壁をサイドエッチから保護するデポジション膜の存在が不可欠である。サイドエッチは電気的中性のラジカルがパターン側壁でエッチング反応を起こすことにより発生する。このため Si と反応性の高い F を含有するガス系を使用する場合などは非常に分厚い側壁堆積膜を形成しなければ異方性エッチングが実現されず、異方性に加工できても保護膜

図3 ゲートエッチング寸法変換差のスペース幅依存性⁴⁾

の厚さに応じて側壁がテーパ形状になってしまうため加工仕上がり寸法のばらつきが生じてしまう。この課題に対してこれまで2つの対策がとられてきた。プロセス圧力の低圧力化とガス系の検討である。このうちガス系に関しては、プラズマ中で供給ガスから解離生成した中性ラジカルがSiと反応しにくいものであるようなガスを選択するということである。具体的には、ゲートエッチングにはFよりもSiとの反応性に乏しいCl, Brを反応の主体とするプロセスが適用されており、供給ガスとしてはCl₂, HBrが代表的である。しかしながら、Cl, Br系の場合であっても先端LSIのゲート加工に要求される加工精度が著しく高いため僅かなサイドエッチも許容できず、最小限の保護膜は必要である。これらのガス系においてデポ膜の主成分は反応生成物のプラズマ中での再分解によって供給される。したがって被加工表面のパターンの疎密によってデポ膜の堆積量が異なり、寸法精度劣化の大きな要因となる。図3はレジストパターンからの寸法シフト量を示す図である。寸法シフト量は隣接するスペース幅に依存しており、微細パターンに仕上がり寸法を合わせたプロセスを行うとスペースが大きくなるに従い、パターンサイズが太く仕上がるのがわかる。またデポジション量の多い臭素系のガスでは顕著にこの傾向が現れることが知られている^{4),5)}。

4. 2 酸素添加による高選択比プロセス

薄いゲート酸化膜に対する選択性を維持する目的でO₂添加プロセスが知られている。2 nm以下の厚さが検討されている昨今のゲート絶縁膜を突き破ることなくゲートエッチングを行うためにはO₂添加プロセスは必要不可欠である。図4は多結晶シリコンとSiO₂エッチング速度の添加O₂濃度依存性である⁶⁾。O₂を添加することによってSiO₂膜のエッチング速度が低下し、多結晶Siを選択的にエッチングすることが可能となることわかる。この傾向はHBrを使用するガス系でも同様であり、プラズマ源やプロセス条件による差があるものの10~30%程度の添加量で選択比が最大になることが

図4 O₂添加によるゲート酸化膜選択比の向上 図5 O₂添加による加工寸法精度のパターンサイズ依存性

知られている。しかしながら、高選択性のメカニズムは反応生成物であるSiClやSiBrとO₂の反応によるSi-Cl_xO_yやSiBr_xO_yなどの副生成物の堆積が主要因とされている。したがって堆積量の増加は寸法精度の低下を招くことにつながりゲートエッチングとしては問題になってしまう。図5はO₂添加プロセスにおけるエッチング寸法シフトの酸素濃度依存性である⁷⁾。明らかにO₂濃度が高い場合広いパターン部での寸法精度が劣化している。すなわちプラズマ中からデポジション種が被加工面に等方的に供給されているため、パターン寸法によって供給量の差が生じ、結果的に寸法の増加を招いていることを示している。この対策のためにはデポジション種生成量低下のためにO₂濃度低下とともに低圧力化が有効である。O₂で促進される側壁保護膜形成を寸法精度維持が可能な最小限に抑え、過剰になるラジカル量を低圧力化することで回避するためである。

4. 3 ゲート poly-Si 膜質依存性

0.25μm世代のトランジスタからドーピング種の異なる多結晶シリコンを同時に形成するデュアルゲート構造

図6 poly-Si膜質による加工形状差

図7 poly-Si エッチング速度の抵抗率依存性

が採用された。しかしながらドーピングされた不純物の種類・量の異なる poly-Si 膜を同時に高寸法精度で加工することは非常に困難である。図 6 は n+poly-Si とノンドーブ poly-Si を同条件でエッチングした例であるが、ノンドーブ poly-Si や p 型 poly-Si は n+poly-Si よりもエッチング速度が遅いためにテーパ形状に仕上がる⁸⁾。この原因はエッチャントであるハロゲン元素と poly-Si との反応性がドーブ量に依存するからである⁹⁾。実験データでもリン(P)ドーブ多結晶 Si とボロン(B)ドーブ多結晶 Si のエッチング速度差がドーブ量に依存していることが示されている。不純物が熱処理により活性化するとさらに顕著にドーブ量依存性が現れるとともに n 型, p 型の差が拡大してくる。図 7 は n 型, p 型それぞれの poly-Si 膜のエッチング速度の抵抗率依存性である⁸⁾。ドーピングされた不純物が熱処理を加えることによって活性化して多結晶 Si の抵抗率が小さくなるとともに P ドーブの多結晶 Si のエッチング速度が増大し、変化の小さい B ドーブ膜との差が拡大していく。ウェハ全面に渡ってエッチングを完了させた際、P ドーブ領域では早くにエッチングが完了してしまうため過剰なオーバーエッチとなってしまう、加工形状・寸法精度を維持することが困難となってしまう。また B ドーブ領域ではエッチングが不十分となりテーパ形状になったり残渣が生じるなどの問題がある。これらの結果は多結晶シリコンと中性のハロゲンラジカルとの反応性の差によりもたらされているため、Cl や Br よりさらに反応性の低い HI ガスなどのガス系を検討する、もしくはさらなる低圧力化によりラジカル密度を抑えることのできるプラズマ源やプロセス条件を採用することが必要となっ

てくる。

5. 高選択・高精度ゲートエッチング技術の方向性

前節の各要因をもとに高選択・高精度ゲートエッチングの進むべき方向性についてまとめてみる。

- (1) 高精度プロセスについては側壁保護膜を最小限にする必要がある、そのためにはサイドエッチの要因となるラジカル濃度を下げる必要がある。
- (2) 高選択プロセスのためには O_2 添加プロセスが必須であるが、寸法精度維持の観点から低圧力化と低濃度化の方向で最適化する必要がある。

以上の 2 点に加えて今後さらにプロセス的に工夫が必要である。さらなる高選択比化に対しては圧力と O_2 濃度の適正化だけでは不十分であり、イオンエネルギーをさらに低下させなければならない。Si と SiO_2 のスパッタリングイールドを測定した結果ではイオンエネルギーを下げるに従い両者のイールド値の比は増大し、選択性が高くなることがわかっている¹⁰⁾。原理的には SiO_2 のスパッタリングしきい値 ($\sim 50\text{ eV}$) 以下でエッチングを行うことで無限大の選択性を達成することも可能である。

次に繰り返し述べてきた低圧力化について考察する。プロセスの低圧力化はラジカル濃度を低下させることが最大の目的である。この点に着目しラジカルとイオンの比率について図 8 にまとめた¹¹⁾。図からわかるように低圧力化はラジカル/イオンの比率を下げていることに他ならない。現在のゲートエッチングプラズマでは ECR 方式はまださらなる低圧力化が可能であるが、ICP はすでに放電限界の圧力領域を使用し始めている。これをプロセス的に回避する方法が希ガス希釈プロセスである。希ガスは化学的には不活性であるため希釈によりラジカル/イオンの比率を下げる事が可能である。図 8 に 75% の希ガス希釈を行った場合も同時に示しているが

図8 プラズマ方式によるラジカル/イオン比の圧力依存性

希釈により 1 桁近いの圧力低下と同等の効果が得られると考えられる。

6. 今後のゲートエッチング

ここまで述べてきたような低圧力化・低イオンエネルギー化を進めていくとともに顕在化してきた課題がチャージアップに起因したエッチング形状異常である^{(12),(13)}。ラジカルを可能な限り排除したプロセスではエッチング反応の主体はイオンもしくは強いイオン支援の反応となることを意味するが、供給されるイオンのエネルギーも低下させているので被加工表面状態に依存した局所的な電界の歪みの影響を強く受けてしまう。図9は多結晶シリコンゲート加工時に観察された局所形状異常を示す断面写真である。ライン&スペースが連続するパターンの最端部のパターン部分にのみ下地絶縁膜と多結晶シリコンの界面に沿って異常なサイドエッチが発生していることがわかる。この局所形状異常はパターンのチャージアップによるとした発生モデルで説明される⁽¹⁴⁾。プラズマにさらされたウェハ表面はイオンシースで被覆されているため、イオンシース中ではイオンは表面に垂直方向に加速、電子は減速される。この過程を経てウェハ表面に入射する際には、イオンは方向性が高まっているのに対して電子は大きな角度分布を持っていることになる。このためイオンは高アスペクト比パターン底部まで入射可能であるのに対して、電子は微細パターンになる程、入射しにくくなる。この結果、下地酸化膜が露出するとパターン底部は過剰イオンによりチャージアップし、イオンは入射できなくなる。最外ラインの場合は広い領域に面する側壁が存在するため斜入射電子により電子が過剰入射している。したがって最外ラインは他のラインパターンより電位が低く定常的にイオンの入射が可能であり、局所的にサイドエッチが生じる。

いくつかの対策が報告されているがチャージアップ電荷を中和することが可能なパルス放電方式が近年活発に

図9 パターンのチャージアップにより発生するエッチング形状異常

図10 パルス化した ECR プラズマによる多結晶シリコンエッチングの形状異常改善効果

研究されている^{(15),(16)}。これはプラズマ生成をパルスの ON/OFF を繰り返すことによりアフターグロー中に低エネルギーイオンでマスク側壁の負電荷を中和するとともに ON 周期初期の高エネルギー電子生成により、底面の正電荷を中和するという考え方である。図10にパルスプラズマの効果を示す結果の一例を示す。パルス化により高アスペクト比パターンにおいてノッチが減少していることがわかる。またアスペクト比依存性が小さいことが連続放電(CW)の場合と大きく異なることがわかる。この実験結果ではパルス化の効果を確認するために高電子温度のプラズマで過剰なオーバーエッチを加えているため形状異常が解消するまでには至っていないものの、実プロセス相当のプロセス条件においてはパターン依存性の無い良好な異方性エッチングが達成されること

が確認されている¹⁷⁾。

7. ま と め

多結晶シリコンのドライエッチング技術に関してシリコン LSI デバイスのゲート電極加工の観点から技術的課題と原理的背景に関して述べた。高精度加工を要求されるゲートエッチングにおいてはシリコンとエッチング種の反応性について充分考慮したプロセスを採用する必要がある、また多結晶シリコン膜の膜質との関係も重要である。低エネルギーのイオン性エッチングが主体となる今後のゲートエッチングプロセスにおいては被加工表面の幾何学的形状と材質に起因した電氣的チャージアップが加工形状に大きな影響を与えるためパルスプラズマなどの新規なプロセス技術も必要となってくる。

(2000-5-29 受理)

文 献

- 1) Semiconductor Industry Association (SIA) ; The National Technology Roadmap for Semiconductors 1997 edition published by SEMATECH.
- 2) 半導体先端テクノロジーズ(SELETE)
- 3) 藤原伸夫 ; ULSI ドライエッチング技術フォーラム'96(サイエンスフォーラム, 1996)
- 4) 藤野真人 ; ULSI ドライエッチング技術フォーラム '97 (サイエンスフォーラム, 1997)

- イエンスフォーラム, 1997)
- 5) M. Ohkuni and M. Kubota ; Proc. 17 th Dry Process Symposium (1995) 87
- 6) T. Morimoto ; Jpn. J. Appl. Phys. 32 (1993) 1253.
- 7) M. Tsuda and K. Ono ; *Jpn. J. Appl. Phys.* 36 (1997) 2482
- 8) S. Ogino, N. Fujiwara, T. Maruyama and M. Yoneda ; *Jpn. J. Appl. Phys.* 36 (1997) 2491
- 9) M. A. Lieberman ; Principles of Plasma Diagnostics and Materials Processing, John Wileys & Sons, INC.
- 10) W. M. Holber ; Proc. 11 th Dry Process Symposium (1989) 9
- 11) K. Ono, T. Oomori, M. Tuda and K. Namba ; *J. Vac. Sci. Technol. A* 10 (1992) 1071
- 12) T. Nozawa, T. Kinoshita, T. Nishizuka and A. Nakaue ; Proc. Symp. Highly Selective Dry Etching and Damage Control, p.134 (Electrochemical Society, Pennington, 1993)
- 13) T. Morimoto, C. Takahashi and S. Matsuo ; Proc. 13 th Symp. Dry Process Symposium (1991) p. 57
- 14) N. Fujiwara, T. Maruyama, M. Yoneda, K. Tsukamoto and T. Banjo ; *Jpn. J. Appl. Phys.* 33 (1994) 2164
- 15) T H Ahn, K Nakamura and H Sugai ; Plasma Sources Sci. Technol. 5, (1996) 139
- 16) N. Fujiwara, T. Maruyama and M. Yoneda ; *Jpn. J. Appl. Phys.* 35, (1996) 2450
- 17) N. Fujiwara, T. Marayama and H. Miyatake ; Proc. 21 th Dry Process Symposium (1999) 137