エレクトロニクス分野への硫酸銅めっき技術

萩原 秀樹*, 小林 健*, 君塚 亮一*

*荏原ユーザライト(株) 中央研究所 (〒251-8502 神奈川県藤沢市本藤沢 4-2-1)

Acid Copper Plating Technology for Electronics (Electro Device) Field

Hideki HAGIWARA*, Takeshi KOBAYASHI* and Ryoichi KIMIZUKA*

*R & D Headquarters Ebara-Udylite Co., Ltd. (4-2-1, Honfujisawa Fujisawai-shi, Kanagawa, 251-8502)

Key Words: Acid copper plating, Build-Up, Via-Filling, Damascene, Bumping

1. はじめに

先日、ある講演会で早稲田大学の本間敬之先生が、今日のめっき技術を称して「古くて新しい技術」と表現しておられた。日本では遠く奈良時代、大仏に代表されるような装飾目的に用いられていた「減金」技術が、今やエレクトロニクス産業を支える重要な役割を担うようになっている。20世紀最後になって登場してきた半導体デバイスの製造向けのダマシン(damascene)Cuめっき法も、その語源は昔からの「象眼細工」からとったと聞く。これまた『古くて新しい技術』。まさに、言い得て妙である。

今回はエレクトロニクス分野で用いられている多くのめっき技術¹⁾の中で、最近のさまざまな配線形成には欠くことのできない存在となっている硫酸銅めっき技術に焦点を当てて、トピックスをいくつかご紹介したい。

2. 硫酸銅めっき技術の歴史

最近のエレクトロニクス分野では「Cuめっき配線」が注目されているが、Cuを成膜する手段としては添加剤を用いた硫酸銅めっき法が主流である。有機添加剤を使用した硫酸銅めっきは、日本においては1960年に米国Udylite社から技術導入されて以来、装飾・防食用として自動車産業を中心に用いられてきた。1970-80年代にかけて硫酸銅めっきの添加剤の研究が活発に行われた時期があり、現在の添加剤の作用機構はこの当時のもので説明されている^{2),3)}。20年ほど前からはプリント配線板の製造方法に本格採用されている。一方、マイクロファブリケーションへの適用は、まず薄膜磁気ヘッド用のコイル形成技術として検討、実用化された。また、サブミクロンオーダーのAuあるいはCuめっきによる接続ビア形成技術も1970年代から既に検討が始まっていた。

3. ビアフィリングめっき技術

最近の電子機器の小型軽量化の波を受けて、プリント配線板の高密度化や多層化、ホールの小径化も一層進んでいる。特に半導体パッケージ向けでは、さらなる微細配線化に対応するために、ビルドアップ工法の開発が急ピッチで行われている。

従来のコンフォーマル銅めっきを用いる工法ではホール内部でのボイド発生や表面の凹み、金属と絶縁樹脂の熱膨張係数の違いによる接続信頼性の低下などが問題となりやすいため、ビアを完全にCuで充填するビアフィリングめっき技術が有効と考えられるようになってきた。この技術を用いることで形成可能なVia-on-viaによるスタック接続は、特に高密度化や接続信頼性の面から有効な手段となる。

ビアフィリングの詳細なメカニズムについては、未だ完全に解明されていないのが現状である。しかしながら、ビアフィリングで必要不可欠な「フィリング性」は、めっき用語の「レベリング性」として置き換えて考えられる場合も多い。このレベリング性については、添加剤の作用機構としてかなり以前から研究されており、「幾何学説」、「拡散説」、「記憶説」などが提唱されている。現在の硫酸銅めっきの添加剤を考えると、その作用機構は上記のどれか1つに当てはまる、ということは少なく、複合的に作用しているか、全く別の理論に基づくものと考えられる。

図1に、実際のプリント配線板で使用されているビアフィリングめっき後の断面観察像を示した。カソード電流密度：2 A/dm²で、表面膜厚が20μmとなるように成膜したテストパターンである。このように、一般にビア径が大きく、樹脂厚の深いビアほどCuの充填が困難となり、ビア中心部での凹みが目立ち、それにともないコーナー部の膜減りが顕著となりやすい。一方、ビア径が小さく、ハイアスペクトなビアの場合、フィリングレ

図1 各種フィルドビアの断面観察像

図2 パターン部盛り上がり現象の改善

図4 ダマシンめっき装置(左)と自動管理装置(右)

図3 添加剤の種類によるマイクロボイド発生状況の違い

トは向上するが、ビア中心部でボイドが発生しやすくなり、接続信頼性の低下につながる。通常、製品として使用されるビルドアップ配線板では1種類の穴径のビアのみが存在するということは皆無である。そのため、図のようなサイズの異なるビアにおけるフィリング性のばらつき現象をいかに抑制するかが大きな課題の1つとして挙げられている。更に最近ではパターンめっき、スルホール混在基板への対応あるいは添加剤全成分の数値管理化への要求が一層高まっている。

4. ダマシンめっき技術

1997年にIBMから発表されたダマシン用Cuめっきプロセスにおいては、穴埋め性、皮膜の抵抗値(低く、安定していること)、ウエハ面内での膜厚均一性($3\sigma < 5\%$)、CMP性(ポリッシングレートや安定性)、プロセスウィンドウ、低コストなどが一般的に要求される。最近では、さらなる微細化要求にともなう、穴埋め性能の向上とともにパターン部の盛り上りの低減、不純物やパーティクル、あるいはアニールによって生じるマイクロボイドの低減、ウエハベベルエッチング技術などが求められている。これらを解決するために、原材料と製造技術の見直し、添加剤を中心とした新たなプロセスやめっき装置、管理装置の検討が盛んに行われている。

図2にパターン部の盛り上りを改善した事例を示した。密パターン部の盛り上がりはCMPによる平坦化の弊害となるため、その対策が強く求められている。また、図3に添加剤の種類によるアニール後のマイクロボイド発生状況の違いを示した。いずれも添加剤の検討により得られた結果であり、早急な機構説明が待たれるところである。一方、ダマシンめっき技術において優れた品質と安定した歩留まりを達成するためには、半導体製造にふさわしいめっき装置が必要となる。有機添加剤を含めためっき液全構成成分対応の自動分析・管理装置(図4)もすでに開発されている。

5. バンプめっき

ダマシンめっき技術などにより製造された半導体チップは、通常CSPやMCM、BGAなどの半導体パッケージに搭載される。

これまでは、半導体チップと半導体パッケージなどの接続にはワイヤーボンディングなどが利用されてきたが、配線の狭ピッチ化などにより新たな接続法が望まれるようになってきた。そこで登場した一括接続法では、バンプと呼ばれる突起状電極が必要となる。これらのバンプには、Sn-Pbはんだ、Pbフリーはんだ、In(インジウム)、Au、Niなど多種多様な金属が利用されているが、電気特性の観点からは硫酸銅めっきによるCuめっきバンプの適用も急増している。この場合、従来のプリント配線板用のめっきプロセスを使用するケースが多いようだが、バンプめっき専用のプロセスや製造装置(図5)の検討も進み、すでに実用化されている。

6. おわりに

半導体配線のホールを埋め込むボトムアップフィルも、パターン部の盛り上がり(オーバープレーティング)も、セルフアニーリングなめっき後の結晶の粗大化や抵抗値の低下現象も、記憶説などによるフィリング現象も、硫酸銅めっきに携わってきた者にとってはある意味昔からの常識であった。

しかし、これらはいずれも理論的な説明が未だになされておらず、めっき技術が確固たる信頼を得るに至っていないこともまた事実である。めっきを初めて扱う分野の方々にとって、「経験と勘」的な部分のあるこの世界が理解しがたいのも至極当然のことであろう。今後めっき技術が公に認知され、まさに「21世紀を支える表面技術」として一層の飛躍を遂げるためには産官学一丸となってこの点をクリアしていくことが必要不可欠である。

「めっき」の未知なる可能性に夢を抱くものの一人としてさまざまな分野の方々のご指導をいただきながら裏方として少しでも皆様のお役に立てるよう今後とも努力していきたい。

(2000-11-17 受理)

文 献

- 1) 榎本英彦; 第123, 124回松下テクノリサーチセミナー要旨集(1997)
- 2) M. Yokoi, S. Konishi and T. Hayashi; *DENKI KAGAKU*, 51(6), 456 (1983)
- 3) 横井昌幸, 小西三郎; 金属表面技術, 34, 434 (1983)