銅 ECD の下地用バリア膜/銅シード膜の真空一貫形成プロセス

関 口 敦*

*アネルバ(株) プロセス開発研究所 (〒183-8508 東京都府中市四谷 5-8-1)

In-situ Barrier/Cu Seed Deposition Processes for Copper Electrochemical Deposition

Atsushi SEKIGUCHI*

*Process Development Laboratory, ANELVA Corporation (5-8-1, Yotsuya, Fuchu-shi, Tokyo 183-8508)

Key Words : Copper, Barrier, Chemical Vapor Deposition, *In-situ*, Electrochemical Deposition

1. はじめに

1997 年秋, 「Logic デバイスに銅を配線材として実用化する。」とのテレビのニュース報道(「IBM ショック」と言われた)がなされて, 一気に銅による配線形成が加速した。この技術は, Edelstein らによって報告された¹⁾。この集積回路の配線材料を従来のアルミニウム合金から銅に変更することになった理由は 2 つあるとされている。

第 1 の理由は, 集積回路素子の集積度が増すとともに高速化するにしたがって, トランジスタ部分の遅延に比較して配線による遅延(RC Delay と呼ばれている)が無視できなくなってきたことである²⁾。この事態は深刻で, 高速素子はトランジスタ部分の動作速度で決まらずに配線部分によってその速度が決まってしまうことを意味していた。この, RC Delay は, その名の通り, 配線の抵抗: R と配線間容量: C の積に比例する。配線抵抗は, 集積度を増すと配線距離の短縮によって低抵抗化が進むが, 配線の断面積は集積度の 2 乗で小さくなるため, 結果として抵抗値は増加してしまう。このために, 配線材自身を低抵抗化する必然性が生じてきた。すなわち, アルミニウム合金(比抵抗: $2.7\sim 3.1\ \mu\Omega\text{cm}$)から, 銅(比抵抗: $1.7\ \mu\Omega\text{cm}$)にする方向である。これは, 材料物性で決まってしまう内容であって, 貴金属である銀か銅かの選択であった。さらに, 配線抵抗を $2/3$ にしても RC Delay の改善には不十分であり, 現在, 配線間の絶縁材料を SiO_2 (誘電率: 約 4.3)より低下する開発も平行して進められている。銅による配線形成が願望されてきた根本的な理由は, ここにあった。

第 2 の理由は, ダマシン配線形成技術すなわち絶縁膜の微細エッチング技術, chemical-mechanical polishing (CMP)技術や銅の電解めっき(Electrochemical Deposition 以下 ECD と略す)技術などの成熟によって, 「デュアルダマシン構造+銅 ECD」による製造方法がコスト的に有利と計算されたからである。さらに, 銅の ECD によって作製した配線は, 銅のグレインサイズが大きく配線の信頼性評価の一つであるエレクトロマイグレーション(EM)耐性が大きい³⁾。すなわち, 信頼性の高い配線を安価で形成できることを意味している。Edelstein らの報告¹⁾に記載されていないが「IBM ショック」の主因はここにあった

とされている。

この有用な銅の ECD プロセスには, 前工程としてめっき用下地膜を形成するプロセスが必要である。この下地膜は大きく分けるとバリア膜とシード膜の 2 種類になる⁴⁾。銅は, SiO_2 中に電界拡散を起こして配線間に漏れ電流を生じ, ひどいときにはショートしてしまう⁵⁾。この電界拡散を防止して, 絶縁を守るために必要なのがバリア膜である。また, 銅の ECD には, 銅イオンを還元するために必要な電子をめっき部に供給するための電極が必要となる。この電極は, 低抵抗で薄い連続な銅の膜が好ましい。この膜のことをシード膜と呼んでいる。

本稿は, まず, 半導体集積回路素子の配線形成のための銅の ECD 用下地膜として必要な機能をまとめた。これらの膜の形成プロセスとして, chemical vapor deposition (CVD) プロセスを提案するとともに, 真空一貫でこれらの膜を積層する必要性に関して報告する。

2. ダマシン配線の形成工程と銅の ECD 用下地膜の形成

図 1 に, 半導体集積回路のダマシン配線形成工程の一部を示した。配線間を絶縁するための絶縁膜の形状整形を行う Etch 工程, この Etch によって生じた汚染を除去する Cleaning 工程の後, 本稿の主題であるバリア膜/銅シード膜の成膜工程がある。この後, 銅 ECD によって銅配線部分が成膜され, CMP によって配線形状に整形される。

このバリア膜/銅シード膜の形成に関して, 大きな問題が生じている。素子の高集積化にともなう層間絶縁膜は $1/4\ \mu\text{m}$ 以下に微細に加工されている。さらに, 露光の際に生じる位置合わせの誤差があり, この誤差によって絶縁膜の形状はさらに微細で複雑な形状となっている⁶⁾。この形状にバリア膜/銅シード膜は被覆性良く成膜されることが必要である。従来, この種の成膜方法としてスパッタ法が使用され実用化されているが, スパッタ法はこの微細で複雑な形状部分に被覆性良く成膜する性能に問題があると指摘されている。この観点から, 我々は CVD 法によってこれらの膜を形成する工程を提案するとともにこの工程の複合化評価を行ってきた^{6), 7)}。

以下に, バリア膜/銅シード膜の各膜に関する詳細な報告を行

図1 ダマシン配線の形成工程の一部

うとともに、複合化の特性をまとめた。

3. バリア膜

3.1 銅の絶縁膜中への拡散

微細な配線間には、非常に大きな電界強度が発生している。たとえば、Edelstein らによって報告¹⁾された素子に関して、配線間の電界強度を計算してみた。供給電圧は、1.8 V であり、2 層目から 6 層目までの配線のピッチは 0.81 μm である。通常、配線幅と配線間幅は同じであるから、ピッチの半分の配線間幅 0.4 μm に 1.8 V が印加されていることになる。この電界強度は、4.5 MV/m にもなっている。また、素子の駆動による発熱で配線付近は約 100°C 程度に昇温されている。このような高温、高電界強度の環境下では、銅はイオン化して層間絶縁膜である SiO₂ 中へ拡散してしまうことが知られている⁵⁾。この銅の拡散によって、配線間に漏れ電流を生じて素子の誤動作を招くとともに、酷い場合は、配線間がショートしてしまう。

この銅の拡散を防止するために、層間絶縁膜を配線材の銅との間にバリア膜を設けることが必要である。勿論、このバリア膜は、絶縁膜と銅が直接接触しないようにすることが重要であるので、先に述べた微細に加工された絶縁膜の形状に沿って、被覆されることが必要である。この複雑な形状に被覆することがバリアとしての機能の最重要項目である。

3.2 TiN-MOCVD 法の提案

複雑な形状部分へ良好な被覆特性を得るために、我々は TiN の MOCVD 法の開発を行ってきた^{8)~11)}。Tetrakis (dimethylamino) titanium (TDMAT) および tetrakis (diethylamino) titanium (TDEAT) を熱分解することで TiN 膜が得られることは、Sugiyama によって報告されていた¹²⁾。この膜を半導体集積回路のバリア用として当初は、配線最下層部コンタクトホール形成のタングステン CVD の下地として提案された¹³⁾ が、そ

図2 TiN-MOCVD 法の成膜特性

アンモニアの流量依存性

●：成膜速度，■：段差被覆特性，▲：得られた膜の比抵抗

の後、銅配線のバリア用としての提案もなされた¹⁴⁾。この種の技術が注目された背景には、TiCl₄ を原料とした CVD 法の場合、塩素の残留の観点から銅配線形成に必要な 400°C 以下に低温化できなかったからである。

この中で、我々は TDEAT のみの CVD では、必要な膜質と被覆性の両方が得られにくいことを指摘⁸⁾ し、この手法にアンモニアを微量に添加することで低抵抗で良好な被覆性が得られることを報告した⁹⁾。TDEAT などのこの種の材料にアンモニアを併用すると、低抵抗な膜が得られることはすでに報告^{13),14)} されていたが、素子性能が進むにつれ必要になった微細化に対応できる被覆性が得られなかった。

成膜圧力を 10 Pa 以下として、アンモニア流量を 10 ml/min 以下とすることによって、良好な被覆性が得られた⁹⁾。成膜圧力を下げることによって、被覆性を低下させる副反応である空間反応を低減することができ、良好な被覆性が得られる主反応のみ誘起することによってこの特性を得ることができた。

図 2 に、成膜速度、被覆性、比抵抗のアンモニア流量依存性を示した。アンモニアを少量添加すると、被覆性は格段に改善された。また、成膜速度も増大した。しかしながら、アンモニアの流量を増大させると被覆性は悪化した。

このメカニズムは、戸部らの詳細な考察が報告されている¹¹⁾。すなわち、成膜速度がアンモニアの分圧に大きく依存する場合に良好な被覆性が得られた。一方、アンモニアが過多に存在して、成膜速度が TDEAT 分圧に依存する場合、微細穴の底部で被覆性が悪化する現象が確認された。すなわち、良好な被覆性を得るには TDEAT の過多の状態アンモニアとの反応律速の条件を作ることが必要である。

穴の直径が 1 μm 以下の場合、穴の径に比較して分子の無衝突長は非常に長い。すなわち、このような穴の中では、分子同士の衝突によって穴の底に拡散するのではなく、壁との衝突が支配的となって分子は穴の底まで拡散することになる。このような壁との衝突が支配的な状態で拡散が進む現象は、ラングミュア拡散と呼ばれている。TDEAT に比較してアンモニアは壁表面での付着確率が小さいことによって、微細穴の入り口と底で分圧差が小さく、アンモニアとの反応律速状態であれば被覆性が良いことになる。

3.3 バリア特性の評価

バリア膜の最重要性能である微細形状への被覆性に関して、

図3 断面 TEM の EDX 測定

我々は MOCVD によって良好な被覆性を得る方法を提案した。次に、この方法によって得られた膜中の銅の拡散に関して調査した結果を報告する。

スパッタ法によって作製した TiN 膜と MOCVD 法によって作製した TiN 膜のバリア特性を 2 種類の方法で比較した。まず、あらかじめ $0.35\mu\text{m}$ の穴を加工した下地 SiO_2 上に 2 種類の成膜方法で TiN 膜を成膜した。この上に、CVD 法によって銅を成膜した後、 350°C 、30 分アニールを行って試料を作製した。この試料に関して、断面透過電子顕微鏡観察 (Transmission Electron Microscopy: TEM) のエネルギー分散形 X 線分析 (Energy Dispersive X-ray spectroscopy: EDX) 測定を行った。穴の側壁部分で、TiN 膜厚が 7 nm の場所に関して銅の濃度を調査した結果を図 3 に示した。スパッタ法によって作製した TiN 膜中には、9 % 程度の銅の拡散が確認された。これに比較して、MOCVD 法によって成膜した TiN 膜中には、3 % 程度と少なくなっていた。スパッタ法によって成膜された TiN 膜は、その結晶構造が柱状となっていてグレインの間を銅が拡散したものと考えられる。一方、MOCVD 法によって作製した TiN 膜は、アモルファス状であり、この中にナノメートル程度の大きさの極小結晶が散らばっている形状であった^{8),9)}。このため、柱状のグレイン間を拡散するような現象は生じず、拡散量を押さえることができたものと考えられる。

また、他の方法によって成膜方法の違いによる TiN 膜のバリア特性を比較した¹⁰⁾。シリコン上に直接 TiN 膜を成膜した後、その上に銅を成膜し 650°C 、30 分のアニールを行った。バリア膜がない場合は、アニールによって銅が下地シリコン中に拡散して銅膜が薄くなり、このシート抵抗値が上昇した。バリア膜をシリコンと銅の間に挟んだ場合においても、この銅膜のシート抵抗値の上昇はバリア特性に応じて確認された。この実験においても MOCVD-TiN 膜の方がスパッタ法によって作製した TiN 膜より良いバリア特性が確認された。

以上、2 種類の方法によって MOCVD 法により成膜した TiN 膜のバリア特性を確認したが、さらに電界を印加した熱拡散試験を行って性能を確認することが必要である。

3.4 ビア部分の抵抗

次に、実際の配線の抵抗を計算によって予測することによりバリア膜の比抵抗、膜厚と抵抗値との関係を考察する。図 4 に計算を行った配線形状を示した。下層銅配線と上層銅配線が存在する。この配線間を接続するために、直径 $2r$ の穴 (ビア) を考えた。上

図4 ビア部分の電気抵抗を計算した構造の模式図

図5 ビア柱の抵抗値 R_h のビア径依存性
バリアの比抵抗を 100, 1000, 10000 $\mu\Omega\text{cm}$ に仮定して計算した

下の配線間の距離は、700 nm と仮定し、下層および上層の配線部分の抵抗は無視した。ビア部分の抵抗 R_v は、ビア柱の抵抗 R_h とビア底のバリア膜の抵抗 R_{bb} からなっている。すなわち、 $R_v = R_h + R_{bb}$

となる。

ここで、まず初めに R_h に関してバリア膜の比抵抗と膜厚の影響を考察する。図 5 に R_h のビア径依存性を示した。バリア膜の比抵抗は 100, 1000 および 10000 $\mu\Omega\text{cm}$ と仮定して計算を行い比較した。ビア径が小さくなると急速に R_h は大きくなるがバリア膜の比抵抗にはほとんど影響されない。

図 6 に R_h のバリア膜の膜厚依存性を示した。ここで、バリア膜の比抵抗値は、250 $\mu\Omega\text{cm}$ とした。0.35 μm 径のビアでは、バリア膜の膜厚依存性は少ないが、一方 0.13 μm 径のビアはバリア膜の膜厚が増大するにしたがって R_h が増大することがわかる。すなわち R_h の低抵抗化には、配線材の銅の比抵抗 (1.7 $\mu\Omega\text{cm}$) に比較してバリア膜の比抵抗がかなり大きいいためバリア膜の比抵抗は影響がほとんど無く、銅の円柱の断面積を大きく取ること (すなわち、バリア膜を薄くすること) が重要である。

図6 ビア柱の抵抗値 Rh のバリア膜膜厚依存性
バリア膜の比抵抗を $250\mu\Omega\text{cm}$ と仮定して計算した

図8 ビア部の抵抗 Rv のバリア膜比抵抗依存性

図7 ビア部の抵抗 Rv のバリア膜膜厚依存性

次に、Rh にビア底のバリア膜の抵抗 Rbb の値を考慮して、ビア部分全体の抵抗 Rv に関し考察する。図7に Rv のバリア膜の膜厚依存性を示した。図6と同じく、バリア膜の比抵抗を $250\mu\Omega\text{cm}$ として計算をおこなった。図7から、Rv の値はバリア膜の膜厚に対して直線的に増大している。ビア径の大きい場合にも、Rv の増加が見られ図6の Rh の値の挙動とは異なっている。バリア膜厚が 0 nm の場合の Rv 値は、当然ながら Rh の値によって決定されるが、Rv のバリア膜厚による抵抗値の増大は Rbb の影響が大きい。

図8に Rv のバリア膜の比抵抗依存性を示した。Rv は、Rh とは異なりバリア膜の比抵抗の影響を大きく受ける。これは Rbb が、バリア膜の膜厚、比抵抗およびビアの断面積によって決定されるためである。ビア底部分のバリア膜は薄くかつ比抵抗を低くすることが重要である。

3. 5 ビア底部分のバリア膜の改善

先に、アンモニアを微量添加することによって我々は被覆特性の良い MOCVD-TiN 膜の成膜方法を提案した。また、このカバレッジの良さが銅のバリア膜として最も基本的な機能であることも説明した。さらに、前項ではビア部分で低抵抗な電気特性を得るためには、ビアの底のバリア膜を低抵抗化することが重要であることを説明した。本項では、良好な被覆特性が得られる成膜

図9 バリア膜の後プラズマ処理の処理時間と膜のシート抵抗値の関係

を行い、この膜をプラズマに照射することによって、低抵抗化した結果に関して報告する。

図9に MOCVD-TiN 膜をアルゴンプラズマに照射した場合のシート抵抗の変化を示した。数十秒の短時間のプラズマ照射でバリア膜の抵抗を低減することが可能であった。このようにプラズマ処理によって比抵抗を改善する報告は、我々の報告^{7),10),15)}だけでなく Harada らはプラズマ処理にさらにシラン照射を行うことによって膜質を改善する提案¹⁶⁾を行っている。このようなプラズマ処理によって前項で指摘したビア底部分の抵抗を改善できることが期待できる。

ビアの底の部分には実際にはバリア膜は不要である。ビアの側壁に必要なバリア膜を成膜すると必ずビアの底にも成膜されてしまう。しかしながら前項に示したようにこの部分のバリア膜の存在によってビア全体の抵抗値を増大してしまう。Tsuchiya や Ueno らは、このビアの底のバリア膜のみを除去して下層配線の銅とビア内部の銅とを直接接合させ、低抵抗のビアを形成することができたことを報告している^{17),18)}。製造手法としては、難しい部分があるが低抵抗配線が可能で、配線の信頼性の点からもこの構造は注目されている。

通常の手法で形成した実際のビアの抵抗は、Rh および Rbb の抵抗値のみならず、バリア膜を挟んだ上部と下部の界面の抵抗も問題となっている。この部分の界面特性の改善には真空一貫による積層が重視され、現在、界面特性を含めたこの部分の特性改

善が研究開発の注目点となっている。

4. 銅シード膜

銅のシード膜は、主配線部分を形成する ECD の電極部分に相当する。この機能は、銅めっきを円滑におこなうためウェハの周辺部分から給電された電子をウェハの全面に供給するとともに、めっき液との間の電気化学ポテンシャルを整える働きがある。さらに、下地バリア膜をめっき液から保護して、良好な TiN/Cu 界面を維持する機能も期待されている。特に、ビアの底の界面特性の重要性は、先にバリア膜の説明の際に報告した。

4. 1 Cu-CVD 法の提案

Cu-CVD 法は、銅の 1 価の化合物を原料として金属銅と 2 価の副生成物を生じる不均化反応すなわち、

による成膜方法が提案されて急速に進歩した^{19),20)}。

以前より我々は、ビアおよび溝部分への埋め込み用として Cu-CVD 技術の開発を行ってきた^{21)~23)}。今回、この Cu-CVD 法をバリア膜と同様に複雑な形状部分へ良好な被覆特性を得るためにシード膜の形成に応用した^{7),24)}。

4. 2 原料と添加物

Cu-CVD を行う場合、しばしば得られた堆積物が褐色化や黒色化している問題が生じた。不均化反応を誘起させるための 1 価銅の純粋な原料を使用した場合、薄い銅の膜上には銅が球状となってしまつて銅の膜が得られなかった²²⁾。Cu-CVD が提案された初期にはこの現象はあまり指摘されなかったが、原料の純度が上がり成膜室の気密性、真空度が改善されると深刻な問題となって表面化してきた。このために原料の中に微量の水をあらかじめ混入した混合原料が提案され、現在はこの混合原料として市販されている²⁵⁾。

我々は配位子の中に、エーテル結合の一種(Si-O-C 結合)を含んだ原料 Cu (hfac) (aotms) を使用してこの現象の改善を試みたが銅が球状となる現象は改善できなかった²⁴⁾。この原料の場合も、成膜時に水を水蒸気として微量添加することによって銅の鏡面膜を得ることができた²⁴⁾。

銅の表面で、CVD-Cu が球状に成長してしまう現象の詳細メカニズムは解明されていない。しかし、下記のように推察した。CVD によって成膜する場合、銅の表面に反応中間体の Cu (hfac) が吸着している。この表面上で新たな金属銅が成長を始める場合、接触角が 90° よりも大きくなり、膜にならず球状となる。水が存在する場合は、何らかの影響でこの接触角が小さくなり銅の膜として成長するものと考えられる。さらに、この水添加は、銅と下地の密着性を改善することができた。このことも、上記のメカニズムも裏付けている。

4. 3 銅シード膜とめっき

図 10(a)に、CVD-Cu によって形成したシード膜の断面走査電子顕微鏡(Scanning Electron Microscope: SEM)写真を示した。プラズマ処理を行った MOCVD-TiN 膜上に真空一貫で銅膜を成膜した。このプロセスは図 1 の枠内のプロセスである⁷⁾。微細なパターンの中にも均一に成膜されていることが確認できた。Cu-CVD の下地である MOCVD-TiN 膜は、大気に接触すると徐々に酸化され膜の比抵抗が増大するとともに銅との界面特性も悪化した⁷⁾。MOCVD-TiN 膜を成膜した後のプラズマ処理に

図 10 (a)バリア膜/銅シード膜の真空一貫で積層した構造の断面走査電子顕微鏡(SEM)写真
(b)バリア膜/銅シード膜を下地として電解めっき(ECD)を行った試料の断面走査イオン顕微鏡(SIM)写真

よって、この膜の酸化による抵抗の増加は抑制できたが、完全に防止することはできなかった⁷⁾。このため、真空一貫で TiN-MOCVD, プラズマ処理, および Cu-CVD を連続的に行う必要が生じた。

この銅シード膜を使用して、銅の ECD を行った。この膜の断面走査イオン顕微鏡(Scanning Ion Microscope: SIM)写真を図 10(b)に示した。ECD により、良好に埋め込みが実現できており Seed として機能していることを確認することができた。また、銅の大きなグレインを作製できていることも確認でき、この形状から強い EM 耐性が期待できる。

5. まとめ

半導体集積回路の配線を形成するための銅の ECD には、下地膜としてバリア膜/銅シード膜の積層膜が必要である。本報告では、この積層膜を CVD 法によって作製した。バリア膜の形成には、TDEAT を主原料とし、10 Pa 以下の低圧力下でアンモニアを微量に添加することによって被覆特性の良好な成膜を実現することができた。また、ビア部分の電気特性を改善するには、ビアの底部のバリア膜の抵抗改善が重要であることを指摘し、この実現のためにプラズマ処理の効果を確認した。

銅のシード膜の形成も Cu-CVD を提案した。1 価の銅の錯体を原料にした Cu-CVD 法は、純粋な原料を使用すると銅膜ができなく、褐色あるいは黒色の球状の堆積となった。成膜時に水蒸

気を微量添加することで安定して鏡面の銅膜を作製することができた。

ビアの底の積層構造は、この部分の電気特性に大きく影響する。MOCVD-TiN 膜は、大気中で酸化されて抵抗値が上昇してしまった。これを防止するために、TiN-MOCVD、プラズマ処理および Cu-CVD を真空連続で行うことを提案した。このような工程で作製したバリア膜/銅シード膜を下地としてその上に銅のECDを行い良好に埋め込むことができたことを確認した。

今後、素子の集積度がさらに増加し、配線幅が微細化するにしたがってバリア膜/銅シード膜のさらなる薄膜化と平滑化が求められている。この目的で、我々はさらに工程の改善を行っている²⁶⁾。

謝 辞

本稿の執筆にあたり、有意義な指導を頂きましたアネルバ株式会社プロセス開発研究所所長 岡田修博士に感謝いたします。研究の方向に関して貴重な意見を頂いた柴垣真果氏に感謝いたします。実験および考察に関して、共同研究者であった故戸部了己氏の功績に関し深く感謝いたします。また、本研究はプロセス開発研究所の皆様の協力によって達成したものであり、種々の協力を頂きましたことに関して感謝いたします。

(2001-10-15 受理)

文 献

- 1) D. Edelstein, J. Heidenreich, R. Goldblatt, W. Cote, C. Uzoh, N. Lustig, P. Roper, T. McDevitt, W. Motsiff, A. Simon, J. Dukovic, R. Wachnik, H. Rathore, R. Schulz, L. Su, S. Luce, and J. Slattery ; IEEE IEDM Tech. Dig., 1997, p. 773 (1997)
- 2) S. W. Russell, A. J. McKerrow, W. -Y. Shih, A. Singh, R. S. List, A. R. K. Ralston, W. W. Lee, K. J. Newton, M. - C. Chang, and R. H. Havemann ; in Proceedings of Advanced Metallization and Interconnect Systems for ULSI Applications in 1997, p. 289 (1998)
- 3) D. Nguyen, and H. Rathore ; in Proceedings 17th International VLSI Multilevel Interconnection Conf. (VMIC-2000), p. 267 (2000)
- 4) B. Chin, P. Ding, B. Sun, T. Chiang, D. Angelo, I. Hashim, Z. Xu, S. Edelstein, and F. Chen ; *Solid State Tech.*, **July**, 141 (1998)
- 5) Y. Shacham-Diamand, A. Dedhia, D. Hoffstetter, and W. G. Oldham ; *J. Electrochem. Soc.*, **140**, 2427 (1993)
- 6) 柴垣真果, 関口 敦 ; 電子材料, 3月号, p. 49 (2001)
- 7) 関口 敦, 小出知昭, 張 敏娟, 國信隆史, 砂山英樹, 小林明子, 鈴木 薫, 肖 石琴, 岡田 修 ; 信学技報, **SDM 2000-193** (2001-1), 43 (2001)
- 8) A. Sekiguchi, H. Jimba, S. W. Kim, T. Yoshimura, K.

- Watanabe, S. Mizuno, S. Hasegawa, O. Okada, N. Takahashi, and N. Hosokawa ; in Proceedings of Advanced Metallization and Interconnect Systems for ULSI Applications in 1995, p. 355 (1996)
- 9) S. W. Kim, H. Jimba, A. Sekiguchi, O. Okada, and N. Hosokawa ; *Appl. Surface Sci.*, **100/101**, 546 (1996)
- 10) S. Q. Xiao, R. Tobe, K. Suzuki, X. B. Xu, A. Sekiguchi, H. Doi, O. Okada, and N. Hosokawa ; in Proceedings of Advanced Metallization Conference 1999, p. 295 (2000)
- 11) 戸部了己, 関口 敦, 肖 石琴, 徐 曉斌, 鈴木 薫, 土井浩志 ; 半導体・集積回路技術第 56 回シンポジウム講演論文集, p. 77 (1999)
- 12) K. Sugiyama, S. Pac, Y. Takahashi, and S. Motojima ; *J. Electrochem. Soc.*, **122**, 1545 (1975)
- 13) K. Ishihara, K. Yamazaki, H. Hamada, K. Kamisako, and Y. Tarui ; *Jpn. J. Appl. Phys.*, **29**, 2103 (1990)
- 14) I. J. Raaijmakers ; *Thin Solid Films*, **247**, 85 (1994)
- 15) 関口 敦 ; 栗屋信義編集最新技術講座「今後の配線プロセスの方向性を探る」資料集(リアライズ社, 1996)
- 16) T. Harada, S. Hirao, S. Fujii, S. Hashimoto, and M. Shishino ; in Proceedings of Advanced Metallization Conference in 1998, p. 329 (1999)
- 17) Y. Tsuchiya, K. Ueno, V. M. Donnelly, T. Kikkawa, Y. Hayaishi, A. Kobayashi, and A. Sekiguchi ; 1997 Symp. VLSI Tech. Digest of Technical Papers p. 59 (1997)
- 18) 上野和良, 土屋泰章, ドネリー・ビンセント ; 半導体・集積回路技術第 54 回シンポジウム講演論文集, p. 96 (1999)
- 19) A. Jain, H. K. Shin, K. M. Chi, M. J. Hampden-Smith, T. T. Kodas, J. Farkas, J. D. Farr, and M. F. Paffett ; SPIE Microelectronics Processing Symposium, **1596**, 23 (1991)
- 20) J. A. T. Norman, B. A. Muratore, P. N. Dyer, D. A. Roberts, and A. K. Hochberg ; *J. de Physique II*, **1**, C 2-271 (1991)
- 21) K. Ueno, Y. Tsuchiya, N. Itoh, T. Kikkawa, and A. Sekiguchi ; in Proceedings of Advanced Metallization and Interconnect Systems for ULSI Applications in 1997, p. 489 (1998)
- 22) M. Zhang, A. Kobayashi, T. Koide, A. Sekiguchi, O. Okada, and N. Hosokawa ; in Proceedings of the IEEE 1999 International Interconnect Technology Conference, p. 170 (1999)
- 23) A. Kobayashi, A. Sekiguchi, T. Koide, O. Okada, M. Zhang, A. Egami, and H. Sunayama ; *J. Vac. Sci. Tech. B*, **17**, 2256 (1999)
- 24) M. Zhang, A. Sekiguchi, O. Okada, A. Itsuki, and K. Ogi ; *Jpn. J. Appl. Phys.*, **40**, 4825 (2001)
- 25) A. K. Hochberg, J. A. T. Norman, and D. A. Roberts ; in Proceedings of Advanced Metallization and Interconnect Systems for ULSI Applications in 1994, p. 79 (1995)
- 26) T. Kuninobu, A. Sekiguchi, O. Okada ; Advanced Metallization Conference 2001 (to be published)